

<h2>SDR 기반의 이중 모드 기지국</h2>	서석 · 유봉국 · 조권도 · 김진업 · 김덕배*
	한국전자통신연구원 이동통신연구단 · *포스데이터

본 논문에서는 HSDPA(High Speed Downlink Packet Access)와 WiMAX(Worldwide Interoperability for Microwave Access) 규격을 동일한 플랫폼에서 재구성만으로 동작시킬 수 있는 이중 모드 SDR(Software Defined Radio) 기반 기지국에 대해서 소개한다. 개방형 구조의 하드웨어와 소프트웨어 구조를 지향하였으며, SDR 플랫폼은 ATCA(Advanced Telecom Computing Architecture) 상에 구현되었다. RTOS(Real Time Operating System)로써 리눅스를 채택함으로써 개방화를 추구하였으며, 기저 대역 신호 처리를 위해 DSP(Digital Signal Processor)를 활용함으로써 시스템 재구성 기능을 향상시켰다.

I. 서 론

이동 통신 기술의 급속한 발전으로 통신 서비스 제공자는 표준화 규격에 맞는 시스템과 서비스를 빠르게 제공해야 하는 부담감을 가지게 되었으며, 서비스 이용자는 변화된 규격에 맞는 단말기를 교체하거나, 손쉽게 업그레이드함으로써 진보된 서비스를 제공받기를 원하고 있다. 이에 따라 이동 통신 시장은 통신 장비의 교체 횟수를 줄이면서도, 보다 나은 서비스가 제공 가능한 단일화된 통합 시스템 개발에 눈을 돌리려 하고 있다.

다중 모드, 다중 표준, 다중 대역, 다중 기능 등의 다양한 무선 통신 환경에 유연하게 대처하기 위하여 하나의 공통 하드웨어 플랫폼에 사용자가 원하는 응

용 소프트웨어로 재구성할 수 있는 SDR 기술은 이동 통신 시장의 변화에 적극적으로 대처하기 위한 핵심 기술로써, 통신 시장이 직면하고 있는 문제점을 해결할 수 있는 해결책 중의 하나로 고려되고 있다. 현재 SDR 표준은 SDR 포럼^[1]에 의해 주도되고 있으며, 다중 표준 환경에서 다양한 네트워크들을 통합하는 SDR 시스템의 확산을 가속화시키기 위해서 개방형 구조를 채용하여 현재와 미래 사용자의 다양한 서비스 요구에 부응하는 것을 그 목표로 하고 있다. SDR 기술은 개방형 구조를 도입하여 각종 무선 장치 구현에 있어 각 기능 모듈 간의 독립성을 유지하고, 하드웨어 재구성 능력, 소프트웨어 프로그램 능력, 유연성, scalability, 확장성을 제공하므로 향후 무선 통신 장치 구현의 새로운 프레임워크를 형성할 것으로 예상된다^[2]. SDR 기술은 반도체 기술의 발전에 힘입어 점차 그 적용 범위가 넓어지고 있으며, 4세대 이동 통신 시스템까지 SDR 기술을 적용하여 시스템 재구성만으로 대부분의 무선 통신 시스템을 접속할 수 있을 것으로 전망된다.

아울러 모뎀 기술, 적응 간섭 제거 기술, 스마트 안테나 기술, 동적 채널 할당/관리 기술, 비대칭 채널의 가변 기술 등 시스템 성능 향상을 위한 기반 기술의 개선 등에 효율적이고 능동적으로 적용하여 Time-to-adaption을 줄일 수 있게 됨으로써 사용자가 향상된 기술을 즉시 사용할 수 있도록 할 수 있을 뿐만 아니라, SDR 기반의 기지국 개발로 기지국 설치 및 유지 보수 비용의 절감 효과도 기대할 수 있다. 논

문의 구성은 다음과 같다. 2장과 3장에서는 제안된 SDR 시스템의 하드웨어와 소프트웨어 구조를 각각 기술하고, 4장에서는 이중 모드 동작을 검증하기 위해 개발된 HSDPA와 WiMAX 시스템의 구현 결과에 대해 언급한 후에 5장에서 본 고의 결론을 맺는다.

II. 하드웨어 구조

이 장에서는 개발된 SDR 기반 다중 모드 기지국의 하드웨어 구조에 대해 소개한다. 하드웨어 플랫폼은 모듈화가 용이하고 SDR 시스템의 특성을 만족시킬 수 있는 개방형 컴퓨터 아키텍처 구조의 ATCA 상에 구현된다. ATCA는 PICMG(PCI Industrial Computer Manufacturers Group)에서 차세대 통신 장비 수용을 목표로 새롭게 만든 표준 규격이며, 최근 경향인 초고속 접속 기술과 차세대 프로세서를 지원하고 이전보다 향상된 신뢰성과 관리 능력을 제공한다. RF(Radio Frequency) 블록은 WiMAX와 HSDPA 방식을 모두 지원할 수 있는 상용 광대역 안테나와 전력 증폭기 등의 RF 소자의 부재로 HSDPA와 WiMAX 모드가 독립적인 RF 블록으로 구현되었다. 80 MHz IF(Intermediate Frequency) 주파수를 사용하는 디지털 IF 기술을 사용하였으며, 고속의 신호 처리와 재구성이 용이한 FPGA(Field Programmable Gate Array)를 사용하여 구현되었다. 기저대역 신호 처리 블록은 계산량, 재구성 능력, 용량 등을 고려해 고성능 DSP, GPP(General Purpose Processor), FPGA를 사용하는 구조를 채택하였으며, 특히 DSP 칩으로는 재구성력과 고속 연산에서 우수한 성능을 보이는 병렬 어레이 구조를 갖는 picoChip^[3]사의 PC102 칩을 사용하였다.

개발된 시스템은 동일한 플랫폼에서 다양한 이동 통신 기술이 동시에 동작이 가능하며, 소프트웨어에 의해 제어가 가능함을 검증하기 위하여 이기종 통신 기술의 다중 모드 구현을 목표로 하였다. 최근 4세

대 이동 통신의 주요 기술로 부각되고 있는 OFDM 기술을 기반으로 하는 WiMAX 규격과, 3세대 이동 통신의 주요 기술인 WCDMA 기술을 기반으로 하는 HSDPA 규격을 동일한 플랫폼에서 동작시키며, 소프트웨어에 의해 시스템 재구성의 방법으로 동작이 가능하도록 설계되었다.

2-1 ATCA 소개

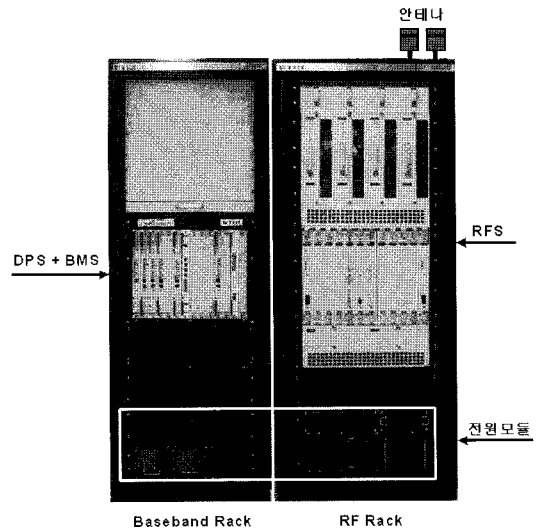
ATCA는 PICMG에서 차세대 carrier grade급 통신 장비 수용을 목표로 새롭게 만든 일련의 산업용 표준 규격이다. 이 규격은 최근 경향인 초고속 접속 기술과 차세대 프로세서를 지원하며, 이전보다 향상된 신뢰성(reliability)과 관리 능력(manageability)을 제공하는 특징이 있다. ATCA 규격은 셸프(shelf)의 폼팩터(form factor)와 셸프 내의 접속을 정의하며, 고성능 연산과 광대역 통신 응용에 적합한 관리용 인터페이스를 정의하고 있다. ATCA에서 제공하는 폼팩터는 이전 규격의 것보다 커서 무선 및 유선과 같이 높은 연산력을 요구하는 응용에 적합하다. 규격에서는 [그림 1]에서와 같이 데이터 전송을 위해 동기 클럭(synchronization clock), 업데이트 채널(update channel), 패브릭(fabric), 그리고 base 인터페이스를 제공하고 있다. 이들 인터페이스는 백플레인을 통해 최대 16장의 보드들과 연결될 수 있다. Base 인터페이스는 dual star로 구성되며, 10/100/1000-BASE-T 이더넷(Ethernet)을 지원한다. ATCA 셸프에는 기본적으로 base 인터페이스의 구성을 위해 2장의 GbE(Gigabit Ethernet) 스위치 보드가 장착되며, 이중 하나는 이중화의 개념으로 사용된다. 패브릭 인터페이스는 dual star, dual-dual star, 그리고 풀메쉬(full mesh)와 같은 다양한 topology로 구성을 할 수 있으며, base 인터페이스와 같은 특정 프로토콜에 제약을 받지 않는다. 동기 클럭 인터페이스는 버스 형태로 다수의 보드들간에 시간 정보를 공유하기 위해 사용될 수 있으며, 업데이트 채널 인터페이스

는 두 장의 보드간 점 대 점 연결을 이루며, 보드간 상태 정보를 공유하기 위한 목적으로 사용될 수 있다. 이는 이중화 구성 시 매우 유용하게 사용될 수 있다. 이외에도 ATCA에서는 셸프를 관리하는 블록인 ShMB(Shelf Management Block)와 보드상에서 보드의 하위 레벨 관리 기능을 담당하는 IPMC(Intelligent Platform Management Controller)간에 관리 정보를 전송하기 위한 IPMB(Intelligent Platform Management Bus)를 제공하고 있다.

2-2 하드웨어 플랫폼

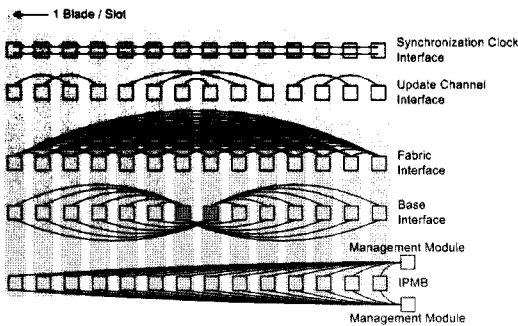
이중 모드 기지국 시스템의 하드웨어 플랫폼은 SDR 기술을 기반으로 하고 있으며, 크게 RFS(RF Sub-system), DPS(Digital Processing Sub-system), 그리고 BMS(Base station Management Sub-system)로 구성된다. 세 개의 서브시스템들은 [그림 2]에서와 같이 두 개의 랙(rack)에 나누어 장착되며, 이중 RFS는 이중 모드 기지국의 RF 송수신 기능을 담당하는 서브시스템으로 RF 랙에 구현되고, DPS와 BMS는 baseband 랙에서 실현되었다.

두 서브시스템(DPS와 BMS)은 [그림 3]에서와 같이 6종의 기능 블록들로 이루어지며, 하나의 기능 블록은 시스템의 요구 사항에 따라 하나 이상의 물리적 보드로 구성될 수 있도록 되어 있다. 예를 들어, 하나의 기저 대역 신호 처리 블록인 BPB(Baseband Pro-

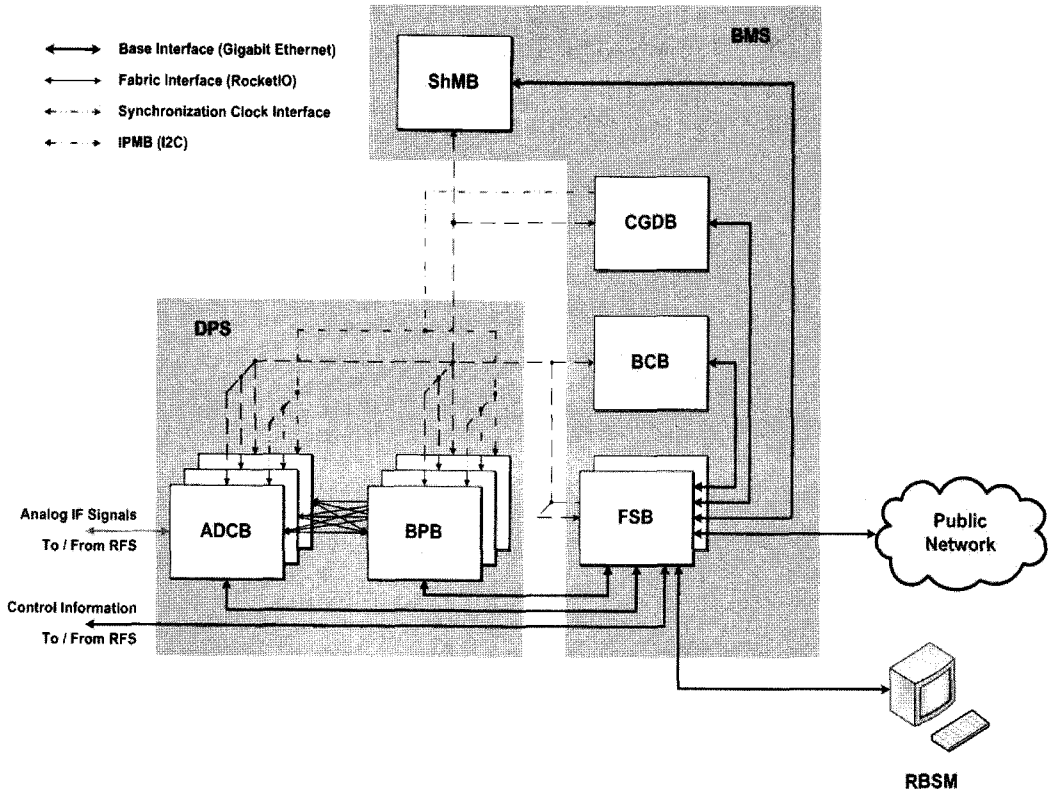


[그림 2] 이중 모드 기지국 하드웨어 플랫폼

cessing Block) 보드의 연산 능력으로 광대역 이동 통신의 물리 계층을 처리할 수 없다면 하나를 더 추가하여 연산 용량을 늘릴 수 있도록 할 수 있다. 기지국 제어 블록인 BCB(Base station Control Block)는 기지국 시스템을 전체적으로 제어하고 관리하는 역할을 담당하며, 시스템의 자원을 할당하고 시스템 내의 모든 기능을 관리하고 하드웨어 및 소프트웨어의 상태를 감시하는 역할을 하며, 인텔사의 MPCBL0001 모델을 사용하였다. FSB(Fabric Switch Block)은 GbE 스위치로써 시스템의 IP(Internet Protocol) 패킷 스위칭 기능과 외부 망과 정합하는 역할을 수행하며, Zynx사에서 생산하고 있는 상용 제품을 사용하였다. ShMB는 모든 보드의 IPMC가 보고하는 내용을 취합하여 기지국 제어 블록에 전달하는 역할을 담당한다. CGDB(Clock Generation and Distribution Block)는 기지국 시스템 내에서 필요로 하는 클럭 및 타이밍 정보를 생성하고, 이를 백플레인을 통해 셸프 내의 모든 보드에 공급한다. BPB는 무선접속 규격의 물리 계층 및 MAC, 그리고 상위 계층 프로토콜을 처리하는 역할을 담당하며, ADCB(Analog/Digital Conversion Block)



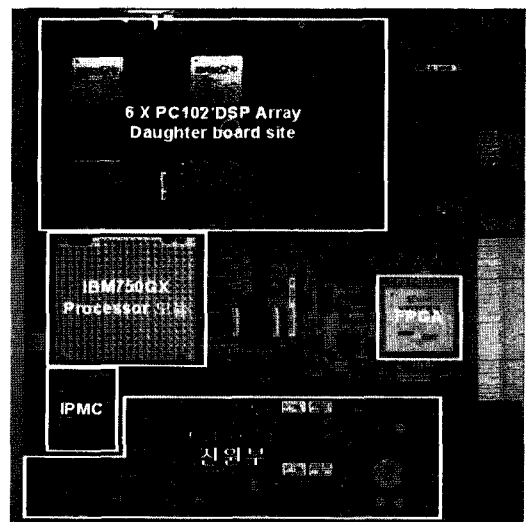
[그림 1] ATCA 인터페이스



[그림 3] 하드웨어 플랫폼 구조

은 아날로그/디지털 신호 변화 및 디지털 상향/하향 변환을 담당한다.

[그림 4]는 BPB의 보드 형상을 보인 것이며, GPP, FPGA, 그리고 최대 6개까지의 DSP를 사용할 수 있다. 각각의 보드는 2개의 DSP 프로세서가 실장되기 때문에 요구사항에 따라 그 수를 조절할 수 있다. 예를 들어, HSDPA 모드의 경우 32 사용자를 지원하기 위해 4개의 DSP 프로세서를 사용하며, WiMAX 모드의 경우 7 MHz 대역폭을 지원하기 위해 2개의 DSP를 사용하고 있다. 무선 접속 규격의 기능들을 상기 소자에 할당하는 것은 시스템의 요구 사항 및 모드에 따라 달라질 수 있다. HSDPA 모드에서는 물리계층 및 MAC 계층을 DSP 프로세서에 구현하였으며, 상위 계층 프로토콜은 GPP 프로세서에 구현하였다.

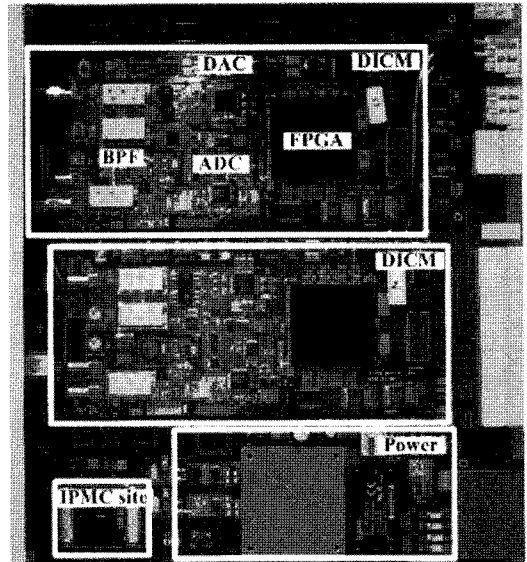


[그림 4] BPB 보드 형상

WiMAX 모드는 물리계층 및 하위 MAC 계층을 DSP 프로세서에, 그리고 상위 MAC 계층 및 망 정합 부분은 GPP 프로세서에서 담당하고 있다. 두 모드에서 FPGA는 DSP 프로세서와 백플레인을 통한 아날로그/디지털 변환 블록간 정합을 담당하고 있으며, 물리계층 운용을 위해 필요한 클럭 정보를 제공한다.

ADCB는 DAC/ADC, 주파수 상향/하향 변환, 인터플레이션/ 데시메이션, 채널화/역채널화 등의 기능을 수행한다. 80 Msps의 ADC(14비트 분해능)와 160 Msps의 DAC(16비트 분해능)를 실장하고 있으며, 보드당 두 개씩의 ADC와 DAC를 실장하고 있어 2FA (Frequency Assignment)까지 수용이 가능하고, 80 MHz의 IF 주파수를 이용한다. RF 서브시스템과 기저 대역 처리 블록 사이에 위치하며, 아날로그 신호와 디지털 신호간 변환 및 주파수 상향/하향 변환을 담당한다. 송신시 기저 대역 처리 블록에서 처리된 무선 접속 규격의 신호가 디지털 기저 대역 신호의 형태로 아날로그/디지털 변환 블록에 입력되고, 입력된 신호는 이 블록에 의해서 디지털 영역에서 변조 과정을 통해 중간 주파수(IF) 대역으로 상향 변환된다. 이렇게 상향 변환된 신호는 디지털/아날로그 변환기(DAC)를 통과하면서 아날로그 신호의 형태로 변환되어 출력된다. 수신시에는 역으로 아날로그 중간주파수 대역의 신호를 RF 서브 시스템으로부터 입력 받아 아날로그/디지털 변환기(ADC)를 통해 IF 주파수 대역의 디지털 신호로 변환한 후 디지털 영역에서 복조한다. 복조된 디지털 신호는 기저 대역 신호로 백플레인을 통해 기저 대역 처리 블록으로 전달된다. 이때 사용되는 고속 직렬 전송 기술은 기저대역 처리 블록과 아날로그/디지털 변환 블록의 Xilinx FPGA인 Vertex-II Pro에 내장된 MGT를 통해 실현된다. 이 두 블록에서 사용하는 FPGA에는 16개의 MGT 모듈이 있으며, 각각 최대 3.125 Gbps의 속도로 데이터를 전송할 수 있다.

[그림 5]에 보인 것처럼 ADCB도 기저 대역 처리



[그림 5] ADCB 보드 형상

블록과 마찬가지로 주요 기능들은 고속의 신호 처리와 재구성이 용이한 FPGA 상에 구현된다. 상기 기능은 블록의 디지털 중간 주파수 변환 모듈(DICM)에 의해서 처리되며, 하나의 블록에 두 장의 변환 모듈이 도트보드 형태로 장착된다. 하나의 DICM은 2FA를 처리할 수 있으며, 한 장의 아날로그/디지털 변환 블록 보드는 두 장의 DICM이 장착될 수 있어 송수신 다이버시티가 가능하다.

RFS의 시스템 구성은 한 개 혹은 여러 개의 SFEB (SDR RF Front End Block), STRB(SDR Transceiver Block), SPAB(SDR Power Amplifier Block)들로 구성된다. 기저국 RFS의 구조는 사용하고자 하는 FA 수 및 sector 수, 그리고 송수신 다이버시티를 위한 path 수에 따라 구조 및 형상이 달라질 수 있는데, 2 FA, 3 sector, 안테나 path는 송수신 2개의 다이버시티를 수용하는 구조이다. 현재 WiMAX와 HSDPA 방식을 모두 지원할 수 있는 상용의 광대역 안테나와 전력 증폭기 등의 RF 소자의 부재로 RF 블록은 HSDPA와 WiMAX 이중 모드로 구현되었다.

Ⅲ. 소프트웨어 구조

SDR은 자원의 효율적 관리를 위하여 개방형 객체지향적 미들웨어를 이용한 소프트웨어 프레임워크(framework) 구조 기술이 요구되며, 객체지향 구조를 기반으로 시스템 모듈 변경이 가능하도록 모듈간 정보/제어 인터페이스를 위한 API(Application Programming Interface) 정의가 필요하다. SDR 포럼에서 정의되는 API는 소프트웨어 모듈간의 인터페이스, 하드웨어 간의 인터페이스 그리고 하드웨어와 소프트웨어 모듈간의 인터페이스를 모두 포함한다⁴⁾.

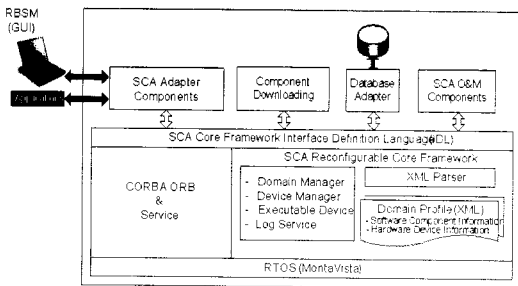
[그림 6]은 소프트웨어 블록 구조를 보인 것이며, SDR 포럼에서 표준으로 채택한 SCA 규격을 기본으로 하였다. 소프트웨어의 이식성과 재사용성을 위해 CORBA 기반의 미들웨어를 탑재하고 적응형 API가 가능하도록 구현하였다. 더욱이 Non-CORBA 기반의 소프트웨어 모델이나 데이터베이스 어플리케이션은 어댑터를 사용하여 CORBA 어플리케이션과의 통신이 가능하도록 설계하였다. 따라서 제 3자가 제작한 새로운 규격의 모델도 API 호환성이 제공된다면 또 다른 모드로의 동작이 가능하도록 하는 개방형 소프트웨어 구조를 채택함으로써 다중 모드 동작으로의 확장이 가능하다.

소프트웨어는 기지국 시스템의 컴포넌트 초기화 및 다운로드, 기지국 컴포넌트들의 재구성, 시스템 자원 및 정보 관리 기능을 수행하는 컴포넌트 제어

기능과, 기지국 운용 및 보존, Non-CORBA 컴포넌트 정합을 위한 어댑터 기능을 제공하는 기지국 응용 기능으로 구성된다. 기지국 컴포넌트 초기화 및 다운로드 기능은 CORBA 환경에서 로딩 관련 메시지 전달 및 시스템 로딩 형상 정보 관리, Non-CORBA 환경에서 제어 블록/디지털 IF 블록/기저 대역 신호처리 블록에 필요한 소프트웨어 다운로드 및 관리, 디지털 IF 블록/기저 대역 신호 처리 블록의 응용 프로그램 상태를 관리하는 기능을 수행한다. 기지국에 탑재되는 컴포넌트들의 재구성 기능은 응용 소프트웨어 컴포넌트 도메인/장치 관리 및 응용 소프트웨어 컴포넌트 재구성 배치 운용 관리 기능을 수행하며, 시스템 자원 및 시스템 정보관리 기능은 시스템 운용/보존 관련 블록 및 시스템 자원 정보를 관리하는 기능을 수행한다. 기지국 응용 기능 중에서 운용 및 보존 기능은 모드 제어, 구성 관리, 장애 상태 관리, 통계 처리 기능을 수행하고, Non-CORBA 소프트웨어 지원 어댑터 기능은 각 보드간 Non-CORBA 컴포넌트간 정합 기능을 수행한다. 또한, GUI 기반 이중 모드 관리 기능으로 RBSM(Reconfigurable Base Station Management)을 포함하며, 이는 이중 모드 기지국을 위한 컴포넌트 제어 및 기지국 응용 소프트웨어를 제어함으로써 웹브 폼, 시스템 파라미터, 하드웨어 구성 변경 등의 제어 기능을 제공한다.

Ⅳ. 시스템 구현

개발된 시스템은 동일한 플랫폼에서 다양한 이동통신 기술이 동시에 동작이 가능하며, 소프트웨어에 의해 제어가 가능함을 검증하기 위하여 이기종 통신 기술의 다중 모드 구현을 목표로 하였다. 최근 4세대 이동통신의 주요 기술로 부각되고 있는 OFDM 기술을 기반으로 하는 WiMAX 규격과, 3세대 이동통신의 주요 기술인 CDMA 기술을 기반으로 하는 HSDPA 규격을 동일한 플랫폼에서 동작시키며, 소프트웨어



[그림 6] 소프트웨어 블록 구조

에 의한 시스템 재구성 방법으로 동작이 가능하도록 설계 되었다. <표 1>은 HSDPA와 WiMAX 시스템의 구현 규격을 보인 것이다.

1.75/3.5/7 MHz 대역폭의 WiMAX 물리계층과 하위레벨 MAC 기능을 두 개의 PC102 DSP에 구현을 하였으며, HSDPA의 물리 계층과 MAC-hs 기능을 두 개의 PC102 DSP에 구현하였다. <표 2>와 <표 3>은 각각 8명의 사용자(4핑거/사용자)를 지원하는 HSDPA와 7 MHz 대역폭을 지원하는 WiMAX 시스템 구현에 사용된 DSP 자원 사용 현황을 보인 것이다.

[그림 7]과 [그림 8]은 각각 WiMAX와 HSDPA 모

<표 1> HSDPA/WiMAX 구현 규격

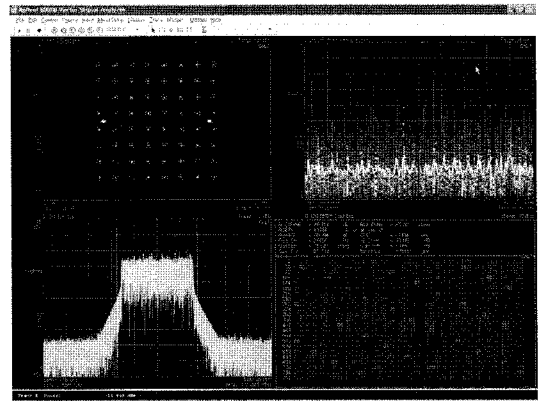
항목	HSDPA	WiMAX
대상 규격	3GPP Rel. 5-FDD (2005년 6월 기준)	IEEE P802.16-REVd/D5 (2004년 5월 기준)
사용 주파수	IMT-2000 대역 (2 GHz 대역)	3.5 GHz
채널 대역폭	5 MHz	1.75/3.5/7 MHz
다원 접속	CDMA	TDMA
듀플렉싱	FDD	FDD
채널 코딩	길쌈 또는 터보 코드	RSCC
다이버시티	STTD	STC
변조방식	QPSK/16QAM	QPSK/16QAM/ 64QAM
FA 개수	2	2
셀 반경	1 km	1 km
최대 전송 속도	14.4 Mbps	24 Mbps

<표 2> HSDPA 모드의 DSP 자원 사용률(8 users)

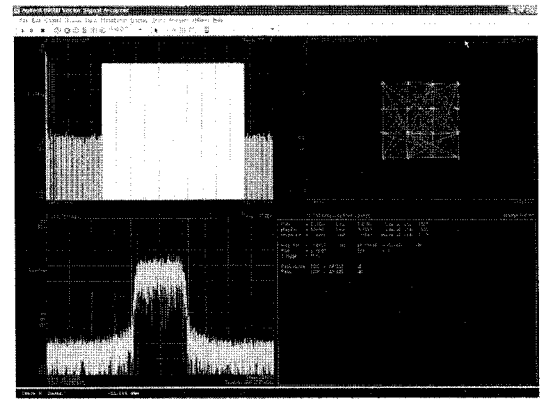
AE 타입	칩 당 개수	사용량 (DSP0/DSP1)	사용율(%) (DSP0/DSP1)
STAN	240	109/193	45.4/80.4
MEM	64	62/60	96.9/93.8
CTRL	4	4/4	100/100
FAU	14	7/3	50.0/21.4

<표 3> WiMAX 시스템의 DSP 자원 사용률(7 MHz 대역)

AE 타입	칩 당 개수	사용량 (DSP0/DSP1)	사용율(%) (DSP0/DSP1)
STAN	240	116/105	48.3/43.8
MEM	64	53/42	82.8/65.6
CTRL	4	2/1	50.0/25.0
FAU	14	6/0	42.9/0



[그림 7] WiMAX 모드의 송신 스펙트럼 및 성상도



[그림 8] HSDPA 모드의 스펙트럼 및 성상도

드에 대한 스펙트럼과 성상도(constellation)를 보인 것이며, 기지국 송신 안테나 단에서 측정된 결과이다. WiMAX의 경우에 64 QAM/7 MHz 대역 신호에

〈표 4〉 HSDPA 기지국 송신 성능 시험 요약

	시험 항목	측정치	판정 기준
시험 모델 1	시스템 대역폭	4.3 MHz	5 MHz 이하
	주파수 오차	0.015 ppm	+/- 0.1 ppm 이하
	EVM	3.5% rms	17.5% 이하
	Peak code domain error	-47 dB	-33 dB 이하
시험 모델 2	CPICH 전력 정확도	+/- 0.25 dB	+/-2.7 dB 이하
시험 모델 3	Peak code domain error	-48 dB	-33 dB 이하
시험 모델 4	EVM	8.32 % rms	12.5 % 이하

대해서 측정을 수행하였으며, 송신 EVM 측정 결과는 -38 dB로 나타났다. HSDPA 모드의 경우에 대해서는 16 QAM을 기준으로 하였으며, EVM 측정 결과는 -34 dB로 나타났다.

〈표 4〉는 참고문헌 [5]에서 권고한 HSDPA 기지국 송신에 대한 시험 모델 1, 2, 3, 4를 이용하여 측정된 성능 결과를 보인 것으로 각 시험 항목에 대한 측정치가 판정 기준을 만족함을 알 수 있다.

WiMAX 기능을 시험하기 위하여 FPGA 기반의 WiMAX 단말기를 WiMAX 포럼의 표준 규격에 준하여 개발을 완료하였고, 이를 활용하여 3중 대역폭(1.75/3.5/7 MHz)으로의 전송 기능을 시험하였다. 서비스로는 인터넷 접속 시험, VoD(Video on Demand) 시험, 그리고 FTP(File Transfer Protocol) 시험을 통하여 처리율(Throughput)을 검증하였다. HSDPA 기능의 시험에 있어서는 현재 국내에서 상용 서비스가 제공되고 있어 상용 망과의 연동에 주안점을 두었으며, 상용 망에서의 네트워크 시뮬레이터를 제작하고, 상용 단말기를 활용함으로써 상용 가능성을 제고하였다. 또한, 공통 플랫폼 상에서 소프트웨어 다운로드에 의한 모드 변경을 통해 서비스 전환을 성공적으로 수행하여 다중 모드 지원 가능성을 확인하였다.

V. 결 론

본고에서는 ETRI에서 상용화를 목표로 개발한 SDR

기반 이중 모드 기지국과 이를 검증하기 위해 개발된 HSDPA와 WiMAX 시스템에 대해서 소개하였다. 소프트웨어 제어에 의한 시스템 재구성 방법을 통해 공통 하드웨어 플랫폼에서 WiMAX와 HSDPA 두 가지 모드가 동작할 수 있는 SDR 기반 이중 모드 기지국을 성공적으로 개발함으로써, 하나의 공통 하드웨어 플랫폼으로 여러 무선 통신 시스템 적용이 가능해지므로 제조업체 비용 절감, 서비스 제공자의 유지 보수 용이, 사업자의 서비스 다양화 등의 많은 기대 효과를 기대할 수 있을 것으로 예상된다.

참 고 문 헌

- [1] SDR Forum, <http://www.sdrforum.org>
- [2] D. B. Kim, H. Cho, C. Lee, G. D. Jo, and J. U. Kim, "SDR-based reconfigurable base station platform", *IEICE Trans. Commun.*, vol. E89-B, no. 12, pp. 3188-3196, Dec. 2006.
- [3] picoChip, <http://www.picochip.com>
- [4] 황경호, 조동호, "Software Defined Radio 기술", *Telecommunication Review*, 10(1), pp.130-143, 2000년 1월.
- [5] 3GPP TS 25.141, Base Station(BS) conformance testing(FDD), v5.10.0, Jun. 2005.

≡ 필자소개 ≡

서 석

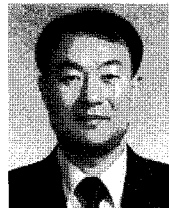


1997년 2월: 한양대학교 전자공학과 (공학사)
1999년 2월: 한양대학교 전자공학과 (공학석사)
2005년 2월: 한양대학교 전자통신전파공학과 (공학박사)
2005년 3월~현재: 한국전자통신연구원

이동통신연구단 선임연구원

[주 관심분야] 이동통신 시스템, SDR 기술, 시스템 성능 분석

김 진 업

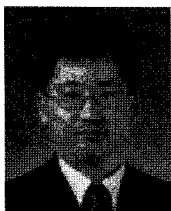


1985년 2월: 고려대학교 전자공학과 (공학사)
1987년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
1996년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)

1987년~현재: 한국전자통신연구원 이동통신연구단 이동컨버전스연구그룹 그룹장/책임연구원

[주 관심분야] SDR 기술, CR 기술, 이동통신 시스템, Data Compression, 채널 코딩

유 봉 국



1992년 2월: 충남대학교 전자공학과 (공학사)
1994년 2월: 충남대학교 전자공학과 (공학석사)
1994년 1월~2000년 4월: SK Telecom 중앙연구원 선임연구원
2005년 3월~현재: 한국전자통신연구원

이동통신연구단 선임연구원

[주 관심분야] 이동통신 시스템, SDR 기술, 아날로그 신호처리 기술

김 덕 배



1997년: 순천향대학교 정보통신공학과 (공학사)
2004년: 한국정보통신대학교 공학부 (공학석사)
1998년~2000년: 국제전자공업 연구소 연구원
2000년~2001년: (주)현대전자 단말기연

구소 연구원

2004년~2007년 6월: 한국전자통신연구원 연구원

2007년 6월~현재: 포스텔이타

[주 관심분야] SDR 기술, 이동통신 시스템, SoC

조 권 도



1991년 2월: 전남대학교 전자공학과 (공학사)
1994년 2월: 전남대학교 전자공학과 (공학석사)
2005년 2월: 충북대학교 정보통신공학과 (공학박사)
1994년 2월~현재: 한국전자통신연구원

이동통신연구단 인지접속연구팀 팀장/책임연구원

[주 관심분야] 4G 통신 시스템