Journal of Korea Multimedia Society Vol. 10, No. 10, October 2007(pp. 1260-1270)

고성능 전류감지기를 이용한 Specification 기반의 아날로그 회로 테스트

이 재 민†

요 약

테스트 기술자들에게 아날로그 회로(또는 혼합신호 회로)의 테스트와 진단은 여전히 어려운 문제여서 이를 해결할 수 있는 효과적인 테스트 방법이 크게 요구된다. 본 논문에서는 time slot specification(TSS) 기반의 내장 전류감지기(Built-in Current Sensor)를 이용한 새로운 아날로그 회로의 테스트 기법을 제안한다. 또한 TSS에 기반하여 고장 위치를 찾아내고 고장의 종류를 구별해 내는 방법을 제시한다. TSS 기법과 함께 제안하는 내장 전류감지기는 높은 고장 용이도와 높은 고장 검출율 그리고 아날로그 회로내 강고장과 약고장에 대한 높은 진단율을 갖는다. 제안하는 방법에서는 주출력과 전원단자등을 테스트 포인트로 사용하고 전류감지기를 자동 테스트 장치(Automatic Test Equipment)에 구성하므로써 테스트 포인트 선택과정의 복잡도를 줄일 수 있다. 내장 전류 감지기의 디지털 출력은 아날로그 IC 테스트를 위한 내장 디지털 테스트 모듈과 쉽게 연결된다.

Specification-based Analog Circuits Test using High Performance Current Sensors

Jae-Min Lee†

ABSTRACT

Testing and diagnosis of analog circuits(or mixed-signal circuits) continue to be a hard task for test engineers and efficient test methodologies to solve these problems are needed. This paper proposes a novel analog circuits test technique using time slot specification (TSS) based built-in current sensors (BICS). A technique for location of a fault site and separation of fault type based on TSS is also presented. The proposed built-in current sensors and TSS technique has high testability, fault coverage and a capability to diagnose catastrophic faults and parametric faults in analog circuits. In order to reduce time complexity of test point insertion procedure, external output and power nodes are used for test points and the current sensors are implemented in the automatic test equipment(ATE). The digital output of BICS can be easily combined with built-in digital test modules for analog IC test.

Key words: Built-In Current Sensor(전류감지기), Specification-based Test(specification-기반의 테스트), Analog Circuits(아날로그 회로), Fault Diagnosis(고장 진단), Test Point Selection(테스트 포인트 선택)

※ 교신저자(Corresponding Author) : 이재민, 주소 : 강원도 강릉시 내곡동 522번지, 전화 : 033)649-7552, FAX : 033)649-7550, E-mail : leejm@kwandong.ac.kr
접수일 : 2007년 3월 12일, 완료일 : 2007년 10월 19일

† 준회원, 관동대학교 전자정보통신공학부
※ 이 논문은 2006년도 관동대학교 교내연구비 지원에 의하여 이루어진 것임.

1. 서 론

휴대용 기기의 멀티미디어 기능 지원이 가속화되고 있는 최근의 시장 요구에 따라 국내외 반도체 설계업체들은 동영상 및 정지화상의 비디오와 오디오의 녹화 및 재생, 각종 애플리케이션 구동 및 그래픽 가속기능을 두루 갖춘 멀티미디어전용 시스템 온 칩(SoC) 개발에 박차를 가하고 있다.

국내업체들은 기존의 휴대폰용 카메라 컨트롤 IC에 해상도를 높이고 정지화상 및 동영상촬영, 이미지 회전과 다양한 효과, 줌 등의 기능을 강화하고 한 걸음 더 나아가 오디오 비디오 기능을 대폭 추가한 멀티미디어 SoC를 휴대폰 제조업체에 공급하거나 모바일 멀티미디어 단말기에 사용할 전용 SoC의 개발에 나서고 있다. 국외의 경우 퀄컴사 등이 모뎀 칩셋에 카메라와 같은 멀티미디어 기능을 대폭 추가하고 있고 휴대폰 단말기도 멀티미디어 기능을 강화하는 등 기존 IC를 멀티미디어용으로 확대하는 데 노력을 기울이고 있는 것이 보고되고 있다.

최근 이러한 멀티미디어용 SoC와 같은 고집적 반도체 기술의 발전으로 회로를 구성하고 있는 디지털 회로와 아날로그 회로(또는 혼합신호 회로)의 복잡도가 크게 증가하고 있어 이들의 테스트 특히 아날로그 회로의 테스트는 매우 중요하고 심각한 문제가 되고 있다[1]. 아날로그 회로의 테스트는 디지털 회로의 테스트와는 달리 충분히 검증되어 보편화된 고장 모델이 개발되어 있지 않고 테스트 기법도 디지털 방식에 비해 복잡하며 높은 고장 검출율이나 진단율을 얻는 것이 쉽지 않다. 지금까지 연구된 고장 검출 및 진단을 위한 방안으로서 디지털 영역에서 사용되는 내장 자체 테스트(BIST : built-in self-test) 방식과 같은 구조적 테스트 기법을 사용하는 방식이 주로 소개되어 왔다[2-4]. 그러나 대부분 특정한 회로와 고장 모델에 대하여 유효성을 보이는 제한된 기능과 여러 방법들이 하드웨어 오버헤드가 크다는 약점과 고장 검출만 가능하며 진단 능력을 갖지 못하는 등의 단점을 가지고 있다[5].

아날로그 회로를 테스트하기 위한 BIST 방식의 경우 테스트 용이도(testability) 향상을 위한 회로를 피 테스트 회로 내부에 부가하여야 하는데 이렇게 할 경우 칩 면적의 증가, 정상동작의 성능 저하, 회로 복잡도 상승에 따른 테스트의 어려움 등 많은 문제점이 따르게 된다. 아날로그 회로의 테스트에 널리 사용되는 전류 테스트 기법을 적용할 때 부가회로로 전류감지기와 이것을 연결하는데 필요한 테스트 포인트의 위치와 개수를 결정하는 일은 테스트를 효율적으로 수행하기 위해 매우 중요하다. 즉 테스트 벡터의 크기가 클수록 테스트의 시간은 증가하기 때문에 가능한 적은 수의 테스트 포인트를 선택하는 효율적인 방법이 반드시 필요하다.

You등[6]은 심볼릭 시뮬레이션에 의해 피테스트 회로의 고장들을 평가하는 테스트-전-시뮬레이션을 제안하여 고장 사전을 구성하는 시간을 줄일 수 있도록 하였는데 강고장에는 효과를 보이지만 약고장 검출에는 적합하지 않다. 한편 테스트-후-시뮬레이션 기법은[7] 회로 토폴로지(topology)로부터 얻어진 소자 매개변수의 값을 구하는 기법인데 약고장에 효과가 있는 반면 강고장에는 적절하지 못한 방법이다. 이 밖에 신경망을 사용하는 테스트 기법과 발진을 이용한 테스트 방식들도 소개되고 있는데 이러한 대부분의 방법들은 하드웨어를 구현하기 어렵고 회로 크기도 커서 실용적인 유용한 방법이 되지 못하고 있다[8-11].

본 논문에서는 아날로그호 회로를 테스트 하는데 유용한 Specification 기반의 테스트 방식에 관하여 TSS(Time Slot Specification) 및 MTSS (Modified TSS) 기법과 이 기법을 적용한 고감도 전류 감지기를 피 테스트회로 내부에 부가하는 기존의 방식을 발전시켜[12-15] 자동 테스트 장치(ATE)에 구성하여 테스트 포인트를 피 테스트회로의 외부단자만으로 사용하여 충분한 고장 검출율과 진단율을 얻을 수 있는 새로운 방법을 제안한다. 피 테스트 회로 외부에서 직접 연결할 수 있는 주 출력과 전원 단자 등을 테스트 포인트로 사용하면 회로 설계가 간단해지며 테스트에 드는 시간과 비용을 크게 절감할 수 있다. 벤치마크 회로를 사용한 실험을 통하여 제안하는 방법의 타당성을 검증한다.

2. 고성능 전류감지기

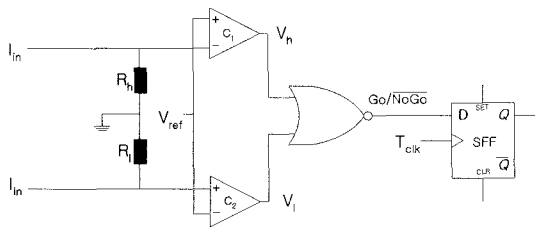
2.1 고장모델

아날로그 회로의 테스트를 위한 고장모델로는 강고장(catastrophic fault)과 약고장(parametric fault)이 주로 고려되고 있는데 여기서도 이 두 가지 기본

고장 모델을 기반으로한 4가지 형태의 고장 즉 (a) 소자의 단락고장 (b) 소자의 개방고장 (c) +6 sigma 고장 (d) -6 sigma 고장을 고려한다[16]. 여기서 소자의 단락고장을 Class A 고장, 소자의 개방고장을 Class B 고장, +6 sigma 고장을 Class C 고장, -6 sigma 고장을 Class D 고장 등으로 부르기로 한다. 일반적으로 약고장의 테스트가 강고장보다 검출과 진단이 어려운 것으로 알려져 있다.

2.2 전류감지기와 전류 테스트

제안하는 전류 감지기는 회로 사양을 벗어나는 (out-of-specification) 고장이 발생하여 이를 테스트 할 때 전류를 파라메타로 사용한다. 만약 전류감지기가 피 테스트 회로(CUT)내 어떤 가지에 흐르는 정상 전류와 고장 전류를 비교하여 Go/$\overline{\text{NoGo}}$ 출력을 얻을 수 있다면 이 고장은 검출될 수 있을 것이다. 그림 1에 제안하는 내장 전류감지기는 아날로그 회로 내 테스트 대상 노드로부터 전류를 감지하여 이것이 회로의 정상 동작주파수 내에서 최소전류(I_{min})와 최대 전류(I_{max})의 범위 내에 있는지(INSPEC), 범위를 벗어났는지(OFFSPEC)를 판단한다. 전류감지기를 통해서 측정된 전류값이 정상회로의 최대 전류값과 최소 전류값 내에 있을 때 이를 INSPEC(in specification)이라하고 정상 전류값의 범위를 벗어났을 때 이를 OFFSPEC(off specification)이라 부르기로 한다.



(a)

I_{in}	C_1	C_2	Go/$\overline{\text{NoGo}}$	Q
$I_{in} \le I_{min}$	High	Low	0	0
$I_{min} \le I_{in} \le I_{max}$	Low	Low	1	1
$I_{in} \ge I_{max}$	Low	High	0	0

(b)

그림 1. 고감도 전류 감지기 (a)회로도 (b)동작표

전류감지기는 테스트 노드로부터 전류를 끌어내어 두개의 입력 I_{in}으로 들어간다. 이것은 고립 버퍼와 전류 미러를 이용하면 가능한 구조이다. 고립버퍼는 전류감지기를 피테스트 회로와 분리하여 회로의 정상동작에 영향을 주지 않도록 해준다. 이 전류감지기를 사용하면 아날로그 회로를 디지털적으로 다룰 수 있다. R_h와 R_l은 식 (1)을 사용하여 구할 수 있다.

$$R_{l(h)} = \frac{V_{ref}}{I_{min(max)}} \tag{1}$$

제안한 전류 감지기를 사용한 아날로그 고장의 Go/$\overline{\text{NoGo}}$ 테스트 과정을 그림 2의 회로를 통해 살펴보자.

회로 내 노드 6에 테스트를 위해 전류 감지기를 (ATE에 내장되어 있는) 연결하여 저항 R3에 발생할 수 있는 4가지 고장 모델을 가정하고 이에 대한 정상 출력과 고장 출력을 SPICE 시뮬레이션을 통해 구하면 그림 3과 같은 결과를 얻는다. Class A 고장, Class B 고장 , Class C 고장 및 Class D 고장등 모든 고장에 대한 전류감지기의 출력이 정상 전류값의 범위를 벗어나므로 검출이 가능하다. 그런데 시뮬레이션을 통해 알 수 있듯이 제안한 전류 감지기를 사용한 Go/$\overline{\text{NoGo}}$ 테스트 방식은 구조가 간단하고 높은 동작 속도를 갖지만 고장 위치와 고장의 종류에 관한 정보를 충분히 제공하지는 못한다. Class A고장과 Class B고장은 동일한 TSS 패턴을 보이므로 구별되지 않기 때문이다(표1 참조).

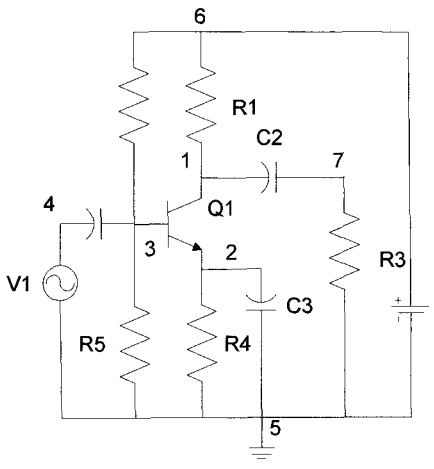
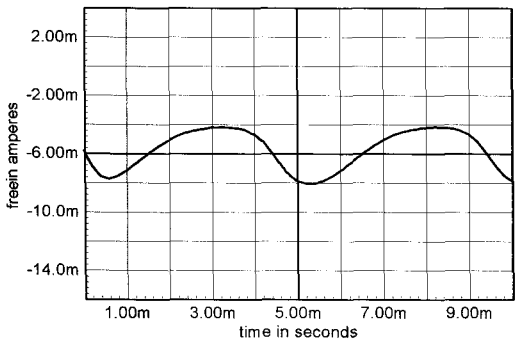
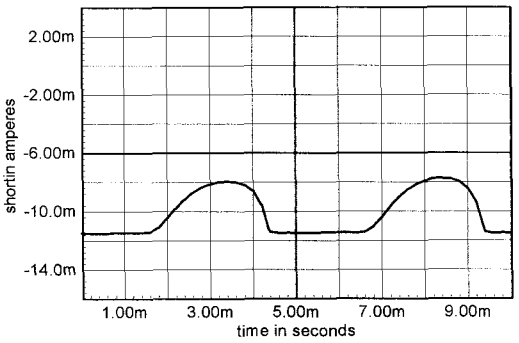


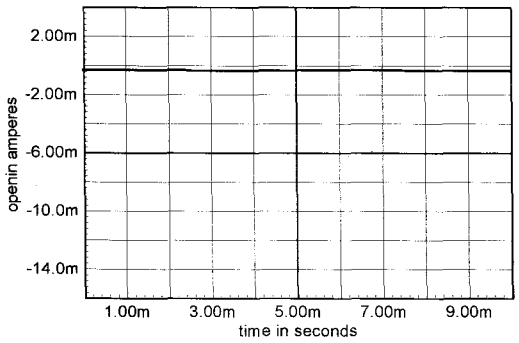
그림 2. 예제 회로(1단 증폭기)



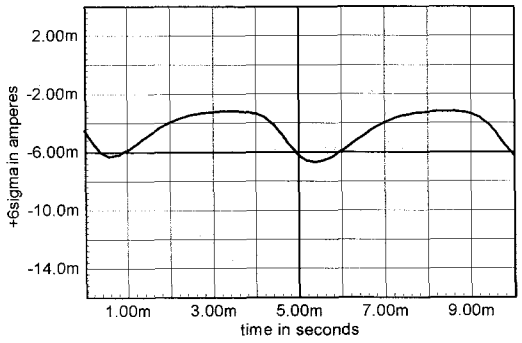
(a) fault free



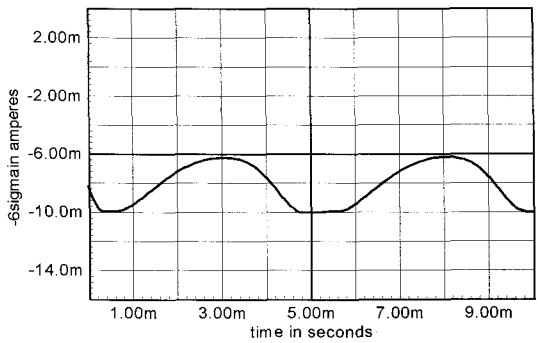
(b) Class A



(c) Class B



(d) Class C



(e) Class D

그림 3. 노드 6에서의 측정한 전류값

표 1은 노드 6에서 측정한 TSS 패턴이다. Class A, Class B, Class C 및 Class D 고장들 모두의 TSS 패턴이 정상회로의 TSS 패턴과 다르게 나타나 검출이 가능하고 또한 Class A와 Class B를 제외한 나머지 고장들이 각기 고유한 TSS 패턴을 나타내었다.

표 1 . 노드 6에서 측정한 R3고장의 TSS 패턴
(I : INSPEC, O : OFFSPEC)

Fault Type	A	B	C	D	E	F	G	H	I	J
Fault Free	I	I	I	I	I	I	I	I	I	I
Class A	O	O	O	O	O	O	O	O	O	O
Class B	O	O	O	O	O	O	O	O	O	O
Class C	O	O	I	I	O	O	O	I	I	O
Class D	I	O	O	O	O	I	O	O	O	O

3. Specification 기반의 고장 테스트

3.1 TSS(Time Slot Specification) 기법

고감도 전류 감지기를 사용한 전류 테스트는 검출 방법이 간단하면서 구조적 테스트 용이화 설계에 적합하지만 고장 종류와 위치를 찾아내는 능력은 매우 제한되어 있다. 전류 테스트는 기본적으로 전류 감지기에 감지된 전류의 크기에 의존하는 방식으로 피테스트 회로의 아날로그 신호의 변화를 밀도 있게 측정하기란 쉽지 않다. 이러한 단점을 해결하기 위해서 고장 종류에 따른 다양한 고장신호를 검출하기 위해서는 결함에 기인한 신호 변화를 구별하는 사양 기반의 (specification-based) 기술이 필요하다. 이를 위해서는 다음에 기술하는 TSS 개념을 적용하여 테스트 구간을 적절한 시간구간(time slot)으로 분할 한 후 시간 구간에서 INSPEC과 OFFSPEC 상태를 판정하여 이를 정산신호와 비교하여 고장유무를 판별한다. 시간 구간 내에서 측정한 신호들은 INSPEC과 OFFSPEC의 상태를 판정하므로서 고유의 고장 패턴을 나타내며 이를 통하여 고장의 위치와 종류를 판별할 수 있다.

3.2 MTSS(Modified Time Slot Specification) 기법

아날로그 회로의 내부 노드 또는 외부 단자는 강고장이나 약고장이 발생할 때 그 노드가 가질 수 있는 최대값과 최소값의 범위가 정상신호가 갖는 최대값과 최소값의 범위 내에 있어서 고장을 INSPEC으로 판정될 때 이러한 고장을 TSS기법으로 충분히 검출할 수 없게 된다. 이러한 문제점을 해결하기 위해 수정된 TSS (Modified Time Slot Specification) 방식을 제시한다. 다음에 MTSS기법을 기술하기 위한 용어들을 정의한다.

- $I_{max,j}$, $I_{min,j}$: 테스트 포인트 j를 흐르는 최대 전류치와 최소 전류치
- F : 고장 집합
- fi : F 내의 i 번째 고장
- $fi \bullet I_{min,j}$: 테스트 기간 중에 고장 fi에 의해 테스트 포인트 j를 흐르는 최소 전류
- $fi \bullet I_{max,j}$: 테스트 기간 중에 고장 fi에 의해 테스트 포인트 j를 흐르는 최대 전류

각 테스트 포인트 j에 대해 다음의 과정을 수행 한다.

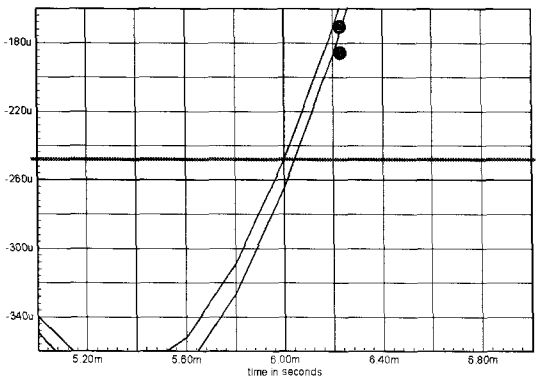
- $I_{max,j}$와 $I_{min,j}$ 를 모든 테스트 포인트에서 무고장 회로의 시뮬레이션을 통하여 구한다.
- F내 각 고장 fi에 대해 $fi \bullet I_{min,j}$와 $fi \bullet I_{max,j}$를 결정한다.
- $I_{min,j} \le fi \bullet I_{min,j} \le fi \bullet I_{max,j} \le I_{max,j}$의 경우 다음의 방법을 적용한다.
- $fi \bullet I_{max,j} \le I_{max,j}$일때 $I_{max,j}=fi \bullet I_{max,j}$로 치환하고 $fi \bullet I_{max,j}=I_{max,j}$일때 $I_{max,j}=I_{max,j}-\Delta I_{max,j}$로 치환한다.
- $fi \bullet I_{min,j} \ge I_{min,j}$이면 $I_{min,j}=fi \bullet I_{min,j}$로 치환하고 $fi \bullet I_{min,j}=I_{min,j}$이면 $I_{min,j}=I_{min,j}-\Delta I_{min,j}$로 치환한다.

여기서 $\Delta I_{max,j}$와 $\Delta I_{min,j}$는 $I_{min,j}$과 $I_{max,j}$보다 적은 크기의 전류로 정의한다. 이 방법을 사용하면 TSS 방법으로 테스트를 할 때 시간분할 구간 내에서 완전-INSPEC인 고장이 부분-INSPEC으로 나타나 검출이 가능할 뿐만 아니라 고유한 고장 패턴을 나타내게 된다. 만약 $fi \bullet I_{min,j}$와 $fi \bullet I_{max,j}$ 조건을 갖는 고장이 여러개 일 경우 다음과 같이 $I_{max,j}$와 $I_{min,j}$를 구하여 적용한다.

- $I_{max,j}=\mathrm{Min}\{fi \bullet I_{max,j} \in F(I_{min,j} \le fi \bullet I_{min,j} \le fi \bullet I_{max,j} \le I_{max,j}$ 인 i에 대해)}
- $I_{min,j}=\mathrm{Max}\{fi \bullet I_{min,j} \in F(I_{min,j} \le fi \bullet I_{min,j} \le fi \bullet I_{min,j} \le I_{min,j}$ 인 i에 대해)}

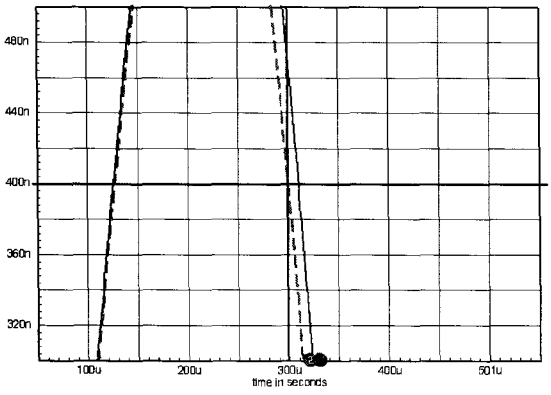
3.3 MTSS 기법에 의한 난 검출(hard-to-detect) 고장의 테스트

일반적으로 약고장은 강고장에 비해서 고장 전달 효과가 적어 거의 정상신호의 패턴과 거의 흡사한 경향이 많아서 고장의 검출이나 진단이 용이하지 않다. 그러나 제안한 MTSS 기법을 적용하였을 때 이러한 까다로운 약고장들이 지연고장 형태로 검출되며 비교적 높은 고장 검출율을 얻을 수 있다. 그림 4는 1단 증폭기의 C3의 -6-sigma고장이 테스트 포인트 2(노드 6)에서 지연고장의 형태로 검출되었고 state- variable filter에서는 R6의 +6-sigma고장이 테스트 포인트 1(노드 6)에서 지연고장의 형태로 검출되었다.



①고장(지연)신호 ②정상신호

(a)



①고장(지연)신호 ②정상신호

(b)

그림 4. 지연고장 형태로 검출된 약 고장
(a)1단 증폭기 (b)state-variable filter

4. 테스트 포인트 선택

4.1 테스트 용이도와 테스트 포인트 선택

테스트 용이도는 설계된 시스템에 대하여 테스트를 하였을 때 테스트의 난이도를 말한다. 테스트를 쉽게 하기위해서는 테스트를 고려한 설계방법으로 회로를 변형시키야 한다. 현재 개발되고 있는 시스템에 대부분 이 방법을 적용하여 설계되어 왔지만 회로의 집적도 및 복잡도가 발달하면서 테스트 설계 방법에 따른 이득과 오버헤드 증가에 따른 손실사이의 최적의 선택이 필요하게 된다. 전류감지기를 사용하여 테스트를 하였을 때 적은 수의 테스트 포인트로 테스트를 하면 쉬운 테스트를 할 수 있다. 적은 테스트 포인트의 사용은 테스트에 드는 시간과 비용을 줄일 수 있으며 기존의 외부단자를 사용한 전류 테스트의 문제점을 해소 시킬 수 있다. 따라서 어떤 최적의 테스트 포인트를 선택하는지가 주요 관건이다. 최적의 테스트 포인트는 여러 피 테스트 회로를 대상으로 어떠한 외부단자를 테스트 포인트로 선택하여 테스트 하였을 때 높은 고장 검출율과 진단율을 얻을 수 있는 곳을 최적의 테스트 포인트로 선택할 수 있다. 이 테스트 포인트로 테스트를 하여 높은 검출율과 진단율을 얻을 수 없을 경우 또는 높은 진단율을 얻기 위해서는 다른 외부 단자를 테스트 포인트로 선택하면 높은 검출율과 진단율을 얻을 수 있을 것이다.

4.2 BIST 구조와 테스트 포인트

BIST기법은 칩 내부에서 테스트 패턴을 생성하고 테스트 응답을 내부에서 압축하여 외부에 고장을 알려준다. 그림 5는 테스트 용이도를 위해 부가회로가 피 테스트회로에 내장된 전형적인 BIST방식의 고장 진단구조이다[2,8]. 테스트 용이화 설계에서는 피테스트 회로 내부의 노드들을 테스트 포인트로 사용하여 테스트함으로써 최적의 테스트 포인트를 구하는 과정이 복잡하고 높은 고장 검출율이나 진단율을 얻기 위해 다수의 테스트 포인트가 필요하게 된다.

최적(최소)의 테스트 포인트는 테스트에 드는 시간을 줄여줄 뿐만 아니라 테스트 용이도를 향상 시키는데 필요한 부가하드웨어의 크기를 줄여 테스트 비용을 낮추는데도 기여한다. 특히 피 테스트 회로 내부에 내장된 테스트회로는 회로의 성능감소, 칩 면적 증가, 입출력 핀 증가, 전력소모량 증가 및 회로 복잡도 향상등 많은 단점을 수반한다. 이러한 문제를 해결하기 위해서 여기서는 전류 테스트를 위한 전류감지기를 피 테스트회로 내부에 부가하지 않고 이를 ATE에 구성하여 회로를 테스트 하도록 한다. 테스트 포인트로 선택할 외부 단자는 주 출력 단자와 전원단자들이다. 이러한 외부 테스트 포인트로 테스트하는 방식은 내부 노드를 테스트 포인트로 테스트하는 방식에 비해 테스트 포인트의 수가 적으며 최적의 테스트 포인트를 찾는 알고리듬이나 계산 과정을 거의 필요로 하지 않는다.

4.3 외부 테스트 포인트를 사용한 테스트 진단 구조

그림 6은 전류감지기를 ATE에 내장시키고 피테스트 회로의 외부 단자를 테스트 포인트로 사용하여 고장검출과 진단을 행하는 테스트 구조를 나타낸 것이다[13].

먼저 테스트 입력이 ATE에 의해 피테스트 회로에 인가되고 static 플립플롭들이 LOW로 리셋 된다. 이 때 Tclk 신호를 HIGH로, Scan-In 신호를 LOW로 주면 레지스터 체인이 비활성화 된다. 다시 Sense-In 신호를 HIGH로 하면 전류감지기의 출력이 static 플립플롭의 입력으로 인가되면서 테스트가 본격적으로 이루어진다. 선 테스트(pre-test) 단계에서는 최초 또는 희망하는 time slot이 끝날 때 Tclk 신호가 동작한다. 전류감지기에 의해 INSPEC / OFFSPEC이 결정되고 플립플롭에 래치 된다. 플립플롭 체인으로 구성된 LIFO내에 저장된 내용이 스캔 출력되고 플립플롭이 리셋된 뒤 다시 같은 테스트 과정을 다음 time slot에서 반복하게 된다.

5. 실험 및 검토

5.1 내장 전류감지기의 감도실험

내장 전류감지기의 동작을 다음 3가지 조건하에서 시뮬레이션을 행하여 분석하였다.

(a)I_{max} = 0.0005[A], I_{min}=0.0003[A]
(b)I_{max} = 0.00005[A], I_{min}=0.00003[A]
(c)I_{max} = 0.000005[A], I_{min}=0.000003[A]

I_{in}은 전류감지기의 입력으로서 0.000002 [A]에서 0.000006 [A]까지 I_{min}과 I_{max}근처까지 미세하게 변화

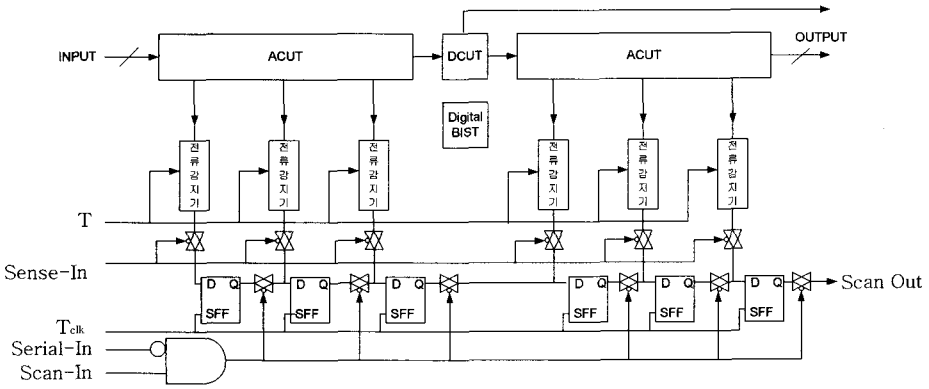


그림 5. BIST 방식의 고장 진단 구조

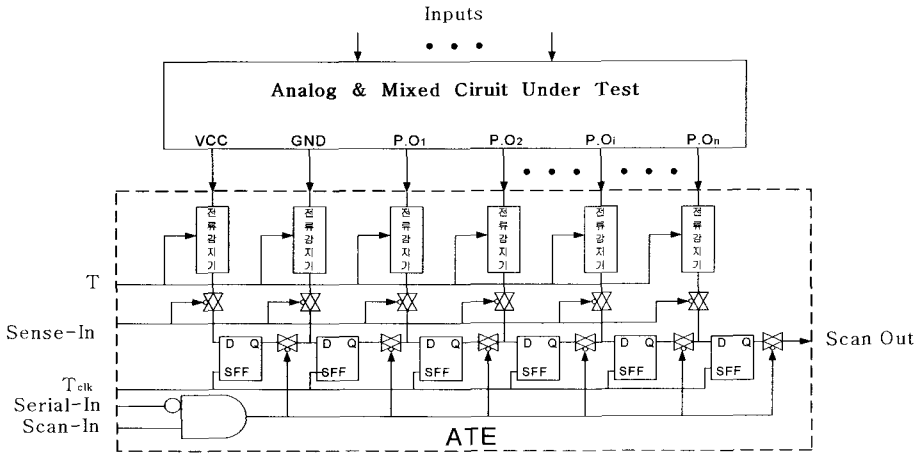


그림 6. 전류감지기를 내장한 ATE와 고장 진단 구조

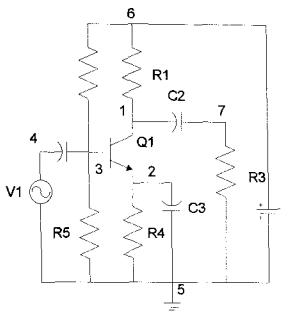
시켜가며 시뮬레이션을 행한다. 표 2는 I_{min}= 0.000003[A]와 I_{max} = 0.000005[A]인 조건 하에서 수행한 시뮬레이션 결과인데 회로가 수십 μA단위까지 오류 없이 안정된 동작을 보여준다.

5.2 TSS 및 MTSS 기법을 사용한 외부 테스트 포인트에 대한 벤치마크 실험

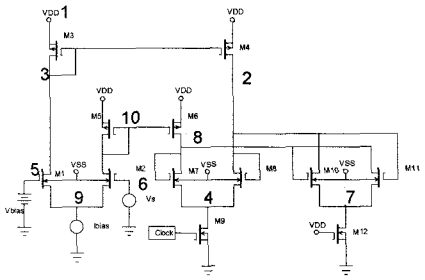
제안한 피 테스트 회로의 외부 단자를 테스트 포인트로 사용하여 충분한 고장 검출율과 진단율을 얻을 수 있는지, 그림 7의 4가지 벤치마크 회로들[17]에 대해 MTSS기법을 적용하고 전원단자와 주출력 단자를 테스트 포인트로 선택하여 강고장과 -6-sigma 및 +6-sigma 약고장을 대상으로 실험하였다. 각 벤치마크 회로에 동일한 입력 조건을 인가하고 주 출력과 전원단자에 대해서 SPICE 시뮬레이션을 행하였다. 표 3에 1단 증폭기, 상태 변수 필터, 비교기, op amp에 대한 시뮬레이션 결과를 강고장과 약고장을 구별하여 고장 검출율과 고장 진단율을

표 2. 전류감지기의 감도 시뮬레이션 결과
(I_{min}=0.000003 amperes, I_{max}=0.000005 amperes, V_{ref} =3 volts , V_{dd} =5 volts)

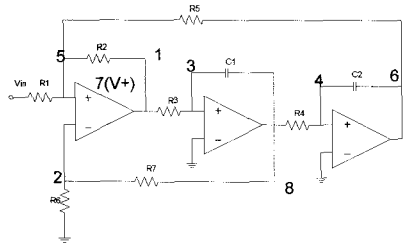
I_{in}[A]	V_l[V]	V_h[V]	Go/NoGo	I_{max}-I_{in}[A]	I_{mix}-I_{in}[A]
0.000002	4.95	0	0	0.000003	0.000001
0.0000025	4.95	0	0	0.0000025	0.0000005
0.00000295	4.95	0	0	0.00000205	0.00000005
0.00000305	0	0	1	0.00000195	-0.00000005
0.000004	0	0	1	0.000001	-0.000001
0.0000045	0	0	1	0.0000005	-0.0000015
0.00000495	0	0	1	0.00000005	-0.00000195
0.00000505	0	4.95	0	-0.00000005	-0.00000205
0.00000507	0	4.95	0	-0.00000007	-0.00000207
0.000006	0	4.95	0	-0.000001	-0.00003



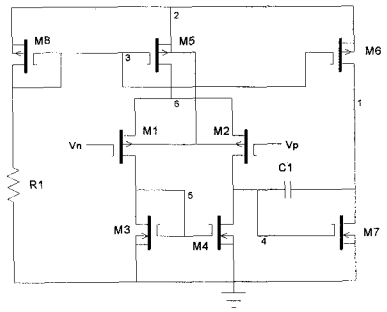
(a) 1단 증폭기



(b) 비교기



(c) 상태 변수 필터



(d) op amp

그림 7. 벤치마크 회로

표 3. 벤치마크 회로 대한 고장 검출율과 진단율

(a) 1단 증폭기

테스트 포인트	검출율(%)				진단율(%)			
고장 타입	강고장	약고장	합	최대 검출율	강고장	약고장	합	최대 진단율
전원(node 6)	100	100	100	100	0	31.3	13.6	22.2
주출력(node 7)	100	93.8	97.2		55	31.3	16.6	

(b) 비교기

테스트 포인트	검출율(%)			진단율(%)		
고장 타입	강고장	합	최대 검출율	강고장	합	최대 진단율
전원(node 1)	100	100	100	22.9	22.9	37.5
주출력(node 2)	100	100		29.2	29.2	
주출력(node 8)	85.4	85.4		20.8	20.8	

(c) 상태 변수 필터

테스트 포인트	검출율(%)				진단율(%)			
고장 타입	강고장	약고장	합	최대 검출율	강고장	약고장	합	최대 진단율
전원(node 7)	100	88.9	94.4	100	38.9	22.2	30.6	36.1
주출력(node 6)	100	100	100		16.7	5.6	11.1	

(d) Op amp

테스트 포인트	검출율(%)				진단율(%)			
고장 타입	강고장	약고장	합	최대 검출율	강고장	약고장	합	최대 진단율
전원(node 2)	97.2	100	97.5	100	8.3	0	7.5	12.5
주출력(node 6)	94.4	25	87.5		2.8	25	5	

%로 나타내었다.

1단 증폭기의 경우 고장 검출율은 전원(node 6)과 주출력(node 7)에서 100%와 97.2%을 얻었고 최대 고장진단율은 22.2%를 얻을 수 있었다. 비교기의 경우 전원(node 1)과 주출력(node 2)에서 100%를 또 다른 주출력(node 8)에서 85.4%을 보였고 최대 고장진단율은 37.5%를 나타내었다. 필터의 경우는 전원과 주출력 단자만으로 높은 검출율을 얻을 수 있었다. 각 피테스트 회로에 대한 실험 결과를 분석해 보았을 때 강고장과 약고장에 대해서 전원과 주출력의 고장진단율은 전원단자 쪽이 약고장에 대하여 주출력보다 높게 나타났고 반면 강고장에 대해서는 주출력 쪽이 전원단자보다 높게 나타남을 알 수 있었다.

6. 결 론

본 논문에서는 아날로그 회로(또는 혼합신호 회로)의 테스트에 효과적으로 적용할 수 있는 고감도 전류감지기를 사용한 specification 기반의 고장 검출 및 진단 기법을 제시하였다. 테스트 용이도를 향상시키기 위한 부가 회로는 피 테스트 회로에 내장하는 대신 ATE에 수용하여 내장 하드웨어 오버헤드를 최소화할 수 있는 장점을 갖는다. 이는 TSS 및 MTSS기법을 적용할 때 테스트 포인트를 피 테스트

회로 외부단자를 이용하기 때문이다. 또한 테스트 포인트 선택방법을 제시하였는데 테스트 포인트를 외부단자인 주출력 단자와 전원단자를 선택하여 사용하였을 때 내부 테스트 포인트를 쓰는 경우에 비해 테스트 포인트의 수 매우 적고 테스트 포인트를 선택하는 알고리듬이나 이를 계산하는 부담이 거의 없는 장점을 갖는다. 또한 강고장에 대해 높은 고장 검출율을 가질 뿐만 아니라 약고장에 대해서도 매우 효과적임을 시뮬레이션을 통하여 알 수 있었으며 고장 진단 기능에 있어서도 상당한 효과가 있음을 확인할 수 있었다. 또한 전원단자에서의 약고장에 대한 고장 진단율이 주출력 단자보다 높았으며 주 출력단자에서는 강고장에 대한 고장 진단율이 높게 나타났다.

MTSS기법의 특징을 고려하여 약고장에 대한 진단율이 높은 전원단자 또는 강고장에 대한 진단율이 높은 주 출력 한 곳만을 테스트 포인트로 정하여 각기 다른 I_{max}와 I_{min}값을 갖는 전류 감기지로 테스트를 하거나 전원과 주 출력 두 곳을 같은 방법으로 테스트하는 방안에 대한 검토가 다음 연구에서 필요하다.

참 고 문 헌

[1] Linda S. Milor, "A Tutorial Introduction to Research on Analog and Mixed-signal Circuit Testing," *IEEE Trans. Cir. and Syst.*, Vol.45, No.10, pp. 1389-1407, 1998.

[2] C. L. Wey, "Built-In-Self-Test(BIST) Structure for Analog Circuit Fault Diagnosis," *IEEE Trans. Instrum. and Meas.*, Vol.39, No.3, pp. 517-521, 1990.

[3] C. L. Wey and S. Krishnan, "Built-In-Self-Test(BIST) Structures for Analog Circuit Fault Diagnosis with Current Test Data," *IEEE Trans. Instrum. and Meas.*, Vol.41, No.1, pp. 535-539, 1992.

[4] L. T. Wurtz, "Built-In-Self-Test Structure for Mixed Mode Circuits," *IEEE Trans. Instrum. and Meas.*, Vol.42, No.1, pp. 25-29, 1993.

[5] 송근호, 백한석, 문성룡, 서정훈, 김강철, 한석붕, "오프셋과 고주파수를 이용한 연산등폭기의 새로운 테스트 방식," *대한전자공학회 하계종합학술대회* 제23권, 1호, pp. 189-192. 2000.

[6] Jhihong You, E. Sanchez-Sinencio, and Jose Pineda deGyvez, "Analog System-Level Fault Diagnosis Based on a Symbolic Method in the Frequency Domain," *IEEE Trans. Instrum. and Meas.*, Vol.44, No.1, 1995.

[7] E. L. Salama and F. Z. Amer, "Parameter Identification Approach to Fault Diagnosis of Switched Capacitor Circuits," *IEE Proc. Electron Trans. Cir. and Syst.*, Vol.139, Issue 4, pp. 467-472, 1992.

[8] M. Aminian and F. Aminian, "A Comprehensive Examination of Neural Network Architectures for Analog Fault Diagnosis," *Proceeding of International Joint Conference on Neural Networks*, Vol.3, pp. 2304-2309, 2001.

[9] Jacob A. Abraham et al., "Quasi-Oscillation Based Test for Improved Prediction of Analog Performance Parameters," *Proceedings of IEEE ITC*, pp. 252-261, 2004.

[10] G. Huertas, et al., "Practical Oscillation-based Test in an Analog Macrocell," *IEEE Design & Test of Computers*, Vol.19, No.6, pp. 73-82, 2002.

[11] Jun-Weir Lin Chung-Len Lee, Chau-Chin Su, and Jwu-E Chen, "Fault Diagnosis for Linear Analog Circuits," *Proceedings of the Ninth Asian Test Symposium*, 2000. (ATS 2000), pp. 25-30, 2000.

[12] S. H. Jang, and J. M. Lee "Analog Circuits Test wit High Testability and Low Built-In Hardware Overhead," *KIEE Semiconductor Society Summer Conference*. pp. 1-14, 2005.

[13] J. M. Lee and Shambhu Upadhyaya, "Fault Diagnosis of Analog VLSI Circuits using Time Slot Specification-based Built-In Sensors," *Proceedings of NATW02*, pp. 8-17, 2002.

[14] J. M. Lee, et al, "Time Slot Specification

Based Approach to Analog Fault Diagnosis using Built-In Current Sensors and Test Point Insertion," *Proceedings of ATS02*, pp. 1167-1170, 2002.

[15] J. M. Lee, "Specification-based Analog and Mixed-signal Circuits Test with Minimal Built-In Hardware Overhead," *Proceedings of KIERE Summer Conference*, pp. 633-636, 2006.

[16] M. Soma, "Challenges in Analog and Mixed-signal Fault Models," *IEEE Cir. and Dev. Magazine*, pp. 16-19, 1996.

[17] B. Kaminska et al., "Analog and Mixed-signal Benchmark Circuits-first Release," *Proceedings of International Test Conference*, pp. 183-190, 1997.

이 재 민

1979년 한양대학교 전자공학과 졸업(공학사)
1981년 한양대학교 대학원 전자공학과 졸업(공학석사)
1987년 한양대학교 대학원 전자공학과 졸업(공학박사)
1990년~1991년 University of Illinois at Urbana-Champaign Beckman Institute (Post-doc.)
1986년~2007년 현재 관동대학교 전자정보통신공학부 교수
1992년~1994년 관동대학교 전자계산소 소장
1994년~1996년 대한전자공학회 강원지부장
2000년~2001년 University of Buffalo(뉴욕 주립대) 방문교수
관심분야 : 집적회로 설계 및 테스트, 통신 및 멀티미디어용 SOC 설계, 임베디드 시스템등