

사례
발표

Virtual Platform (V/P) 기반 SoC 설계기술

목 차

1. 서 론
2. Virtual Platform 기반 설계기술의 연구 방향
3. 삼성전자의 V/P 기반 설계기술 개발 현황
4. 결 론

어 수 관
(삼성전자)

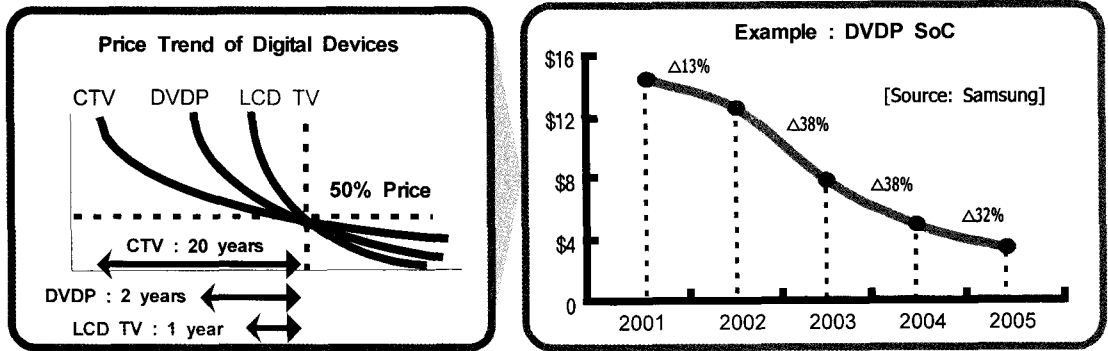
요 약

공정기술의 미세화가 진행될수록 반도체 제품의 개발비용은 급격히 증가 할 것으로 예측되고 있다. 이는 지속적으로 증가하는 설계 복잡도와 미세공정에서 고성능 및 저전력 반도체 구현의 어려움에 의한 것이다. 제품수명기간(Product Life Cycle: PLC)이 점점 짧아지지만 핵심 부품인 반도체 제품의 개발기간과 설계인력은 급격히 증가해감에 따라 늘어만 가는 개발 비용은 반도체 제품의 수익향상 측면에서 매우 큰 장애가 되고 있다. 따라서 설계의 복잡화와 구현의 어려움이라는 기술적인 문제들을 해결하여 시장에서의 생존이 걸린 극한적인 경쟁환경에서 살아 남기 위해서는 반도체 설계의 paradigm 자체를 변화시켜야 할 것이다. 이에 대한 해법으로 반도체 설계의 abstraction level을 현재의 RTL에서 상위 수준으로 올리고 설계의 virtualization을 해야 한다는 것은 설계 재사용과 신개념 검증 방법 기술과 함께 필수적인 변화의 한 방향이다. 이미 수년 전부터 많은 연구 논문에서 이와 관련된 새로운 system 설계 기술들이 제시되어 왔고, 이에 대응

하는 platform 기반의 설계기법 소개와 삼성전자의 구축현황에 대해 저자는 지난 논문에서 기술한 바 있다[1]. 본 논문은 2003년 9월 이후 platform 설계기법의 virtual 화가 어떻게 발전되어 왔는지에 대해 기술하고 문제점 확인 및 앞으로 이에 대한 해결 방안들의 방향에 대해 논하고자 한다.

1. 서 론

IT 기기의 convergence 와 반도체 공정의 미세화가 급속히 진행되는 가운데 소비자들의 요구는 매우 다양화 되면서 PLC는 점점 짧아지고, 무한한 global 경쟁으로 인한 제품판매가격의 인하도 점점 빨리 진행되는 것이 현재 global consumer electronics market의 현실이다. (Figure 1)은 과거 CTV, DVD, 그리고 LCD TV의 평균 판매가격이 최초 도입가격의 반으로 하락할 때까지 걸린 시간들을 보여주고 있다. 최근의 경우를 보면 제품의 최초 시장 판매일에서부터 1년 이내에 제품 가격이 반으로 하락하고 있음을 알 수 있다.



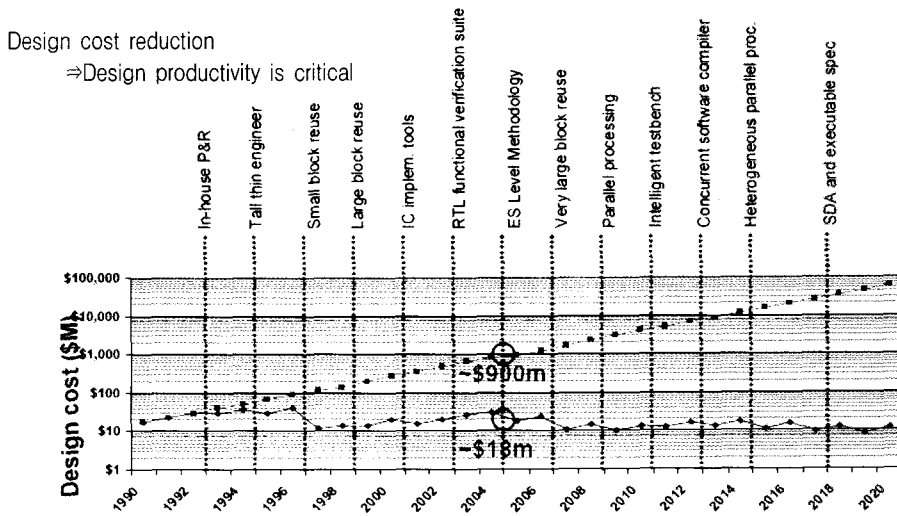
(Figure 1) SoC 기반 제품의 가격 하락 Trend

Set 가격의 하락은 IT 제품을 구성하는 주요 부품인 System-on-Chip (SoC)에도 그대로 전이되어 (Figure 1)에서 보는 바와 같이 DVDP SoC 경우 매년 평균단가가 약 30% 내외로 하락되고 있음을 알 수 있다. SoC 설계기업들의 가격급락에 대항하는 대표적인 방안은 경쟁사 대비 성능 및 brand value에서 독창적인 차별점을 보여 주거나 SoC 개발비용을 줄이는 것 혹은 이 두 가지를 병행하는 것들중 하나가 될 것이다. 경쟁사 대비 차별화점은 다양한 기능과 고성능을 원하는 소비자 요구를 지속적으로 제때에 맞추지 못하면 시장에서의 판매 가능성조차 없다는 면에서 필수조건이나 이 경우 역시 가격 면에서 우월성을 가지지 못한다면 끝없이 변화하는 시장 요구를 받아들이는 것이 현실적으로 불가능하므로 결정적인 대안이 되기는 어렵다. 결국 차별화를 가진 제품에 대한 개발비용의 절감으로 시장가격 하락에 대비하는 것이 최선의 방안으로 볼 수가 있겠다. (Figure 2)는 설계기술과 설계비용과의 상관관계 추세를 보여주는 2005년도 ITRS 보고 자료이다. 여기에서 보는 바와 같이 SoC 개발 비용은 앞에서 언급한 두 가지 대표적인 이유 (복잡한 설계, 어려운 구현) 때문에 기하급수적으로 커지는 것이 추세이다. 이러한 개발비용을 줄이는 가장 확실한 방법 중 하나는 새로운 설계기술의 적용으로 설계기간의 단축과 아울러 성능

예측 미흡으로 인한 재설계를 없애는 등 설계 생산성을 향상시켜 적절한 설계 인력의 유지등을 통해 증가하는 SoC 개발비용을 상쇄시키는 방안일 것이다.

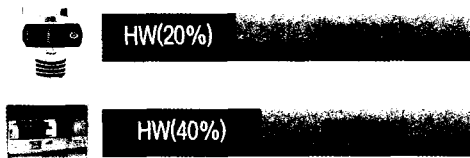
한편 90nm 부터 SoC 설계비용 중 software (SW) 가 차지하는 비중이 hardware (HW) 부분보다 커지기 시작했다. (Figure 3)은 휴대폰과 DVDP 경우 HW와 SW의 설계비용 비중을 보여주고 있는데 최근 휴대전화 단말기의 경우 SW 개발비용 비중은 80%를 차지하고 있다. 이와 같이 SW 개발비용이 급속히 증가하는 추세에서 SW 설계 TAT 감소 및 SW 성능향상을 통해 HW의 성능문제에 의한 재설계 횟수 감소가 필수적이다. 이를 위해 성능을 고려한 SoC의 SW specification 검증, HW와 SW를 동시에 고려한 효율적인 설계기술 연구 및 개발이 SoC 설계 비용 감소 측면에서 대단히 중요해지고 있다.

HW와 SW를 동시에 고려한 효율적인 설계기술로서 1990년대 초부터 Electronic System Level(ESL) 설계기술이 연구되어 왔고 최근 들어 ESL 설계기술들이 SoC 설계에 광범위하게 적용되고 있으나 ESL 개념에 대한 명확한 정의는 설계자간 혹은 EDA tool개발자간에 다양하게 해석되어지고 있어서 이에 대한 합의는 Academia, EDA tool 공급자 그리고 최종 tool 사용자인 설계자 사이에서 좀 더 활발한 논의가 필

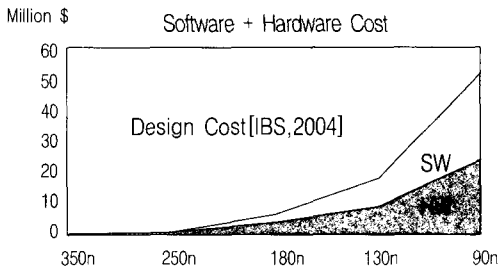


(Figure 2) 설계비용의 증가추세와 설계기술 대응 방향

Source: ITRS 2005



[Source: Samsung, '07]



(Figure 3) SW와 HW의 개발비용 비율

요하다고 판단된다. 그러나 다양한 의견 가운데에서도 비교적 공감대가 많이 형성된 ESL 설계기법 중 하나가 virtual platform을 기반으로 한 것인데 [1] 보다 자세한 내용을 위해서는 참고문헌 [2]을 참조하기 바란다. 본 논문에서는 2장에서 virtual platform 기반 ESL 설계기술의 현재 연구방향을 정리하고, 참고문헌 [1]에서 소개된

virtual platform (ViP) 기반 설계기술에 대한 최근 연구 현황 및 실 제품 개발 적용사례를 3장에서 소개한뒤 4장에서 결론을 맺고자 한다.

2. Virtual Platform 기반 설계기술의 연구 방향

Virtual platform은 SoC의 executable specification 중 하나이다. 구체적으로는 SoC 설계에 일반적으로 사용되는 Register Transfer Level (RTL) specification은 설계의 구현 측면에서 자동화된 합성틀을 직접 사용할 수 있다는 장점을 갖고 있으나 현대의 복잡하고 규모가 매우 큰 SoC 전체 기능 및 성능 검증과 분석 면에서 이를 위한 simulation속도가 아주 느리다는 치명적인 단점을 갖는다¹⁾. SoC virtual platform은 기능 및 성능 검증/분석 목적의 executable specification으로서 RTL과 구현상의 차이는 다음과 같다. RTL은 주로 Verilog과 같은 hardware description language (HDL)로 hardware를 표현하고 주로 FPGA emulation 혹은 target IP의 silicon 시제품을 장착한 evaluation board를 통해

1) 전형적인 multimedia processor 의 경우 보통 ~10¹cps level까지 slow down 될 수가 있다.

SW를 포함한 전체 SoC의 simulation과 emulation을 수행한다. 이와 달리 virtual platform은 기존의 HDL로 표현된 SoC를 abstraction level을 높여서 주로 C, C++, 혹은 SystemC로 표현한다. Virtual platform에서는 simulation 속도 향상이 주된 목적이므로 기존 RTL에서 사용하는 HDL과 같은 bit 단위의 signal을 사용하는 event 기반 표현 대신, byte 혹은 word 단위의 data type을 사용하고 cycle-based(또는 function) 기반의 표현을 사용한다. 이러한 표현을 기존 RTL과 대비되는 상위 개념의 abstraction level로 transaction level²⁾이라고 한다. 이러한 transaction level model(TLM)의 사용을 통해 RTL 대비 정확도를 5~10% 정도 희생하면서 simulation 시간을 기존 HDL기반 RTL simulation 대비 10^3 배 이상 향상시킬 수 있다.

SoC 설계(RTL freeze까지)에는 크게 다섯 가지의 주된 요소들이 있다. 검증된 SW와 HW IP asset 들을 확보하는 것이 첫번째와 두번째 요소이다. 여기서 IP asset이라 함은 SW의 경우 library 또는 application 수준의 독립된 기능 단위(예, H.264 decoder SW)를, HW의 경우 합성 가능한 RTL(또는 layout macro)로 표현된 독립된 기능 단위(예, ARM CPU soft or hard-macro, memory controller 등)를 의미한다. 세번째 요소는 SoC의 architecture를 결정할 때 유용하게 사용될 수 있는 architecture 성능 분석환경이다. 이를 통해 현재 설계중인 architecture가 system의 요구성능을 만족시키는지, data의 이동이 규정된 시간안에 이루어 질수 있는지 여부를 알수 있는 timing (latency 정보)과 system 수준에서 low power 등에 대한 제약조건들을 만족시키는지, 또 component 간의 통신이 효율적이며 memory의 사용이 최적화 되었는지등에 대한 분석등이 빠른 시간안에 이루어질 수 있다. 네 번째 요소는 chip integration 환경이다. SoC를 구성하는 각 IP들을 netlist를 만들기 위해 하나의 top RTL로 엮어주

는 chip integration 작업은 많은 경우 설계자의 수작업으로 진행되어 부적절하게 많은 시간이 소모되고 또한 manual coding으로 인하여 부주의한 설계오류들이 많이 발생되기 때문에 (Typo, I/O signal 혼동 등) 이를 자동화하여 짧은 시간에 무오류로 chip integration 을 해주는 환경은 필수적이다. 마지막으로 다섯번째 요소는 chip integration 후 전체 SoC의 function 검증환경이다. 이 검증작업 역시 많은 시간이 들며 또한 검증의 완성도를 높이는 측면에서 제한된 시간과 노력이라는 제약점을 갖게 되는데 효율적인 검증환경은 이러한 결점들을 최소화하도록 이 과정을 자동화하는 것이다. 본 논문에서는 이 중 세 번째 요소인 architecture 성능 분석 환경에 대해서 집중적으로 살펴 보고 개선 방향을 제시하고자 한다.

Virtual platform 기반 설계의 출발점은 SoC digital 부분 전체의 transaction level simulation 모델을 개발하는 것이다. 이를 위해 SoC를 구성하는 각 HW IP를 transaction level로 modeling 하는 것이 필요하다. 여기에서 우리는 두 가지 문제점을 갖는데, 첫 번째 문제점은 IP들이 대형화 및 복잡화 되어감에 따라 TLM개발이 매우 어렵고 많은 시간과 노력이 걸린다는 점과 RTL model 과의 정합성(cycle 단위의 동작에서 RTL 대비 정확도)을 어떻게 그리고 얼마나 높여야 최소한의 노력으로 의미있는 simulation 결과를 얻을 수 있는냐는 것이다. 두번째 문제점은 simulation 속도이다. 현재의 consumer 기기들은 점점 고성능을 요구하며 다양한 기능들을 채택함에 따라 SoC는 그 구조가 복잡화되고 대형화가 되고 있다. 전형적인 한 multimedia IP의 경우, 예를 들면 full HD 급 video codec 이나 3D graphic의 경우, size 가 3M gate 이상이고 이러한 대형 IP 들의 TLM은 model 개발의 수준(그리고 투입한 efforts)에 따라 기대치($>10^5$ cps

2) 혹은 PV (Programmer's View) 와 PVT (Programmer's View with Timing) 으로 소분류 되는 경우도 있다.

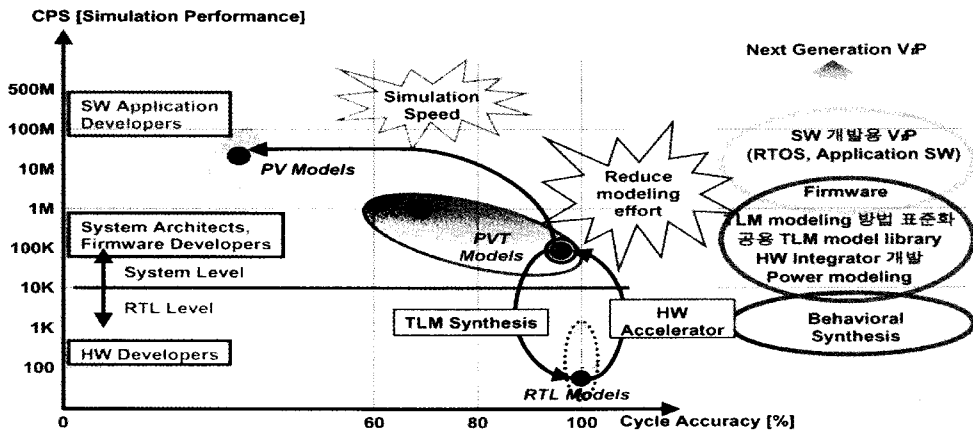
level) 보다 아주 낮은 수준의 simulation speed를 보여줄 수 있어, 전체 SoC에 대한 simulation speed³⁾ 저하의 주요 원인으로 작용하게 된다.

고성능 IP들의 TLM 개발은 RTL 개발에 필요한 시간이나 efforts와 비슷하거나 때로는 더 많게 되는 경우도 있게 된다. Virtual platform을 사용하는 이유가 실제 chip이 나오기 훨씬 전에 확보 가능하며, 빠른 simulation을 통해 SoC 성능 분석 및 SW 개발을 수행하여 설계기간의 단축이나 설계 비용 절감의 잇점을 얻는 것인데, 이를 위한 전제조건은 필요한 TLM 개발 자체가 가지는 부담이 적어야 하는 것이다. 이러한 부담이 클 경우 오히려 설계의 추가 비용으로 취급되어 virtual platform 자체의 존재 이유를 상실하게 되는 경우도 있을 수 있어 이에 대한 대안이 시급하다.

첫째 대안으로는 simulation speed를 획기적으로 높일수 있는 새로운 simulation engine을 개발하는 길이다. 가능한 방안으로 multiple CPU를 효율적으로 이용하여 simulation 할 수 있는 기법을 들수 있는데 sequential한 computing operation을 어떻게 손쉽게 concurrent computing operation 으로 바꿀수 있는가가 해결의

관건이 된다. Multithreading 기법을 이용하여 simulation 속도를 높일수 있는 방안도 연구 대상이 될수 있다. 둘째 대안은 FPGA 와 같은 HW accelerator를 써서 simulation 환경과 연계 시키는 길이다. 현재 많은 emulator들이 나와 있지만 model 기반의 simulation 방법에서 제공하는 IP 나 CPU 내부 status에 대한 다양한 profiling 기능을 제공하고 있지는 못하다. 이러한 제약으로 인해 HW accelerator를 simulation 환경에 연계한 solution 의 개발 및 응용은 아직 활발히 이루어지지 않고 있다.

(Figure 4)에서 보는 바와 같이 model의 정확도와 simulation speed는 역비례하는 관계를 갖고 있다는 점을 감안해서, virtual platform 기반 설계기술의 개선을 위한 연구는 세 가지 방향에서 이루어져야 할 것으로 생각된다. 첫째는 multi CPU나 multithreading을 효율적으로 이용한 창의적인 simulation engine을 개발하는 것이다. 이를 통해 정확도와 속도간의 tradeoff curve 자체를 (Figure 4)에서 보면 45도 방향으로 끌어 올릴 수 있을 것이다. 둘째는 효율적인 modeling 기술을 개발하여 tradeoff curve의 slope를 완화시켜



(Figure 4) Virtual platform 기반 설계 기술 연구 방향

3) Cycle accurate 한 model 의 경우 보통 $\sim 10^4$ cps level까지 slow down 될 수가 있다.

정확도 증가에 따른 simulation 속도의 급격한 감소를 완화 시키도록 하는 방안이다. 마지막으로 Behavioral synthesis 기법과 FPGA를 활용한 simulation acceleration 방식을 이용하여 복잡한 C-only 혹은 RTL-only IP 들의 TLM 을 쉽게 구현하면서도 정확도와 simulation 속도를 동시에 높여나갈수 있게 해야된다. 마지막 방안에서는 고려해야 될 요소들이 많이 있는데, IP들의 대형화에 따른 robust FPGA partition 기술이 개발되어야 하고, simulation 환경과 link를 할 때 transaction 이 빈번하게 일어나면서 전체 virtual platform simulation 속도가 저하될 수 있으므로 이를 방지할 수 있는 효율적인 고속 communication interface 설계기술이 개발되어야 한다. 또한 FPGA에 mapping 되는 대형 IP 들의 내부 profiling을 쉽게 할 수 있도록 probing monitor 들을 IP 내부에 손쉽게 삽입시키는 효율적인 방안도 개발되어야 한다.

능들을 확장하며 다수의 SoC 설계에 적용해 왔다. Low power 설계의 중요성이 제기됨에 따라 VtP를 이용한 architecture level에서 power profiling 할 수 있는 방법과 tool 을 개발하였고 [3], software optimization 을 위한 VtP 환경에서의 software profiling 기법과 analysis tool도 개발, 실적용 하여왔다[4]. <Table 1>에 VtP의 specification 을 요약해 놓았고 (Figure 5)에는 현재 삼성 전자 반도체 사업부에서 구축하여 활용 중인 VtP의 현황을 표시하였다.

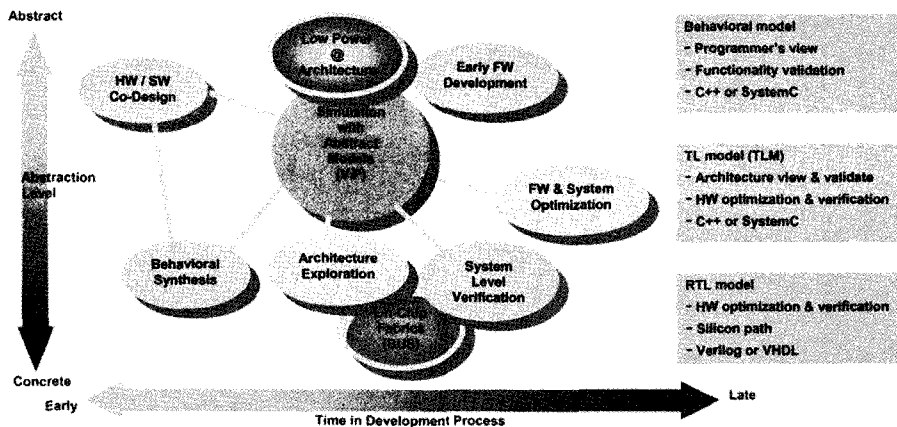
<Table 1>에 표시되어 있는 VtP specification 은 각 응용별 Typical 값을 나타내고 있으며 simulation speed 는 Pentium IV 512MB memory 3GHz PC 기준으로 측정되어진 값이다.

3. 삼성전자의 VtP 기반 설계기술 개발 현황

삼성 전자 System LSI CAE 팀은 2003년 처음으로 virtual platform (삼성에서 개발한 virtual platform은 VtP라고 부름) 기반 설계 방법론을 개발하여 설계 환경을 구축한 후 지속적으로 기

<Table 1> VtP specification

TLM use model		Accuracy	Simulation speed
Programmer's view (PV)	SW application development	Untimed register-accurate	> 50 Mcps
Programmer's view With Timing (PV+T)	SW performance analysis	> 80% Interval: 10-100 Kcps	> 5 Mcps
	Architecture/Bus exploration	> 90% Interval: 1-10 Kcps	< 1 Mcps
Cycle Approximate	Architecture/Bus optimization	> 95%	< 0.5 Mcps



(Figure 5) VtP Technology status at Samsung Electronics

VIP 기반 설계 환경은 초기 개발이후 지속적으로 확장되어 platform 개발 kit 의 설계기술로 자리를 잡았으며 구성요소는 Platform Explorer, Platform Integrator, 그리고 Platform Verifier 로 이루어져 있다. 이 설계기술을 적용하여 삼성의 SoC 설계 engineer 들은 RTL 설계 이전 단계에서부터 architecture exploration, performance analysis, embedded software development를, 그리고 RTL 설계단계에서 platform integration 과 functional verification 등을 수행할 수 있으며, 전체 설계 과정에서 VIP를 설계의 “golden reference” 중 하나로 이용할 수 있다. 본 논문에서는 Platform Explorer 중에서 architecture 성능 분석과 software 최적화를 위한 삼성전자의 설계 기술에 대해서 좀 더 자세히 소개하겠다.

3.1 Architecture 성능 분석

SoC architecture 성능 분석은 두가지 목적을 갖고 수행하게 되는데 각각의 경우 적용되는 모델링 및 분석 방법론은 상이하게 구성되어 있다. 첫번째 목적은 Target SoC가 목표한 성능을 낼 수 있게끔 알고리즘부터 출발하여 spec을 define 하는 과정에서 다양한 architecture 의 탐색을 통해 Spec을 점점 세밀하게 정의해 나갈때인데 TLM 의 기능상 정확도와 빠른 simulation 속도가 필요하다. 일단 spec과 architecture가 구체화 되면 주어진 자원 활용의 최대 효율화를 위해 성능에 영향을 미치는 architecture bottleneck을 찾아내기 위한 성능 분석이 두번째 목적인데 이 경우 구현 가능한 실장 제품과의 차이가 적은 분석 결과를 도출하여 되도록 정확한 결과를 내는 것이 중요하므로 TLM의 simulation 속도 보다는 RTL과의 정합성이 더 많이 요구되어진다. 두가지 경우 모두 가장 먼저 해야 될 일은 측정할 index를 정의하는 일인데 이것은 SoC가 어떤 응용에 쓰일것인지에 따라 다르게 정의된다. 예를 들어 Video streaming을 처리하는 SoC와 Modem

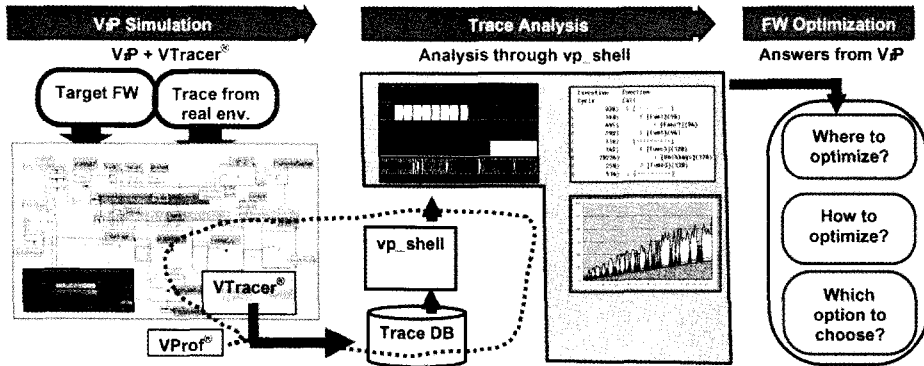
기능을 수행하는 SoC의 경우 성능 분석 지표는 매우 상의하게 정의되며 이를 측정하고 bottleneck을 찾아내는 방법론 또한 그에 따라 다르게 정의된다. (이에, 삼성전자는 각 응용 분야에 따라 상이한 분석 방법론을⁴⁾ setup하고 있다.)

예를 들어 video streaming을 처리하는 경우 기능 수행 시간 (Execution Time, Real time IP들이 주어진 시간 안에 제대로 수행되는지 여부) 과 Data 처리 효율 (Utilization, IP들간의 data 이동이 원활하게 수행되고 있는지 Throughput 으로 표현 될수 있음) 그리고 Data 이동 지연시간 (Latency, 실시간 처리 IP의 경우 되도록 얼마나 빠른 시간에 data가 주어진 목적지까지 도달될 수 있는지) 등 세 가지 성능 분석 지표들을 측정해야 된다. 특히 주로 bus와 memory로 구성되어지는 subsystem을 중심으로 traffic bandwidth 및 latency와 memory utilization을 분석하는 것이 매우 중요한데 이를 위해 다음과 같은 in-house tool 들을 개발하여 사용하고 있다.

- AXI Profiler, Analyzer, Memory Profiler
- Traffic Generator

AXI Profiler는 AXI port를 통해 전달되는 transaction들을 monitor 하거나 저장할 수 있는 TLM으로서 자체적으로 AXI port를 갖고 있다. AXI Profiler를 임의의 AXI connection 부분에 연결시키면 VIP simulation을 통해 read/write 횟수, latency 분포 등과 같은 통계정보를 얻을수 있게 된다. Memory Profiler는 bus에서 memory를 access하는 transaction traffic들의 tracing과 profiling을 byte-oriented 방식으로 요약해 주는 tool이다. Traffic Generator는 Target IP와 유사한 traffic을 generation 하는 모델(Pattern Generator/Stochastic traffic generator)로서 실제 IP modeling 하는데 소요되는 시간과 노력을 없애주어 빠른 분석환경 구축을 할 수 있게 된다.

4) Mobile 과 Multimedia 그리고 통신용 modem 등으로 크게 분류될 수 있다.



(Figure 6) FW Optimization flow

Profiling된 자료들은 Analyzer를 이용하여 자동화된 방법으로 후처리 되면서 batch process 과정을 거쳐 유용한 data로 가공되는데 이 모든 작업들이 C기반에서 이루어지기 때문에 data profiling-post processing-batch process가 하나의 flow에서 가능하다는 장점을 가지고 있다.

3.2 Pre-silicon Firmware 최적화

Firmware (FW)를 개발하고 최적화할 때 target silicon이 없는 경우에는 system 성능을 측정하는 것이 실질적으로 불가능하며 target silicon 입수 후에는 성능상의 bottleneck 부분을 정확히 진단하기가 매우 힘든 것이 현실이다. Target SoC가 만들어지기 전 FW를 개발하고 최적화하여 SoC 입수 후 system bring-up과 FW porting을 첫번째 시도에서 끝마칠 수 있다면 제품 출시 시기를 획기적으로 앞당길 수 있게 되고 이는 설계비용을 줄이면서 동시에 시장 선점을 할 수 있다는 측면에서 매우 바람직한 일이 된다. vP 기반 설계 환경은 silicon이 만들어지기 전에 개발된 FW를 SoC 환경내에서 profiling 하고 최적화하는 목적으로 쓰여질 수 있는데 이를 위해 VProf 라는 in-house profiling tool을 개발하여 vP에 link시켜 사용하고 있다. VProf는 HW

와 SW 부분을 동시에 profiling 하고 분석할 수 있는 VTracer 와 VTracer에서 추출된 정보를 바탕으로 주어진 성능 조건에서 bottleneck 가능성이 있는 code 위치를 확인해 주고 성능 최적화 해야 될 부분을 interactive 하게 추출하여 알려 주는 vp_shell 두 부분으로 구성되어 있다. vP 를 이용한 FW 최적화 단계는 (Figure 6)에 설명되어 있는데, 다음과 같이 세 단계로 이루어 진다.

- (vP+vtracer)로 이루어진 system을 simulation하여 signal들을 목적별로 tracing한 결과들을 DB 화 하여 저장한다.
- vp_shell을 이용하여 trace DB를 후처리하고 분석한다.
- Optimization point들을 찾아내고 FW를 Optimization 한후 다시 처음 단계로 돌아 가서 성능분석을 통해 최적화 결과를 확인하고 필요 할 경우 위의 두 단계를 반복한다.

3.3vP 적용 현황

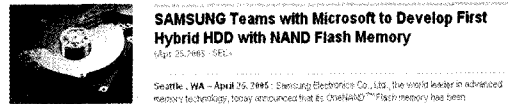
vP 개발에는 여러 계층의 model 들이 혼합되어 사용되는데 IP 상태와 조건에 따라, 그리고 사용 목적에 따라 적절하게 개발된 모델들이 이용 된다. 각 계층별 model 들은 simulation 속도와 정확도가 각기 다른데 vP 설계에 가장 흔히 쓰이

는 모델들은 Statistical traffic generator, Bus transaction accurate model, Cycle accurate model, 그리고 RTL-to-C conversion model 등이 포함된다. 특히 개발 단계에 따라 IP의 상태가 달라지므로 개발 단계별로 사용 가능한 모든 정보(IP specification 등 포함)를 활용하여 IP의 transactional model을 개발하는 것이 필요하다. 이를 hardware architecture 분석 및 FW개발 면에서 단계별로 세분화해서 보면 크게 2단계로 나뉘는데 다음과 같다. 개발 초기에는 IP의 RTL 설계도 완료되지 않은 경우가 많으므로, 설계 진행 중인 IP의 경우 bus access pattern만을 traffic generator를 이용하거나 manual modeling하여 IP의 TLM을 개발한다. 이 단계에서는 V&P가 SoC의 full functionality를 제공하지 못하므로 주로 architecture 성능 분석 용도로 사용된다.

두 번째 단계로 RTL 코드가 IP 별로 하나씩 확보되면 RTL과 같은 cycle behavior를 주는 Cycle approximate TLM으로의 변환이 필요하다. 이를 위해 RTL to TLM 변환 툴(Carbon 등)을 이용해 해당 IP의 TLM을 확보하여 100% TLM으로 V&P simulation을 수행하거나, 해당 IP를 FPGA에 mapping 시켜 V&P와 연동하여 co-simulation을 수행한다. 이 단계에서는 V&P가 full function을 제공하므로 FW를 V&P상에서 수행하여 profiling 및 최적화를 할 수 있게된다. 특히 RTL을 TLM으로 변환한 모델을 사용한 경우는 변환된 모델의 복잡도 및 특성에 따라 simulation 속도가 아주 느려질 수 있으므로⁵⁾ 이런 경우는 장시간의 simulation이 필요한 FW 개발에는 적합하지 않고, 주로 architecture 성능분석에 활용된다. 대신 V&P와 FPGA간의 co-simulation인 경우는 IP 특성에 상관없이 FW 개발에 필요한 수준의 simulation 속도를 제공하므로 FW 개발과 최적화에 적합하다.

(Figure 7)은 앞에서 소개한 V&P 기반 설계 기술을 적용하여 개발한 후 양산 중인 Hybrid HDD

를 보여준다. 2006년초에 개발 완료된 Hybrid HDD와 2007년에 개발된 SSD(Solid State Disk)의 경우 controller의 firmware 성능이 제품 성능에 가장 중요한 영향을 주는데, 이 firmware최적화 과정에 V&P 기반 설계기술을 적용하여 목표 성능을 silicon 재설계 없이, 그리고 주어진 설계 기간에 완료하여 성공적으로 양산 제품을 적기에 시장에 출시할 수 있도록 기여를 하였다.



(Figure 7) V&P 기반 설계기술이 적용된 SoC 제품 예

그 외 삼성 전자 내 3G modem이나 Mobile AP 및 Multimedia processor, 그리고 HSMMC와 smart card 등의 SoC 설계에서 주어진 성능사항과 설계조건(설계비용, 설계 기간 등) 대비 최적의 architecture를 탐색하는 업무에 V&P 기반 설계 기술을 적용하고 있으며, 최근에는 system level 저전력 설계를 위한 system 수준 power profiling 및 dynamic power management 기술 개발에도 적용되어 성과를 얻어내고 있다.

4. 결론

본 논문에서는 최근 SoC 설계에 많이 적용되고 있는 virtual platform 기반 설계 기술의 소개와 앞으로의 연구 방향, 그리고 삼성전자에서 적용하고 있는 현황에 대해 살펴 보았다. 적용 현황은 architecture의 탐색 및 분석뿐만 아니라 pre-silicon software 개발 및 최적화와 저전력 설계분야까지 광범위하게 이루어져 있지만 한편으로는 시급히 개선해야 될 부분들이 있다. 즉 RTL과의 정합성을 높이면서도 Simulation 속도의 저하가 나타나지 않게 창의적인 simulation engine 과 효

5) IP가 매 cycle 마다 activity 가 있을 경우나 bit manipulation operation 이 과다하게 있을 경우 특히 더 느려진다.

울적인 TLM modeling 기술 개발이 시급히 이루어져야 하고, legacy RTL IP나 복잡한 IP 등은 FPGA를 이용한 hardware accelerator와의 co-simulation도 가능해야 될것이다. FPGA를 이용할 경우 system의 mapping 및 profiling과 debugging 기능면에서 ViP와 동일하게 사용될 수 있게끔 개발이 이루어져야 한다. 또한 이상적인 ViP 기반 SoC 설계를 위해서는 top-down 설계 flow 에서 혹은 같은 계층내에서 library의 재사용이 이루어 져야 되며 설계에 대한 최소한의 overhead를 가지면서 다양한 tool 들간의 interoperability 가 보장되어야 한다. 이를 위해 SPIRIT consortium과 IEEE 1666 표준을 채택한 tool 들간 interoperability를 제공하는 ecosystem 이 system level 설계 환경에서 구축 되어야 할 것이다. 앞으로 삼성전자는 이 부분에 관심을 가지고 연구를 계속할 예정이다.

참고문헌

- [1] 최규명, 정의영, 엄준형, 어수관, "플랫폼을 기반으로 하는 SoC 설계 방법", 대한 전자공학학회 제 30권 제 9호 Page 934, September 2003.
- [2] Brian Bailey, Grant Martin, Andrew Piziali, "ESL Design and Verification", ISBN 13: 978-0-12-373551-5, Elsevier Inc., 2007
- [3] I. Lee, H.Kim, P. Yang, S. Yoo, E. Chung, K. Choi, J. Kong, and S. Eo, "PowerViP: SoC Power Estimation Framework at Transaction Level", Proc. Asia-South Pacific Design Automation Conference, Jan. 2006.
- [4] S. Hong, S. Yoo, S. Lee, S. Lee, H. Nam, B. Yoo, J. Hwang, D. Song, J. Kim, J. Kim, H. Jin, K. Choi, J. Kong, and S. Eo, "Creation and

Utilization of a Virtual Platform for Embedded Software Optimization: An Industrial Case Study", Proc. International Symposium on Hardware-Software Codesign and System Synthesis (CODES-ISSS), Oct. 2006.

저자약력



Mr. SOO KWAN EO

Mr. Soo Kwan Eo has been Senior vice president of Samsung Electronics' SoC R&D Center focusing on the development of ESL Design Technology since late 2002. He recently moved to ASIC and Foundry division as a technical advisor and continuously directs the team that deals in reusable platform design methodology, SoC on-chip communications fabrications including NoC, system architecture analysis, pre-silicon SoC solution design technology, and system level verification technology.

His team had developed the Samsung's Virtual Platform, called ViP, low power architecture design technology including power estimation at system architecture level, HW/SW co-design technology, and Samsung SoC bus architecture. He played a key role to deploy these ESL design technologies within companies.

He has participated in many ESL panel discussions of the conferences including DAC, DATE, ASP-DAC, and others. He also has delivered numerous special lectures to many research institutes and universities regarding the emerging SoC design technologies.

Mr. Eo received MS in ECE from the University Of Arizona Tucson, Arizona in 1986 and had worked in various companies including Cadence, Synopsys, Intel, et c... in San Jose, California for 16 years before he joined the Samsung.