
해석학적 전류-전압모델을 이용한 이중게이트 MOSFET의 전송특성분석

정 학 기*

Analysis of Transport Characteristics for Double Gate MOSFET using Analytical Current-Voltage Model

Hak-Kee Jung*

요 약

이 연구에서는 해석학적 전류-전압 모델을 이용하여 DG MOSFET(Double Gate MOSFET)의 전송특성을 분석하였다. MOSFET의 게이트길이가 100nm이하로 작아지면 산화막두께가 1.5nm이하로 작아져야만하고 채널의 도핑이 매우 증가하기 때문에 소자의 문턱전압변화, 누설전류의 증가 등 다양한 문제가 발생하게 된다. 이러한 문제를 조사하기 위하여 해석학적 전류-전압 모델을 이용하여 소자의 크기를 변화시키면서 전류-전압특성을 조사하였다. 소자의 크기를 변화시키면서 해석학적 전류-전압 모델의 타당성을 조사하였으며 온도 변화에 대한 특성도 비교분석하였다. 게이트 전압이 2V에서 77K의 전류-전압 특성이 실온에서보다 우수하다는 것을 알 수 있었다.

ABSTRACT

In this paper, transport characteristics have been investigated using analytical current-voltage model for double gate MOSFET(DG MOSFET). Scaling down to 100nm of gate length for MOSFET can bring about various problems such as a threshold voltage roll-off and increasing off current by tunneling since thickness of oxide is down by 1.5nm and doping concentration is increased.

A current-voltage characteristics have been calculated according to changing of channel length ,using analytical current-voltage relation. The analytical model has been verified by calculating I-V relation according to changing of oxide thickness and channel thickness as well as channel length. A current-voltage characteristics also have been compared and analyzed for operating temperature. When gate voltage is 2V, it is shown that a current-voltage characteristic in 77 K is superior to in room temperature.

키워드

이중게이트 MOSFET, 전류-전압특성, 서브문턱영역, 포화영역, 선형영역

I. 서 론

지난 30년 동안 반도체 업계는 1년에서 2년마다 반도체의 집적도는 2배가 된다는 무어의 법칙에 충실히 따르며 경이적인 성장률을 유지할 수 있었다. 그러나 현재의

반도체는 0.13 μ m 공정 이후 상당한 어려움을 겪고 있으며 실제로 0.13 μ m 공정에 실패한 업체가 속출했다. 즉 무어의 법칙이 한계에 달하게 된 것이다. 인텔의 현재 공정기술 로드맵상으로는 2005년에 65nm, 2007년에 45nm, 2009년에 32nm가 예정되어 있다. 그러나 실제로 반도체 업계

의 기술 지표인 ITRS(International Technology Roadmap for Semiconductor)에서는 2004년에는 90nm, 2007년에는 65nm로 예상했던 것 처럼 인텔의 2년 주기와는 달리 3년 주기로 예상했다. 공정기술이 직면하고 있는 최대 문제는 크기를 줄이면 줄일수록 누설전류가 크게 늘어난다는 것이다. 누설전류가 증가하게 되면 소비전력 또한 높아지게 된다. 실제 인텔의 발표에 의하면 약 200mm² 사이즈 칩의 누설전류는 90nm 공정에서 40W 정도가 되고, 65nm 공정에서는 100W 이상일 것으로 보아 누설전류만으로 3~4년후의 CPU는 100W 이상을 소비하게 될 것이다.

이를 극복하기 위해 반도체 업계는 지난 수년간 새로운 게이트 절연막 재료로서 고 유전율 재료의 개발을 진행해왔다. 그러나 고 유전율을 재료 개발은 그렇게 순조롭지 못한 상황이다.

원래 고 유전율 재료를 90nm 공정에서 도입될 것으로 알려졌지만 현재는 이후 공정에서 도입되는 것으로 늦어졌다. 이것은 90nm 공정에서 필요하지 않기 때문이 아니라 시간에 맞출 수가 없기 때문인 것으로 알려졌다. 때문에 90nm 공정은 소비전력이 높은 제품이 될 가능성이 높게 된다. 그러므로 이것을 해결하기 위해서는 트랜지스터의 구조와 재료를 근본적으로 바꾸거나, 새로운 회로 설계가 필요하게 되었다.[1-2]

지난 20년 동안 CMOS 기술의 두드러진 성장으로 인하여 스케일링 기술과 소자의 크기는 나노 영역의 물리적 한계에 도달하게 되었는데, 소자의 속도와 특성을 개선시키기 위해 MOS(metal oxide semiconductor) 소자의 크기는 매우 작아지게 되었고,[3]-[5] 최근 MOS 소자들이 50nm 이하로 작아짐에 따라 소자 설계에 있어서 고려해야 할 여러 가지 문제점들이 나타나게 되었다.[6] 이런 문제들을 해결하고 소자의 크기가 작아짐에 따라 발생하는 누설전류의 영향을 줄이기 위하여 기존에 사용되었던 트랜지스터의 구조가 아닌 두 개의 게이트를 갖는 트랜지스터를 이용하게 되었다. 본 논문에서는 두 개의 게이트를 갖는 DG(Double Gate)MOSFET의 해석학적 전류-전압특성을 조사, 분석하고자 한다. 채널길기와 산화막 두께, 실리콘의 두께, 그리고 게이트 전압을 3V에 고정시켜 온도변화에 따른 소자의 전류전압특성을 비교, 분석하였다.

II. DGMOSFET의 전류-전압 모델

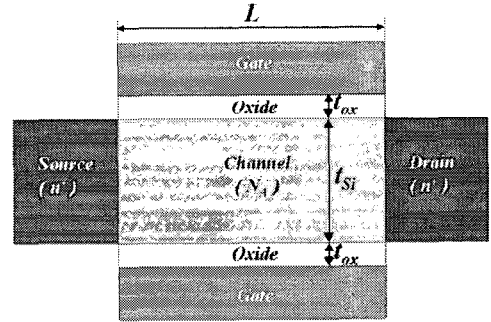


그림 1. DGMOSFET의 대칭적구조
Fig. 1 Symmetric DGMOSFET

그림 1은 DGMOSFET의 개략도를 나타내고 있다. 본 논문에서는 1 μm의 채널길기와 5nm의 채널두께, 게이트 산화막 두께를 1.5nm, 그리고, 동작온도는 300K을 기본 설정값으로 주었으며, 크기를 변화시키면서 전류-전압 특성을 조사하였다.

그림 1과 같은 DGMOSFET의 전류-전압 특성을 조사하기 위하여 모든 영역, 즉 선형, 포화 그리고 서브문턱 영역에서의 다음과 같은 해석학적 모델을 사용하였다.[7]

선형영역에서의 전류식은

$$I_{ds} = \mu C_{ox} \frac{W}{L_g} [(V_g - V_t)^2 - (V_g - V_t - V_{ds})^2] \quad (1)$$

$$= 2\mu C_{ox} \frac{W}{L_g} (V_g - V_t - \frac{V_{ds}}{2}) V_{ds}$$

이다. 여기에서 문턱전압은 $V_t = V_0 + \delta$ 이고 $\delta = (2kT/q) \ln[q(V_g - V_0)/4rkT]$ 로 유도된다.[7] V_0 는

$$V_0 \equiv \Delta\phi + \frac{2kT}{q} \ln \left[\frac{2}{t_{si}} \sqrt{\frac{2\epsilon_{si} kT}{q^2 n_i}} \right] \quad (2)$$

로 근사되었다.

q 는 단위전하량, n_i 는 진성실리콘의 고유농도, ϵ_s 는 실리콘의 유전율이다.

포화영역에서의 전류식은

$$I_{ds} = \mu C_{ox} \frac{W}{L_g} \left[(V_g - V_t)^2 - \frac{8rk^2 T^2}{q^2} e^{\frac{q(V_g - V_t - V_{ds})}{kT}} \right] \quad (3)$$

이다. r 은 $r = \epsilon_{si} t_{ox} / \epsilon_{ox} t_{si}$ 로 구조 파라미터값이다.

서브문턱영역에서의 전류식은

$$I_{ds} = \mu \frac{W}{L_g} k T n_i t_{si} e^{\frac{q(V_g - \Delta\phi)}{kT}} \left(1 - e^{-\frac{qV_{ds}}{kT}}\right) \quad (4)$$

이다. t_{si} 는 실리콘의 두께, $\Delta\phi$ 는 그림 1의 상하 게이트의 일함수이다. 또한 각 영역에서의 전류값을 구하기 위한 게이트 전압(V_g)은 0.5V, 1.0V, 1.5V, 2.0V 등을 증가하였다.

III. DGMOSFET의 전송특성분석

그림 2는 본 논문에서 제시한 해석학적 전류식으로 얻은 전류-전압 특성곡선을 보여주고 있다. 이때 사용된 이동도는 $\mu = 300 \text{cm}^2/\text{V}\cdot\text{s}$ 의 값을 이용하였다.

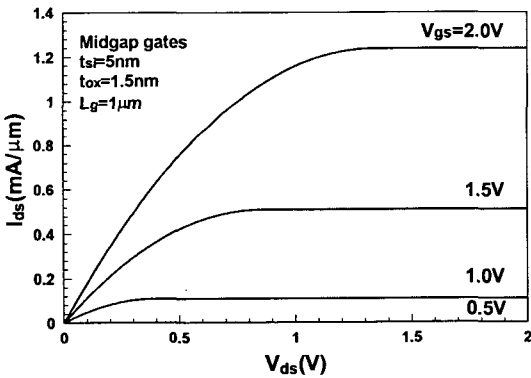


그림 2. $\Delta\phi=0$ 일 때 해석학적 모델에 의해 계산된 I_{ds} - V_{ds}
Fig. 2 I_{ds} - V_{ds} calculated by analytical model at $\Delta\phi=0$

이것은 Y. Taur가 제시한 모델과 거의 일치함을 알 수 있었다.[8] 이는 midgap 즉, 일함수 $\Delta\phi$ 가 0일 때의 전류-전압 곡선을 보여주고 있다. 이때 문턱전압(V_t)의 값은 0.6617V의 값을 얻었다. 또한 본 논문에서는 그림 3에서 보여주는 것과 같이 일함수 $\Delta\phi$ 가 $-E_g/2q$ 의 값일 때, 즉 n+ poly에서의 전류값을 구하였다.

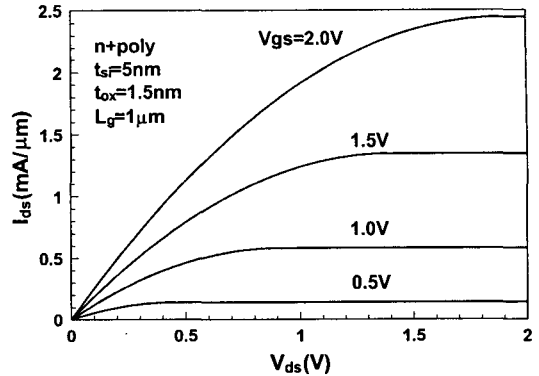


그림 3. $\Delta\phi=-E_g/2q$ 일 때 해석학적 모델에 의해 계산된 I_{ds} - V_{ds}
Fig 3. I_{ds} - V_{ds} calculated by analytical model at $\Delta\phi=-E_g/2q$

그림 3에서 알 수 있듯이 n+ poly에서의 일함수 값을 적용하였을 때, 드레인전압이 1.5V 이상이 선형 영역으로 동작함을 알 수 있었으며 이때 문턱전압 값은 0.1183V의 값을 얻었다. 위에서 제시된 식들은 채널의 길이가 비교적 길 때의 모델식으로 적합함을 알 수 있었다.

본 논문에서는 그림 4와 같이 게이트의 길이, 실리콘의 두께, 그리고 게이트 산화막의 두께를 변화시켜 본 논문에서 제시한 모델이 단채널에서도 적합한가를 조사하였다.

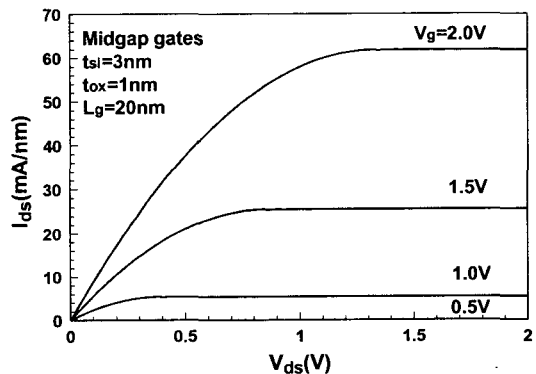


그림 4. 채널길이, 실리콘두께, 게이트산화막 두께를 변화시켰을 때 I_{ds} - V_{ds}
Fig 4. I_{ds} - V_{ds} due to the change of channel length, silicon thickness and gate oxide thickness

그림 2와 비교할 때 본 논문에서 제시한 모델이 게이트 길이(L_g)가 20nm일 때의 단채널에서도 유용함을 알 수 있었다. 이때, 문턱전압 값은 0.6617V로 거의 변함이 없었다. 즉, 문턱전압 값은 실리콘이나 산화막 두께의 변화에 따라 변화하고 게이트 길이에 의해서는 단지 소스-드레인 전류의 양만 변함을 알 수 있었다. 게이트 산화막의 두께가 작아질 수록 흐르는 전류의 양이 줄어들 수 있다. 이것은 비록 위와 아래의 게이트에 의하여 형성된 2개의 채널에 의해 다른 MOSFET 구조에 비해 많은 전류가 흐르는 이중구조를 갖는 MOSFET이지만 너무 작은 산화막층으로 인하여 채널을 따라 흐르는 전류의 대부분이 누설됨을 알 수 있다.

또한 게이트 전압이 작을 때 실리콘의 두께가 너무 작게 되면 문턱전압 값은 (-)의 값을 갖게 되며, 본 논문에서 제시한 모델로 계산하였을 때 (+)의 값을 갖는 실리콘 두께의 한계치는 약 7.3nm가 됨을 알 수 있었다.

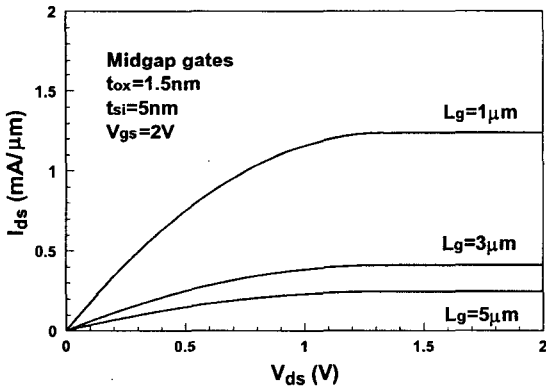


그림 5. 채널길이 변화에 따른 전류-전압특성
Fig. 5 Current-voltage characteristics according to the change of channel length

그림 5는 채널 길이가 변화함에 따라 DG MOSFET의 전류-전압 특성곡선을 나타내고 있다. t_{si} 와 t_{ox} 의 값은 각각 5nm, 1.5nm로 고정시키고 채널길이를 각각 1 μ m, 3 μ m, 그리고 5 μ m로 변화시켜 $V_{gs}=2V$ 를 인가하였고 전류전압특성을 알아보기 위해 드레인 전압을 0V에서 2V까지 변화시키면서 관찰하였다. 드레인 전압이 2V일 때 드레인 전류 값은 게이트길이가 각각 1 μ m, 3 μ m, 5 μ m일 때, 1.2mA/ μ m, 0.41mA/ μ m, 0.25mA/ μ m가 유도되었다. 채널길이가 작아질수록 흐르는 전류의 양은 급격히 감소

함을 알 수 있었다. 즉, 작은 채널길이의 두께로 인하여 누설전류가 발생됨을 알 수 있었다.

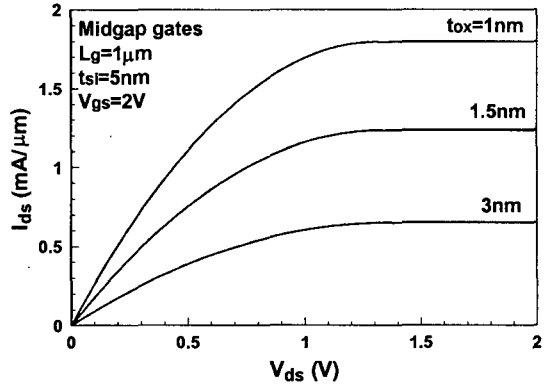


그림 6. 게이트산화막 두께에 따른 전류전압특성
Fig. 6 Current-voltage characteristics according to the change of gate oxide thickness

그림 6은 게이트산화막 두께를 변화시켰을 때, 그에 따른 전류-전압특성을 나타내고 있다. 다른 조건은 고정시켰으며 V_{gs} 값은 2V, 드레인 전압값은 0V에서 2V까지 인가하였을 때 게이트산화막 두께를 변화시키면서 계산해 본 결과 앞서 보았던 특성곡선과 비슷한 결과를 보였다. 게이트산화막의 두께가 커질수록 흐르는 전류의 양은 급격히 감소함을 알 수 있었다.

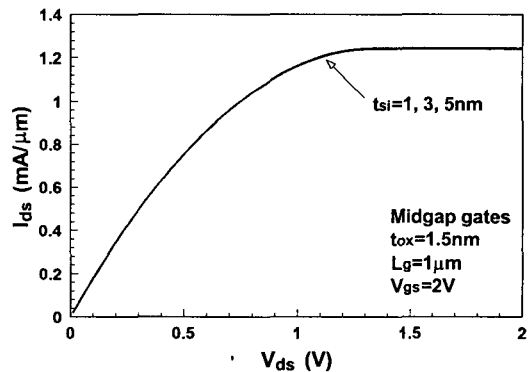


그림 7. 채널두께를 변화시켰을 때 전류전압특성
Fig. 7 Current-voltage characteristics according to change of channel thickness

그림 7은 채널두께에 따른 전류전압특성을 나타내고 있다. 다른 변수들의 값을 고정시킨 상태에서 채널두께를

변화시켜 결과를 살펴보았다. 하지만 그림에서 보는 것과 같이 채널두께의 변화에 따른 전류-전압특성은 일정하였다. 이 결과에서 채널두께는 전류-전압특성에는 영향을 주지 않는 것을 알 수 있다.

그림 8은 온도변화에 따른 전류-전압특성을 나타내고 있다. 게이트길이와 실리콘두께, 그리고 게이트산화막 두께는 각각 $1\ \mu\text{m}$, 5nm , 1.5nm 로 고정시키고 온도를 변화시켜 살펴보았다. 그 결과 V_{gs} 가 2V 이고 드레인 전압이 2V 일 때, 77K 에서의 전류값은 $2.3\text{mA}/\mu\text{m}$,이고 300K 일 때는 $1.2\text{mA}/\mu\text{m}$ 로 약 $1.1\text{mA}/\mu\text{m}$ 가 차이가 났다. 온도가 감소함에 따라 드레인 전류값이 증가한다. 본 논문에서 사용된 소자의 특성에서는 낮은 온도에서 우수한 결과를 보여 주고 있다.

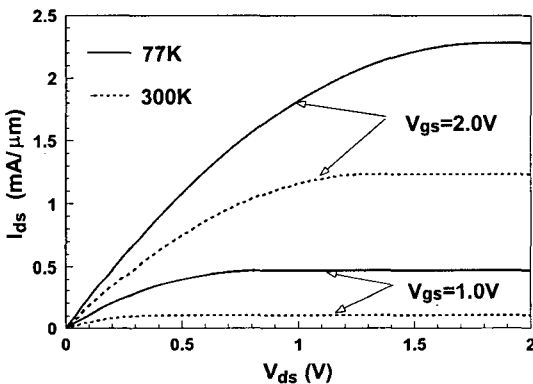


그림 8. 온도를 변화시켰을 때 전류-전압특성
Fig. 8 Current-voltage characteristics according to change of temperature

IV. 결 론

본 논문에서는 두 개의 게이트를 갖는 이중게이트 MOSFET에서의 해석학적 전류식을 이용하여 전류-전압 특성을 조사하였다. 즉, 두 개의 게이트를 갖는 이중게이트 MOSFET에서의 채널길이, 게이트산화막 두께, 실리콘 두께, 그리고 온도 변화에 따른 전류-전압 특성을 분석하였다. 비교적 긴($L_g=1\mu\text{m}$)채널에서 뿐만이 아니라 단채널 ($L_g=20\text{nm}$)에서도 본 논문에서 제시한 모델이 매우 잘 적용됨을 알 수 있었다. 또한 일함수의 값에 의하여 전류량이 변하게 되며, 게이트길이만 변화하게 될 경우 문턱전압 값은 일정함을 알 수 있었다. 게이트산화막 두께가 커

질수록 흐르는 전류의 양은 급격히 감소함을 알 수 있었으며 또한 실리콘두께가 너무 두껍게 되면 구조적 불균형으로 인한 문제점들이 야기 될 수 있음을 알았다. 얇은 게이트 산화막의 두께로 인하여 누설전류가 발생됨을 알 수 있었으며 이러한 현상을 줄이기 위해서는 고 유전율의 절연체를 개발하여야 할 것이며 이에 따른 새로운 모델이 제시되어야 할 것으로 사료된다.

또한 온도 변화에 따른 특성변화에서 77K 에서 300K 보다 우수한 전류-전압특성을 유도할 수 있었으며 따라서, 채널길이와 게이트산화막 두께, 온도 등이 소자의 특성에 영향을 미친다는 것을 알 수 있었다.

참고문헌

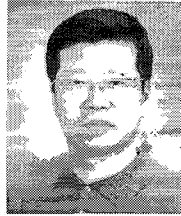
- [1] M.Bescond, J.L.Autran, D.Munteanu and M. Lannoo, "Atomic-scale modeling of double gate MOSFETs using a tight-binding Green's function formalism", Solid-State Elec., vol.48, pp.567-574, 2004.
- [2] 고석웅, 정학기, "나노구조 Double Gate MOSFET의 핀치오프특성에 관한 연구", 한국해양정보통신학회, vol.6, no.7, pp.1074-1078, 2002.
- [3] Woo Yong Choi, Byung Yong Choi, Dong Soo Woo, Young Jin Choi, Jong Duk Lee and Byung Gook Park, "Side-Gate Design Optimization of 50nm MOSFETs with Electrically Induced Source/Drain", Jpn. J. Appl. Phys., Vol. 41, Part 1, No. 4B, pp. 2345-2347, 2002.
- [4] D. G. Borse, S. J. Vaidya and Arun N. Chadorkar, "Study of SILC and Interface Trap Generation Due to High Field Stressing and Its Operating Temperature Dependence in 2.2nm Gate Dielectrics", IEEE Trans. Electron Dev., Vol. 49, No. 4, pp. 699-701, 2002.
- [5] Byung Yong Choi, Suk Kang Sung, Byung Gook Park and Jong Duk Lee, 70nm NMOSFET Fabrication with 12nm n+-p Junctions Using As^{2+} Low Energy Implantations, Jpn. J. Appl. Phys., Vol. 40, Part 1, No. 4B, pp. 2607-2610, 2001.
- [6] Seong-Dong Kim, Chel-Min Park and Jason C. S. Woo, Advanced Model Analysis of Series Resistance for CMOS Scaling Into Nanometer Regime-Part I : Theoretical Derivation, IEEE Trans. Electron Dev., Vol.

49, No.3, pp. 457-466, 2002.

- [7] Y. Taur, "An analytical solution to a double-gate MOSFET with undoped body" IEEE Electron Device Lett., vol. 21, pp. 245-247, 2000.
- [8] Y. Taur, "A Continuous, Analytic Drain-Current Model for DG MOSFETs" IEEE Electron Device Lett., vol. 25, pp. 107-109, 2004.

저자소개

정 학 기(Hak Kee Jung)



1983. 아주대학교 전자공학과(BS)
1985. 연세대학교 전자공학과(MS)
1990. 연세대학교 전자공학과(Ph.D)
1995. 일본 오사카대학 객원연구원

2004. 호주 그리피스대학 객원연구원

2006. 한국해양정보통신학회 편집이사

※관심분야: 반도체소자설계 및 시뮬레이션, 몬테카르로 시뮬레이션