

논문 2006-43SC-5-7

열전도 환경을 고려한 전자탑재물의 소자 열 해석

(Thermal Analysis of Electronic Devices in an Onboard Unit Considering Thermal Conduction Environment)

김 주 년*, 김 보 관**

(Joonyun Kim and Bo-Gwan Kim)

요 약

우주 비행체 전자장비의 신뢰도를 예측하고 최적화하기 위해 탑재장치 내 부품의 온도 예측이 필수적으로 요구된다. 본 논문에서는 전자장비 부품의 온도 예측방법에 대해 기술하고 있다. 본 예측 방법은 PCB 기판의 열전도도를 등방성모델로 설정하여 등가 열전도도를 계산하고 열력 모델을 이용하여 열 저항 행렬을 생성하였으며, 중첩의 원리를 이용하여 각 부품들의 온도를 예측하였다. 또한 본 논문의 온도 예측방법을 이용하여 전자제품 소자의 열해석 결과와 상용 프로그램을 이용한 온도 계산 결과를 비교분석하였다.

Abstract

Thermal analysis and prediction of electronic components is required to predict and optimize the reliability of onboard electronic unit employed in space vehicles. This paper introduces a methodology on thermal prediction that uses isothermal PCB model, thermal force model, thermal resistance matrix and superposition principle to calculate electronic devices temperatures undergoing thermal conduction environment. An example is presented including a prediction result by this method and simulation results performed by commercial program.

Keywords : Thermal Analysis, Thermal Conduction, Thermal Resistance Matrix, Superposition

I. 서 론

항공우주 분야 전자제품의 신뢰도를 결정하는 인자는 환경인자(environment factor), 학습인자(learning factor), 품질인자(quality factor) 그리고 온도인자 등 여러 가지가 있다. 온도인자를 제외한 다른 신뢰도 인자는 전자부품이 전자장비 내에 탑재됨과 동시에 신뢰도가 결정되지만 온도인자는 부품의 작동 온도에 따라 전자부품의 신뢰도가 변한다. 이 전자부품의 신뢰도 변화는 전자장비의 신뢰도에 영향을 미치며 궁극적으로 높은 신뢰도가 요구되는 항공우주 시스템의 신뢰도에 영향을 준다. 그러므로 우주비행체의 신뢰도를 높이기

위해서는 전자장비 내의 온도를 낮추기 위한 부품의 최적화 설계가 요구된다. 전자장비의 열적 최적화 설계방법은 우선 부품의 온도 분포를 계산 한 후 신뢰도를 최대한으로 높일 수 있는 최적배치 알고리즘을 이용하여 최적화를 수행한다. 그러므로 전자부품의 온도 분포에 관한 해석이 선행되어야 한다.

본 논문에서는 발사체에 탑재되는 전자부품을 대상으로 부품의 온도 분포를 계산하는 방법과 계산 결과 그리고 상용 프로그램과의 비교분석 결과를 기술하고 있다. 대상 전자제품의 전자부품들은 모두 PCB 위에 장착되므로 PCB의 열전도도(thermal conductivity)가 모델링 되어야 하는데 본 논문에서는 PCB와 부품의 기하학적 구조에 의해 결정되는 복잡한 열전도도 모델링에 비해 비교적 간단히 계산할 수 있는 PCB 전도도 모델링 기법을 활용하였다. 한편 발열체(heat source)인 각 소자에 의해 소자 상호간의 열적 전도 영향을 계산하기

* 정희원, 한국항공우주연구원 (Korea Aerospace Research Institute)
** 정희원, 충남대학교 전자공학과 (Chungnam National University)
접수일자: 2006년5월18일, 수정완료일: 2006년8월25일

위하여 열력 (thermal force) 모델을 이용 열적 전도 영향을 계산하였다. PCB 상 부품의 온도를 계산하기 위하여 열 저항 행렬을 이용하여 전자회로의 중첩원리 (superposition principle)와 동일한 방법으로 부품의 온도를 계산하였다.

II. 열전도 환경내의 전자 부품 열 해석

1. 우주 탑재체 전자장비의 열 현상

전자장비에서의 열적문제는 미시적으로는 부품의 전자이동(electro migration)과 같은 현상으로 나타나며 거시적으로는 고열 점(hot spot)으로 인해 부품 고장 및 장치의 고장으로 나타난다.

전자장비에서의 열은 대류(convection) 현상, 복사(radiation) 현상, 전도(conduction)에 의한 열 현상으로 크게 나눌 수 있다. 대류현상은 공기의 흐름이 존재하는 지상에서 사용하는 거의 모든 장비에 적용된다. 반면 우주환경하의 전자장비는 공기 흐름이 없으므로 복사와 전도에 의한 열적 현상만 존재한다.

인공위성 발사체의 탑재장치는 초기 온도를 지속적으로 유지하기 때문에 초기 조건은 25°C~30°C 범위내에서 작동한다. 그리고 발사체가 발사대를 떠나 임무를 수행하는 구간 중 수 십초 내의 대기권 구간을 제외하고는 대부분 비행구간(수 분~수 십분)동안 우주환경에 노출된다. 그러므로 발사체 전자장품의 경우는 열 전도 현상이 부품 발열 및 온도 상승의 주 요인이 된다. 또한 우주왕복선을 비롯한 인공위성 그리고 행성탐사선의 전자장품 경우도 모두 진공상태의 우주환경에서 작동하므로 열 전도현상이 전자장품 신뢰도에 영향을 끼치게 된다.

2. 열과 신뢰도 관계

미국 공군에서 조사된 항공우주 전자장품의 실패 주요인들을 살펴보면 열적 과도스트레스 (thermal overstress)에 의한 부품 고장이 55% 차지하고 있으며 그 다음으로 진동에 의한 고장이 20% 그리고 습도에 의한 고장이 19% 순이다. 그러므로 항공우주 분야 전자장품의 신뢰도 향상을 위해 온도 관리는 매우 중요하다고 할 수 있다^[1].

현재 전자장비의 신뢰도 예측에는 BellCore를 비롯하여 CNET, MIL-STD-217F, HRD5 그리고 China 299B 등 다양한 신뢰도 모델이 사용되고 있다. 온도에 의한 시간실패율(time-to-failure) 예측을 위한 온도 가속인자(Temperature acceleration factor) π_T 는 일반적으로

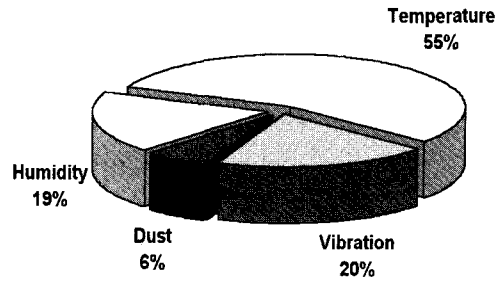


그림 1. 항공우주 전자장품의 주요 실패 원인
Fig. 1. Major causes of electronic failures on aerospace industry.

표 1. 신뢰도 모델별 온도가속 인자 π_T

Table 1. Temperature-Acceleration Factors π_T .

온도가속 인자, $\pi_T =$	
<i>HRD5 model</i>	
1, for $T_{junc} \leq 70^\circ\text{C}$	
$26000 \cdot \exp\left(\frac{-3500\text{K}}{T_{junc}}\right) + 1.8 \times 10^{13} \cdot \exp\left(\frac{-11600\text{K}}{T_{junc}}\right)$	
<i>otherwise</i>	
<i>CNET model</i>	
$A_1 \cdot \exp\left(\frac{-3500\text{K}}{T_{junc}}\right) + A_2 \cdot \exp\left(\frac{-11600\text{K}}{T_{junc}}\right)$	
<i>MIL-HDBK-217F</i>	
$0.1 \exp\left(-A \cdot \left(\frac{1}{T_{junc}} - \frac{1}{298\text{K}}\right)\right)$	

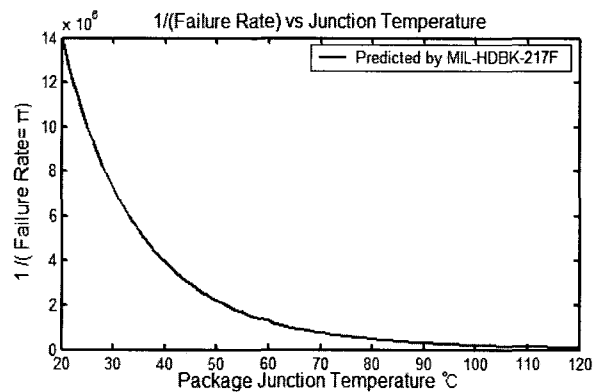


그림 2. 부품의 접합 온도에 따른 부품의 생존율
Fig. 2. Plot of device survivability w.r.t. the device junction temperature

Arrhenius 모델의 형태를 가지며 실험적 경험에 의존하는 모델로 알려져 있다. 표 1은 각 신뢰도 모델마다의 π_T 를 나타낸다^[2]. 그러므로 시스템 설계자는 신뢰도를 높이기 위하여 가장 먼저 작동 온도를 낮추거나 고 열 점을 제거하는데 초점을 두어야 한다.

전자부품의 온도와 생존율(1/실패율)과의 관계를

MIL-HDBK-217F 모델을 이용하여 계산하면 그림 2와 같다. 부품의 작동 온도가 상승함에 따라 부품의 생존율은 급격히 낮아지고 있음을 알 수 있다. 소자의 접합 온도가 80℃일 경우와 50℃일 경우의 MTBF(Mean Time Between Failure)를 비교하면 부품 온도가 50℃일때의 MTBF가 80℃일 때의 MTBF보다 5배 가량으로 높아진다. 그러므로 부품의 온도를 낮추도록 PCB 상의 부품을 배치하면 탑재 전자장비의 신뢰도를 훨씬 높일 수 있다.

$$MTBF \Big|_{80^{\circ}\text{C}} \cong \frac{1}{\lambda (\cong \pi_T)} = 4.8353 \times 10^5$$

$$MTBF \Big|_{50^{\circ}\text{C}} \cong \frac{1}{\lambda} = 2.2206 \times 10^6$$

$$\frac{MTBF \Big|_{50^{\circ}\text{C}}}{MTBF \Big|_{80^{\circ}\text{C}}} = 4.5925$$

3. 우주비행체 탑재 전자장치의 열 해석

본 논문에서 활용한 대상물은 발사체에 탑재될 전자장치 하드웨어 중 다양한 소자들로 구성된 특정 데이터 장치(data unit)이다. 이 장치의 PCB 기판은 실제 하우징에 장착되어 발사체에 탑재될 부분품으로써 아날로그-디지털 변환기(ADC), 다수의 아날로그 멀티플렉서(analog multiplexer), 80196계열의 마이크로-컨트롤러(micro-controller), 군사규격 통신(MIL-STD-1553B)을 위한 1553B 통신소자를 비롯하여 다양한 소자들로 구

표 2. PCB 열해석에 사용된 소자 규격
Table 2. Parts spec. used in the PCB thermal analysis.

구분	소자 규격	θjc (°C/W)	소모전력 (W)	비고
U1~6	54LS373	23.33	0.12	TTL 소자
U8	TLC7733	28.00	0.67	전원 감시용
U9,10	54LS373	23.33	0.12	TTL 소자
U11,12	GAL22V10	10.00	0.45	TTL 소자
U13	AD7821	35.00	0.45	ADC
U14	87C196KD	15.00	1.50	U-controller
U15	BUS61588	6.80	1.40	군사규격 통신소자
U17~22	ADG526	35.00	0.47	아날로그 멀티플렉서
U23	AD711	22.00	0.50	연산증폭기
OSC	M55310_16M	19.57	0.30	클럭

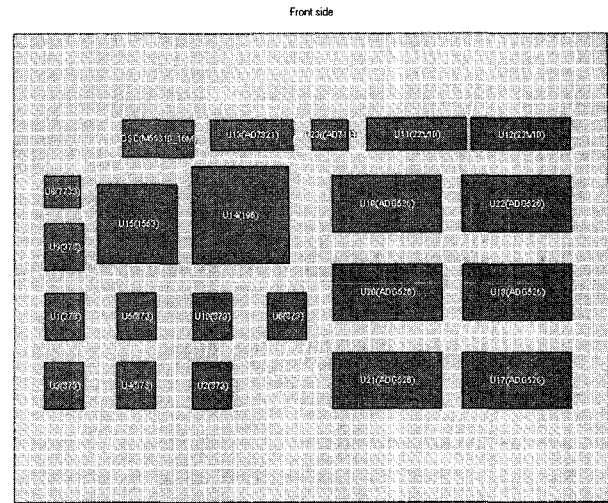


그림 3. PCB 상 부품배치 후 그림
Fig. 3. PCB layout after device placement

성되어있는데 이들 소자는 모두 군사규격을 만족하는 소자로 설계되었다.

부품들이 실장된 PCB 기판의 면적은 150mm×190mm이다. 또한 PCB는 2온스의 6층 구리층과 6층의 FR4-에폭시 층으로 구성되었으며 두께는 약 1.97mm이다. 부품의 열 분포계산에 필요한 파라미터와 사용된 소자 목록 그리고 소자 규격은 표 2에 나타내었다.

그림 3은 부품 배치를 완료한 PCB 그림이다. 한편 PCB 상단 및 하단에는 커넥터를 장착하기 위하여 많은 공간이 할당되었다.

가. PCB 열 전도도 모델링

전자 부품의 온도 해석을 위해서는 부품간의 열전도 매질인 PCB의 열 전도도 계산이 우선된다. 최근의 PCB는 다음 그림 4와 같이 대부분 구리층과 에폭시가 다중-샌드위치 된 다층 기판으로 구성되어 있다. 일반적으로 구리와 에폭시의 열전도 특성의 큰 차이 때문에 PCB의 열전도는 일반적으로 이방성(anisotropic) 구조를 갖게 된다. 이방성 구조를 바탕으로 PCB의 전도성을 계산하는데 많은 어려움이 따른다. 그러므로 PCB를 온도에 대해 등방적(isothermal) 전도 성질로 가정하여 보드의 수평 성분과 수직성분에 대해 근사화하는 유효 전도도 계산방법이 사용된다^[3].

수식 (1)과 (2)는 유효 평면(parallel) 성분과 수직(normal) 성분 수식이다. N_c 는 구리층의 개수이며, N_g 는 에폭시(glass-epoxy) 층의 개수이다. 이때 t 는 PCB의 총 두께이며 $t_{c,i}$ 와 $t_{g,i}$ 는 i 번째 구리와 유리 층의 두께를 나타내며 k_c 와 k_g 는 구리와 유리의 전도도

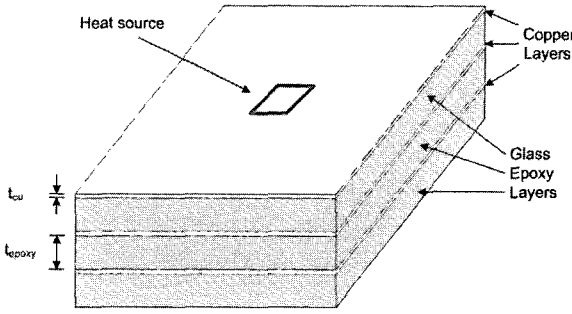


그림 4. 다층 PCB의 모델
Fig. 4. Multi-layered PCB model

(conductivity)를 나타낸다. 그리고 t 는 PCB 전체의 두께를 나타낸다^[4].

$$k_{p,e} = \frac{\sum_{i=1}^{N_c} k_c t_{c,i} + \sum_{i=1}^{N_g} k_g t_{g,i}}{t} \quad (1)$$

$$k_{n,e} = \frac{t}{\sum_{i=1}^{N_c} t_{c,i}/k_c + \sum_{i=1}^{N_g} t_{g,i}/k_g} \quad (2)$$

그러나 AT&T의 Bell 연구소에서 발표된 논문에는 오직 실험결과를 토대로 이방성을 가지는 PCB의 전도 특성을 보드-평균(board averaged)화 하여 아래와 같은 수식을 유도하였다^[5].

$$K_p = 0.8 + 350 \left(\frac{Z_{cu}}{Z} \right) \quad (3)$$

$$K_N = \left[1.69 \times \left(1 - \frac{Z_{cu}}{Z} \right) + 0.0026 \times \left(\frac{Z_{cu}}{Z} \right) \right]^{-1} \quad (4)$$

이때 K_p 는 PCB 평면의 전도도이며, K_N 은 수직방향의 전도도이다. Z_{cu} 는 보드내의 구리층의 총 두께를 합한 값이며 Z 는 PCB 보드의 전체 두께가 된다. AT&T의 논문에는 위의 수식으로 계산된 열전도율과 실제 측정 전도율의 값이 10% 오차내의 임을 보여준다^[5].

반면 위 식에서는 PCB를 구성하는 구리층과 에폭시층의 제조공정상의 비율이 반영되지 않았다. 예를 들면 구리층의 사용량이 90%인 구리층과 20%내외의 구리가 사용된 구리층의 전도도는 다르기 때문에 구리층의 두께만으로 계산하기 보다는 구리가 사용된 가중치(weighting factor)를 고려하여야 할 것이다. 본 논문에서는 위의 두 식의 바탕에다 PCB를 구성하는 구리층과

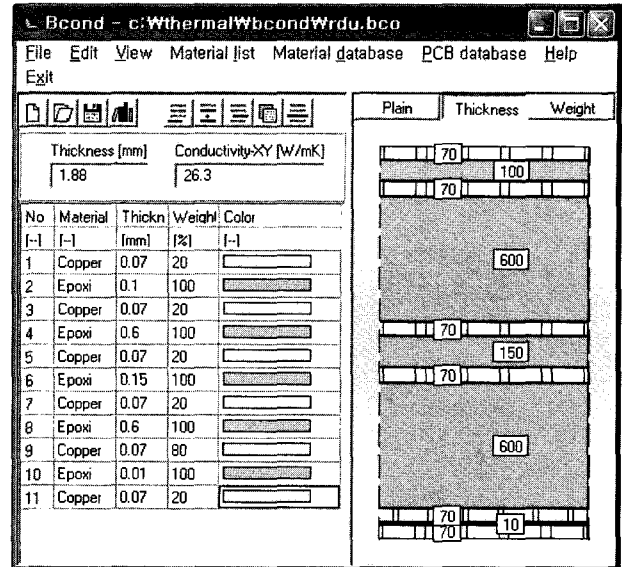


그림 5. PCB 열전도도 계산 결과 - Bcond 프로그램
Fig. 5. Thermal conductivity of PCB calculation result - Bcond program.

에폭시층의 가중치를 이용한 수식을 적용하였다.

$$K_{PCB} = 0.8 + 350 \times \left(\frac{\sum_{i=1}^m t_i \times w.f.}{\sum_{i=1}^m t_i + \sum_{j=1}^n t_j} \right) \quad (5)$$

한편 위 수식에서 m 은 PCB를 구성하는 구리층의 개수이며 n 은 에폭시 층의 개수이다. 본 논문에서는 식 (5)와 같이 가중치를 고려하여 열전도도를 계산하였다. 위의 방법으로 구한 계산값과 상용프로그램인 Frigus Primore사의 Bcond를 이용한 전도도 구한 값과의 차이를 살펴보면 거의 5% 오차 범위를 가진다. 위 수식을 이용하여 실제 사용 PCB 대상으로 계산한 열 전도는 25.1[W/mK]이며 Bcond 프로그램으로 계산된 열전도는 26.3[W/mK]이다.

나. 소자의 열 해석 방법

열전도에 의한 PCB 상의 열 분포를 해석하는 방법으로는 온도계산을 위한 행렬 방정식을 이용한 FDM 수치해석방법이 있으며 열저항 행렬을 구성하여 중첩원리를 이용하여 계산하는 방법이 있다^[6].

열전도에 의한 부품들의 온도계산을 위해 PCB 위의 소자들의 온도를 전기회로망을 이용하여 다음 그림 6과 같이 나타낼 수 있다. 발열 부품은 전압원(voltage source)과 열저항으로 나타낸다. 그림 6에서 $i = j$ 일 경우에는 각 부품 자체의 열저항을 나타내며, $i \neq j$ 일 경

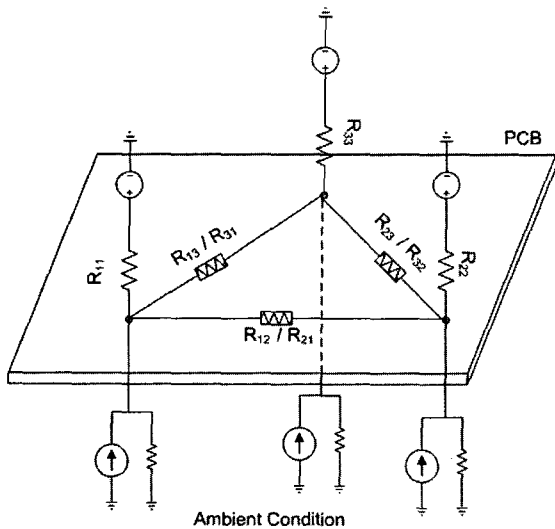


그림 6. 열전도를 고려한 온도 저항 회로망 모델
Fig. 6. Thermal resistor model considering thermal conduction.

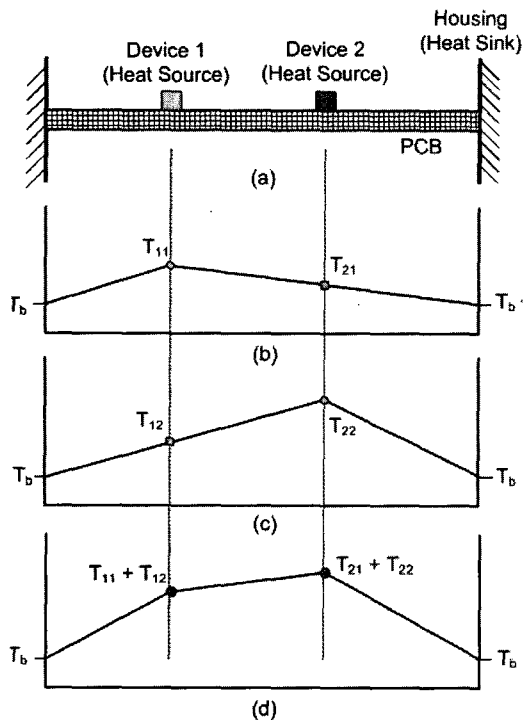


그림 7. 선형 중첩원리를 이용한 온도 분포 계산방법
Fig. 7. Temperature calculation with linear superposition.

우 열저항은 PCB 전도도와 부품간의 위치에 의해 결정되며 서로 가역적이다. 한편 주변 온도는 전류원(current source)과 저항으로 등가적으로 나타낼 수 있다^[7].

본 논문에서는 PCB 기판 전도도가 등방적인 모델로 고려하였으며 선형 중첩원리를 이용하여 PCB 상의 소자들 온도를 구하고자 하였다. 선형 중첩원리는 PCB 위의 부품온도는 자체 발열에 의한 온도와 주변 소자로

인해 상승된 온도의 합 형태로 나타낸다.

그림 7과 같이 양면에 하우징이 열 흡수체(heat sink)로써 작용하고 PCB 기판위에 소자 1과 2가 장착되어 발열(heat generation)하는 것을 가정했을 때 T_{11} 과 T_{22} 는 자체 전력소모와 내부 열적 저항으로 인해 발생하는 자체 발열 온도이다. T_{12} 는 소자 2에 의해 소자 1로 전도되어 나타나는 온도이며 T_{21} 은 반대로 소자 1의 발열로 인해 소자 2에 나타나는 온도이다. 중첩 원리를 이용한 최종적 소자 1의 온도는 주변온도와 T_{11} 그리고 T_{12} 의 합으로 계산된다. 소자 2의 온도 역시 주변온도와 T_{22} 그리고 T_{21} 의 합으로 계산된다^[8].

$$\begin{aligned} T_1 &= T_{11} + T_{12} + T_b \\ T_2 &= T_{21} + T_{22} + T_b \end{aligned} \tag{6}$$

중첩의 원리를 이용한 부품의 온도는 다음의 수식으로 일반화시켜 표현할 수 있다.

$$T = \sum_{i=1}^m T_i + T_b \tag{7}$$

일반적으로 전자부품의 온도 계산은 수식 (8)이 사용된다. 이때 T_b 는 전장품 내부의 주변 온도(ambient temperature)이다. θ_{jc} 전자소자의 접합저항(junction-to-case)이며 단위는 $^{\circ}\text{C}/\text{W}$ 이다.

$$T = T_b + P \times \theta_{jc} \tag{8}$$

식 (7)과 (8)을 이용하여 PCB 상에 장착된 모든 소자의 온도 계산으로 확장하면 다음의 열저항 행렬을 만들 수 있다.

$$T = \begin{bmatrix} T_1 \\ T_2 \\ \vdots \\ T_j \end{bmatrix} = \begin{bmatrix} R_{11} & R_{12} & \cdots & R_{1j} \\ R_{21} & R_{22} & \cdots & R_{2j} \\ \vdots & \vdots & \ddots & \vdots \\ R_{j1} & R_{j2} & \cdots & R_{jj} \end{bmatrix} \begin{bmatrix} P_1 \\ P_2 \\ \vdots \\ P_j \end{bmatrix} + T_b \tag{9}$$

열저항 행렬의 요소 R_{ij} 는 소자 i 와 소자 j 간 열적 저항을 나타내며 R_{ji} 와 R_{ij} 는 항상 동일하며 상호 가역적이다. 열저항 행렬은 $n \times n$ 행렬로 구성된다. 한편 R_{ii} 의 값은 소자 자체의 열 저항이며 소자의 접합저항이다. T 는 $j \times 1$ 행렬이며 온도 측정 부분의 갯수가 j 임을 나타내며 $P_k(k=1..j)$ 는 j 개의 열원(heat sources)을 나타낸다. 본 논문에서 사용한 모델은 총 22개의 소자들로 구성되었으므로 열저항 행렬은 22×22 행렬이 된다.

열전도에 의한 열 저항은 다음 수식으로 나타낸다. 이때 k 는 매질의 전도도($W/m \cdot K$), A 는 단면적(m^2)이며, 그리고 l 은 거리(m)이다.

$$R = \left(\frac{l}{kA} \right) \quad (10)$$

그러나 본 논문에서는 주변 소자의 발열 영향으로 인해 증가되는 온도를 구하기 위해 열력 모델(Thermal Force Model)을 이용하여 열저항 행렬을 구하는데 활용하였다^[9]. 열력 모델에서는 열 흐름(flux)은 열원으로부터 떨어진 거리의 제곱에 반비례하는 원리로부터 수식화한 것으로써 다음의 수식으로 나타낸다.

$$\vec{f}_{i,j} = \delta_{i,j} \times \frac{q_j}{|\vec{r}_{ij}|^2} \times \vec{u}_{ij} \quad (11)$$

\vec{r}_{ij} 는 c_j 소자로부터 c_i 간의 거리를 나타내며, \vec{u}_{ij} 는 \vec{r}_{ij} 의 단위 벡터이다. 소자 자체 발열원일 경우 즉 $i = j$ 일 경우 $\delta_{i,j} = 0$ 가 되고 아닐 경우 $\delta_{i,j} = 1$ 이 된다. 그리고 q_j 는 소자 j 의 발열량 즉 소모전력이다.

위 식 (8)과 (9)를 활용하여 다음의 수식을 만들 수 있다.

$$\Delta T = q_j \times R_{ij} = q_j \times \left(\frac{\vec{u}_{ij}}{|\vec{r}_{ij}|^2} \right) \times \left(\frac{1}{k} \right) \quad (12)$$

$$R_{i,j} = \left(\frac{\vec{u}_{ij}}{|\vec{r}_{ij}|^2} \right) \times \left(\frac{1}{k} \right) \quad (13)$$

다. 소자의 열해석 결과

표 2의 부품 소비전력 및 접합 열 저항 파라미터 데이터를 이용하여 열적 중첩원리를 적용한 계산 결과는 다음 표 3과 같다. 온도 T_i 는 부품 자체 발열 온도이며, $T_{ij} + T_i$ 는 주변 환경온도와 주변 소자 발열에 의한 온도 상승분이며 $T_{analysis}$ 는 이들 온도를 합한 결과이다.

라. 프로그램을 이용한 소자 열 시뮬레이션 결과

표 2의 열저항 자료와 PCB 상의 부품간의 거리를 이용하여 Frigus Primore사의 PCB 열해석 프로그램인 Btemp를 이용하여 PCB 상의 부품 온도 해석을 수행하였다.

Btemp 프로그램은 주로 대류에 의한 PCB 상의 온도 해석에 사용되나, 본 논문에서는 대류에 의한 영향을

표 3. 소자 열 해석 결과

Table 3. Thermal analysis result of the devices.

부품 구분	T_i (°C)	$T_{ij}+T_b$ (°C)	$T_{analysis}$ (°C)
U1	4.66	44.48	49.14
U2	4.66	42.61	47.27
U3	4.66	41.10	45.76
U4	4.66	42.80	47.46
U5	4.66	46.85	51.51
U6	4.66	44.82	49.48
U8	25.76	35.77	61.53
U9	4.66	50.13	54.79
U10	4.66	47.15	51.81
U11	4.5	44.20	48.70
U12	4.5	39.50	44.02
U13	15.75	48.89	64.74
U14	22.5	47.75	69.95
U15	10.2	47.07	57.27
U17	16.45	22.88	39.33
U18	16.45	24.27	40.72
U19	16.45	31.17	47.62
U20	16.45	28.15	44.60
U21	16.45	25.78	42.23
U22	16.45	25.54	41.99
U23	11.00	47.22	58.22
OSC	5.871	50.41	56.28

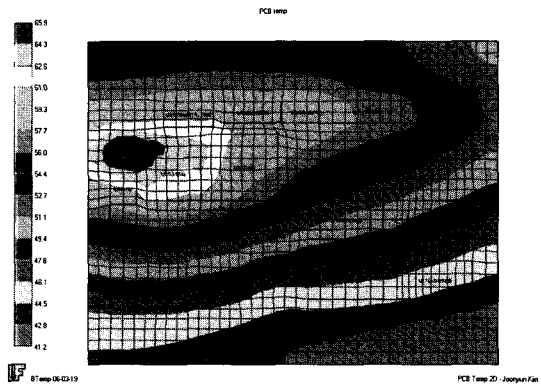


그림 8. 2차원 열 해석 결과
Fig. 8. Thermal analysis result - 2D.

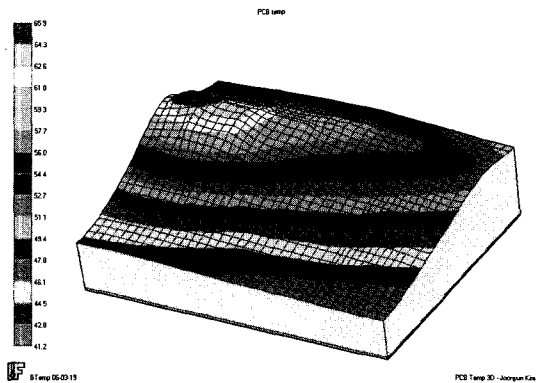


그림 9. 3차원 열 해석 결과
Fig. 9. Thermal analysis result - 3D.

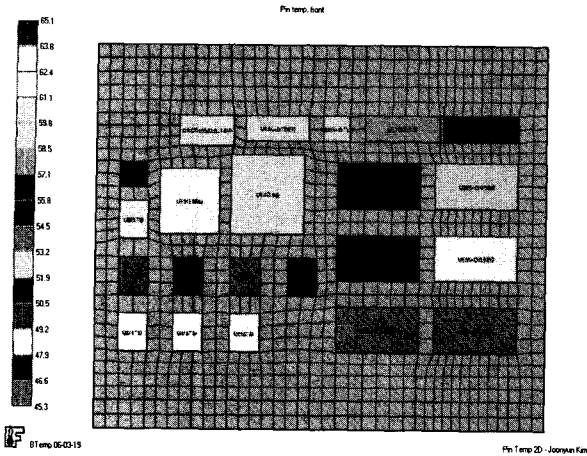


그림 10. 부품별 온도 분포
Fig. 10. Thermal distribution of devices.

표 4. 해석결과 및 시뮬레이션 결과 비교
Table 4. Comparison between thermal analysis result and simulation result.

부품 구분	$T_{analysis} (^\circ C)$	$T_{program} (^\circ C)$	$T_{program} - T_{analysis} (^\circ C)$
U1	49.14	53	+3.8
U2	47.27	48	+0.7
U3	45.76	48	+0.3
U4	47.46	48	+0.5
U5	51.51	54	+2.4
U6	49.48	50	+0.5
U8	61.53	65	+3.5
U9	54.79	59	+4.2
U10	51.81	53	+1.2
U11	48.70	57	+8.3
U12	44.02	54	+10
U13	64.74	61	-3.7
U14	69.95	63	-6.9
U15	57.27	62	+4.8
U17	39.33	50	+10.7
U18	40.72	53	+12.3
U19	47.62	54	+6.3
U20	44.60	54	+9.4
U21	42.23	50	+7.7
U22	41.99	51	+9.0
U23	58.22	59	+0.8
OSC	56.28	58	+1.7

최소화 한 상태에서 전도에 의한 부품의 온도 영향을 시뮬레이션 하였다. Btemp 프로그램의 입력 파라미터로 부품의 패키지, 부품의 패드(pad) 개수, 부품의 장착 높이등이 고려되었다. 그림 8과 9는 2D 및 3D 열해석 결과이다. 부품 자체의 발열이 많은 소자들에서 자체 발열이 낮은 부품으로 전도되며, 부품이 실장 되어 있지 않는 PCB 외곽 부분에는 기울기가 낮은 온도분포를 보이고 있다. 그림 10은 장착된 부품마다 각 온도 분포

를 보여준다.

본 논문에서 접근한 온도 해석 결과($T_{analysis}$)와 Btemp 프로그램을 이용한 온도 시뮬레이션 결과($T_{program}$)를 표 4에 비교 분석하였다. 대부분 소자들은 3~4°C차이로 적절한 오차범위 내에 분포를 보였다. 그러나 일부 소자들에서는 9~12°C 가량의 오차가 나타났는데, 오차가 크게 나타나는 소자들은 ADG526과 GAL22V10 소자 인 것으로 나타났다. 오차가 대체로 크게 나타나는 소자들은 열 해석 방식과 상용 프로그램 방식간의 소자 모델 파라미터 차이에 의한 것으로 사료된다. 본 논문에서의 해석결과와 프로그램 시뮬레이션 결과를 비교분석하면 본 논문에서의 열 해석 방법을 이용하여 소자들의 온도 분포를 예측하는데 문제가 없으리라 사료된다. 또한 본 열 해석 방법을 토대로 장치의 신뢰도를 예측하여 시스템의 신뢰도 최적화 분야 연구 응용분야에 적용할 수 있음을 알 수 있다.

III. 결 론

우주분야 전장품의 신뢰도 향상을 위해서는 전장품 내부 전자소자의 온도를 낮추기 위한 회로 설계 및 PCB 설계가 필수적으로 요구되는데 본 논문에서는 PCB 상에 장착되는 부품의 열전도 해석 방법 및 해석 결과에 대해 기술하였다. 우선 PCB 전도도를 근사화하기 위해 에폭시 층과 구리층간의 가중치를 고려한 전도도 예측 방법을 활용하였다. PCB 상의 부품 열 분포를 해석하기 위해 열력 모델을 이용한 열저항 행렬을 생성하였다. 생성된 열 저항 행렬 결과와 중첩의 원리를 활용하여 부품의 온도를 예측하였다. 또한 상용 소프트웨어를 이용하여 본 예측 방법과 소프트웨어 시뮬레이션 결과를 비교하였다. 일부 소자들에서는 온도분포가 차이를 보였으나 대부분 소자들에서는 온도분포가 거의 비슷한 경향을 보였다. 본 논문에서 접근한 온도 해석 방법은 열전도 현상에 의해 주도되는 우주 전장품의 신뢰도 향상을 위한 온도 설계 방법과 신뢰도 최적화를 위한 온도 설계 분야에 적극 활용 가능한 것으로 사료된다.

향후 연구 방향으로서는 실제 하드웨어를 제작하여 우주환경과 유사 조건하에 부품의 온도를 측정하여 위 해석결과와 비교분석 연구가 필요하다. 또한 본 열해석 방법을 응용하여 전장품의 신뢰도 향상을 위한 열적 최적화 연구도 병행되어야 할 필요가 있다.

참 고 문 헌

- [1] <http://www.analysisstech.com>
- [2] Pradeep Lall, "Tutorial: Temperature As an Input to Microelectronics-Reliability Models," *IEEE Trans. on Reliability*, Vol. 45, no. 1, pp. 3-9, March 1996.
- [3] Allan D. Kraus and Avram Bar-Cohen, *Thermal Analysis and Control of Electronic Equipment*, Hemisphere Publishing Co., p573, 1983.
- [4] Younes Shabany, "Component Size and Effective thermal conductivity of Printed circuit boards," in *Proc. of IThERM 2002*, pp. 489-494, San Diego, USA, May 2002.
- [5] K. Azar and J. E. Graebner, "Experimental Determination of Thermal Conductivity of Printed Wiring Boards," in *Proc. of Twelfth IEEE SEMI-THERM Symposium*, 1996, pp. 169-182, Austin, USA, March 1996.
- [6] Ching-Han Tsai and Sung-Mo Kang, "Cell-Level Placement for Improving Substrate Thermal Distribution," *IEEE Trans. on Computer-Aided Design of IC and Systems*, Vol. 19, no. 2, pp. 253-266, Feb. 2000.
- [7] Erik C. W. de Jong, Jan. A. Ferreira, and Pavol Bauer, "Thermal Design Based on Surface Temperature Mapping," *IEEE Power Electronics Letters*, Vol. 3, no. 4, pp 125-129, December 2005.
- [8] J. W. Sofia, "Electrical Thermal Resistance Measurement for Hybrids and Multi-Chip Packages," Analysis Tech Co.
- [9] Jing Lee. "Thermal Placement Analogy Based on Heat Conduction," *IEEE Transactions On Components and Packaging Techniques*, Vol. 26, no. 2, pp. 473-482, June 2003.

저 자 소 개



김 주 년(정회원)
 1992년 경북대학교 전자공학과
 학사 졸업.
 1992년 Applied Materials Korea
 1995년 경북대학교 전자공학과
 석사 졸업.
 1995년~현재 한국항공우주연구원
 (KARI) 근무

<주관심분야 : CAD 및 VLSI, 회로 및 시스템 기술>



김 보 관(정회원)
 1976년 서울대학교 전자공학과
 학사 졸업.
 1978년 KAIST 전기전자공학과
 석사 졸업.
 1980년~1991년 금오공대 조교수.
 1989년 U of Wisconsin 전기 및
 컴퓨터공학박사 졸업.

1991년~현재 충남대학교 전자공학과 정교수
 <주관심분야 : CAD 및 VLSI, 통신 VLSI 시스템,
 하드웨어/소프트웨어 co-design>