

논문 2006-43SD-9-4

# 전류 감지 Feedback 기법을 사용한 고효율 CMOS DC-DC Boost 변환기의 설계

(Design of a High-Efficiency CMOS DC-DC Boost Converter Using a Current-Sensing Feedback Method)

정 경 수\*, 양 희 관\*\*, 차 상 현\*\*, 임 진 업\*\*\*, 최 중 호\*\*\*\*

(Kyungsoo Jung, Huikwan Yang, Sanghyun Cha, Jinup Lim, and Joongho Choi)

## 요 약

본 논문은 전류 감지 feedback 기법을 사용한 고효율 CMOS DC-DC boost 변환기의 설계에 관한 것이다. 펄스-폭 변조 방식의 스위칭 동작을 위해 인덕터를 통해 흐르는 전류의 양을 감지하는 고해상도 전류 감지 회로를 설계하였다. 이를 통하여 외부 소자나 큰 면적을 차지하는 주파수 보상 회로 없이 안정적으로 동작하는 변환기 성능을 얻을 수 있다. 또한 외부 저항 열을 사용하여 다양한 입력/출력 전압 특성을 얻을 수 있다. 설계한 DC-DC 변환기는 thick gate oxide 옵션이 포함된 0.18- $\mu\text{m}$  CMOS 표준 공정으로 제작하였다. 부하 전류 200mA 이상에 대하여 3.3V의 출력을 얻는 변환기에서 최대 효율은 90% 이상, load regulation은 100mA의 변화에 대하여 1.15%의 특성을 나타낸다.

## Abstract

This paper presents a design of a high-efficiency CMOS DC-DC boost converter using a current-sensing feedback method. High-precision current-sensing circuitry is incorporated in order to sense the current flowing in the inductor, which determines the switching scheme of the pulse-width modulation. The external components or large chip area for the frequency compensation can be avoided while maintaining the stable operations of the converter. Various input/output voltage levels can be available through the external resistor strings. The designed DC-DC converter is fabricated in a 0.18- $\mu\text{m}$  CMOS technology with a thick-gate oxide option. The converter shows the maximum efficiency over 90% for the output voltage of 3.3V and load current larger than 200mA. The load regulation is 1.15% for the load current change of 100mA.

**Keywords :** CMOS, DC-DC Converter, Boost, Current Sensing Feedback, Pulse Width Modulation (PWM)

## I. 서 론

최근 PDA, PMP, MP3, 휴대폰 등과 같은 휴대용 멀티미디어 기기 시장의 발달로 인해 단일 배터리 전원으로 부터 다양한 전원 전압을 공급 받아야 하며, 또한 그

전원의 전력 변환에 있어 매우 높은 효율을 요구하는 사양 및 성능에 대한 필요성이 중요하게 부각되었으며 이를 구현하기 위한 다양한 전원 관리 회로의 개발이 급속하게 증가하고 있다. VLSI 기술의 지속적인 발전에 따라 여러 기능의 시스템을 한 칩에 집적화 할 수 있는 설계가 보다 일반화 되어 가고 있다. 이러한 설계 기술을 통하여 보다 경쟁력 있는 제품을 생산할 수 있게 되었으며 전원 관리 회로도 이러한 SoC (System-on-Chip) 시스템 구현에 포함되어야 한다.

집적화로 상의 전원 관리는 전하 펌프 회로, linear regulator 회로 또는 DC-DC 변환기 등으로 구현될 수 있다. 외부 소자로 캐패시터를 사용하는 전하 펌프 회

\* 정회원, 인티그란트 (Integrand)

\*\* 학생회원, \*\*\* 정회원, \*\*\*\* 평생회원, 서울시립대학교 전자전기컴퓨터공학부 (University of Seoul, Department of Electrical and Computer Engineering)

※ 본 연구는 매그너칩반도체의 지원으로 수행되었음.  
접수일자: 2006년7월1일, 수정완료일: 2006년8월18일

로는 비교적 작은 면적으로 큰 효율 특성을 나타내지만 300mA 이상의 대용량 부하 전류를 구동할 수 없으며, 다른 구조의 회로보다 큰 출력 전압 리플의 특성을 나타내기에 잡음 성능에 민감한 전원 관리 회로로는 부적합하다<sup>[1]</sup>. Linear regulator 회로는 스위칭 동작을 하지 않기에 잡음이 매우 낮은 출력 전압을 만들 수 있지만, 입력 전압보다 작은 출력 전압만 가능하며 더욱이 변환 효율이 떨어지는 단점이 있다.

반면 DC-DC 변환기는 스위칭에 의한 잡음 특성 열화, 외부 소자의 사용에 따른 시스템의 복잡도 증가와 같은 단점을 내포하고 있지만 다양한 입력 및 출력 전압의 조합을 구현할 수 있으며, 특히 전력 변환 효율 특성이 매우 우수하므로 배터리 수명이 중요시 되는 휴대용 멀티미디어 기기에 보다 적합하다 할 수 있다<sup>[2]</sup>. DC-DC 변환기는 인덕터, 혹은 캐패시터와 같이 전류 및 전압 저장 장치를 이용, 입력 전원 전압과 다른 출력 전원 전압을 얻고자 할 때 사용된다. DC-DC 변환기에는 입력 전원 전압보다 높은 출력 전압으로 변환하는 step-up (boost) 변환기가 있고, 이와 반대의 경우인 step-down (buck) 변환기가 있으며, 이 두 가지 동작을 한꺼번에 구현한 변환기도 있다<sup>[3,4,5,6,7]</sup>.

본 논문에서는 휴대용 멀티미디어 기기를 위한 CMOS 전원 관리 회로의 핵심 블록이라 할 수 있는 DC-DC boost 변환기를 설계하였다. 인덕터 및 이에 전류를 인가해 주는 스위칭 트랜지스터는 다양한 펄스 변조 방식을 통하여 구동된다. 일반적으로 변환기의 부하 전류가 큰 경우에는 펄스의 폭을 변조하는 PWM (pulse-width modulation) 방식을 사용한다<sup>[8]</sup>. 이러한 스위칭 동작을 통해서 정확한 출력 전압 값을 구현하기 위해서는 feedback 이 포함되어야 하며, 이에 출력 전압을 감지하거나 또는 인덕터에 흐르는 전류의 양을 감지하는 방식을 사용한다.

인덕터 및 이를 구동하는 스위칭 트랜지스터에 흐르는 출력 전류를 감지하여 feedback 신호로 사용하게 되면 DC-DC 변환기의 타이밍 제어 및 주파수 보상을 간단하게 구현할 수 있게 됨으로써, 칩의 외부 소자 또는 넓은 면적을 요구하는 주파수 보상 회로의 단점을 피할 수 있으며 변환기에서 안정된 동작을 얻을 수 있는 장점이 있다. 일반적인 전류 감지 기법으로는 출력 스위치 트랜지스터와 접지 사이에 직렬로 연결된 작은 저항을 사용하여 전류를 전압으로 변환한 후 이를 이용하여 다음의 필요한 신호 처리를 수행하게 된다. 이러한 방법은 집적회로 상에서 구현 가능한 저항 값의 부정확한

특성에 의해서 정확한 전류를 감지할 수 없을 뿐 아니라 이 저항에서 소비하는 전력이 변환기의 효율을 낮추는 문제점을 발생시킨다. 본 논문에서는 직렬로 연결되는 저항을 사용하지 않고 출력 트랜지스터의 전류를 효율적으로 감지할 수 있는 회로 기법을 사용하여 높은 효율을 갖는 DC-DC 변환기를 설계하였다.

## II. DC-DC Boost 변환기의 동작

외부 인덕터를 이용한 DC-DC boost 변환기에 대한 개념적인 블록도가 그림 1에 나타나 있다. 외부에 연결한 인덕터에 주기적으로 전류를 인가함으로써 출력에서 소비하는 부하 전류를 공급해 줄 수 있으며 출력 전압을 일정하게 유지시킬 수 있다. 주기적인 동작의 duty 비를 조정함으로써 입력 전압 큰 출력 전압의 값을 얻을 수 있다. 본 논문에서는 100mA 이상의 큰 부하 전류를 효율적으로 구동할 수 있는 펄스-폭 변조 방식을 채택하였다.

그림 1 (a)는 DC-DC boost 변환기에 대한 개념적인 블록도를 나타낸다. 배터리 입력단의 전력이 부하 전류를 구동하는 출력단의 전력으로 변환된다. 그림 1 (b)의 인덕터 전류 파형에 나타난 바와 같이  $S_{ON}$  스위치가 켜지는 동안 ( $T_{ON}$ ) 배터리 전압에 비례하는 전류가 외부 인덕터 L에 저장된다. 이 때 출력 전압은 부하 전류에 따른 출력 커패시터 C의 방전에 의하여 감소한다.  $S_{OFF}$  스위치가 켜지는 동안 ( $T_{OFF}$ ) 인덕터에 저장된 전류가 부하 전류를 공급하며 이를 제외한 나머지 전류는 출력 커패시터를 충전시키게 된다. 각각의 스위치가 켜지는 동안의 전체 전류는 일정해야 하므로 정상 상태에서 출력 전압을 구하면

$$V_{OUT} = \frac{1}{1-D} \cdot V_{BAT} = \frac{T}{T-T_{on}} \cdot V_{BAT} = \frac{T}{T_{off}} \cdot V_{BAT} \quad (1)$$

와 같이 얻을 수 있다. 여기서 D는 전체 주기 T에 대한  $T_{ON}$  시간의 duty 비를 나타낸다.

DC-DC 변환기의 효율은 부하에 공급한 전력을 입력 전원에서 소비한 전체 전력으로 나눈 값으로 나타낸다. 부하에 공급한 전력은 입력 배터리 전력에서 변환기의 손실 전력을 제외한 값을 의미한다. 따라서 변환기의 변환 효율을 높이기 위해서는 변환기에서 발생하게 되는 모든 전력 손실을 최소화해야 하는 것이 필수적이다. 변환기에서 발생할 수 있는 전력 손실에는 전도 손실 (conduction loss), 스위칭 손실 (switching loss) 그

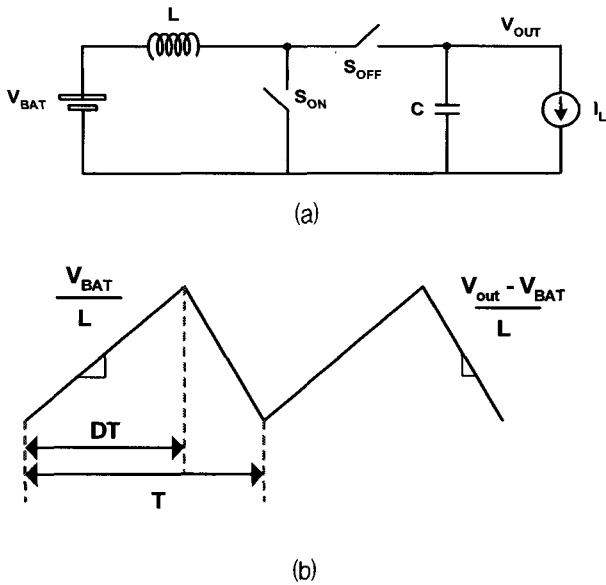


그림 1. DC-DC boost 변환기의 동작 원리  
 (a) 개념적인 블록도  
 (b) 인덕터 전류 파형  
 Fig. 1. Basic operation of a DC-DC boost converter.  
 (a) General block diagram  
 (b) Current waveform through the inductor

리고 고정 손실 (fixed loss) 등이 있다<sup>[4]</sup>. 전도 손실은 부하 전류에 따라 증가 하는 것으로써 입력 배터리에서 출력까지의 제반 저항 성분에 의해 발생하는 손실이다. 이러한 저항 성분에는 인덕터에 전류를 인가하는 스위치의 on-저항, 인덕터의 직류 저항 (DCR, DC Resistance), 출력 캐패시터의 등가 직렬 저항 (ESR, Equivalent Series Resistance), 그리고 기타 하드웨어의 제작에 따라 피할 수 없는 기생 성분 저항 등이 있다. 전도 손실을 줄이기 위해서는 위와 같은 저항 성분들을 최소화해야 하며, 이는 매우 큰 사이즈의 스위치를 사용해야 하며 작은 값의 DCR 및 ESR을 갖는 인덕터와 커패시터를 선택해야 한다. 스위칭 손실은 파워 스위치를 조절하는 클럭 신호의 주파수에 비례하여 증가하는 손실이다. 스위칭 손실을 줄이기 위해서는 낮은 스위칭 주파수를 사용하는 것이 유리하지만 스위칭에 의한 잡음의 간섭이 시스템에 미치는 영향을 줄이기 위해서 시스템에 맞는 적당한 주파수를 선택적으로 사용하여야 한다. 고정 손실은 변환기의 다양한 구성 블록에 필요한 바이어스 전류 및 기타 누설 전류로 인해 발생하는 소비 전력을 의미하며, 이러한 고정 손실을 줄이기 위해서는 저 전력 아날로그 회로의 설계가 요구된다. 전도 손실과 스위칭 손실은 전체 전력 손실에 큰 영향을 주게 되어, DC-DC 변환기의 효율을 결정하게 된다.

### III. 변환기 구조 및 회로 설계

#### 3.1 출력 전력 감지 기법

정확한 출력 전압 값을 얻기 위해서는 변환기 내부에 feedback 동작이 포함되어 있어야 한다. 일반적으로 feedback 시스템에서 출력 전력을 감지하는 기법에는 전압 감지 방법과 전류 감지 방법이 있다<sup>[9,10]</sup>. 그림 2에 이에 대한 개념적인 블록 다이어그램을 나타내었다. 각각의 그림에서 feedback 루프를 포함한 전체 폐쇄-루프 시스템의 전달 함수는 다음과 같이 근사화하여 나타낼 수 있다.

$$H(s) = \frac{V_{OUT}(s)}{V_{REF}(s)} = \frac{H_{ER}(s)H_{FL}(s)}{1 + \beta H_{ER}(s)H_{FL}(s)} \quad (2)$$

여기서,  $H_{ER}(s)$ 는 인덕터 스위칭 동작을 모델링한 전달 함수이며  $H_{FL}(s)$ 는 외부 인덕터와 커패시터로 이루어진 회로를 모델링 한 전달 함수를 나타낸다. 그림 2(a)의 전압 감지 방식의  $H_{FLV}(s)$ 는 다음과 같이 나타낼 수 있으며,

$$H_{FLV}(s) = \frac{1}{1 + (L/R)s + LCs^2} \quad (3)$$

그림 2(b)의 전류 감지 방식의  $H_{FLI}(s)$ 는 다음과 같이 나타낼 수 있다.

$$H_{FLI}(s) = \frac{R}{1 + sRC} \quad (4)$$

전류 감지 방식의  $H_{FLI}(s)$ 의 차수가 1차인 반면 전압 감

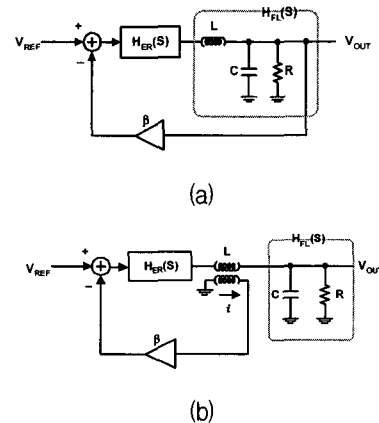


그림 2. 출력 전력 감지 기법.  
 (a) 전압 감지 기법 (b) 전류 감지 기법  
 Fig. 2. Output power sensing methods.  
 (a) Voltage-mode (b) Current-mode

지 방식의 전달 함수  $H_{FLV}(s)$ 의 차수가 2차인 것을 알 수 있다. 따라서 이러한 전달 함수를 포함하는 전체 시스템이 안정적으로 동작하기 위해서는 전류 감지 방식을 사용하여 회로를 설계하는 것이 전압 감지 방식보다 더 용이하다는 것을 알 수 있다.

### 3.2 전류 감지 Boost 변환기의 구조

그림 3에 본 논문에서 설계한 DC-DC 변환기의 전체 블록 다이어그램을 나타내었다. 그림 1(a)에서 표시한  $T_{ON}$  구간에서 켜지는  $S_{ON}$ 과  $T_{OFF}$  구간에서 켜지는  $S_{OFF}$  스위치들은 그림 3에서 각각 NMOS 트랜지스터  $M_N$ 과 PMOS 트랜지스터  $M_P$ 로 구현하였다. 이러한 스위치들은 on-저항을 감소시키기 위하여 크기가 매우 큰 트랜지스터를 사용해야 하며 드라이버 회로에 의하여 구동된다. 스위치를 제어하는 타이밍 조절 회로는 내부에서 생성한 500kHz의 오실레이터를 바탕으로 동작한다.

$T_{ON}$  동안 인덕터에 적분되는 전류는 전류 감지 회로를 통해 전압으로 변환되는데 일정한 배터리 전압을 가정하면 이 신호는 시간에 따라 비례해서 증가하는 램프 형태를 갖는다. 이러한 램프 신호는 내부에서 발생한 에러 신호와 비교되어 스위치를 구동하는 펄스의 duty 비를 결정하게 된다. 설계한 변환기에서는 일정한 주파수를 갖는 클럭 신호를 사용하므로 이러한 방식은 펄스의 폭을 변조하는 PWM을 구현하는 것이며 부하 전류가 큰 응용에 적합하다<sup>[11]</sup>. 정확한 출력 전압 값을 얻음과 동시에 입력 및 부하 조건의 변화, 회로 내부 소자의 특성 변화들에 대해서 일정한 출력 전압을 얻기 위해서 변환기에 feedback을 포함해야 한다. 그림 3에 나타난 바와 같이 출력 전압을  $R_1, R_2$  저항비로 나눈 feedback 신호를 내부에서 발생한 기준 전압과 비교하여 에러 신호를 만들어 주고 이 신호가 타이밍 조절 회로에 사용됨으로써 정확하고 안정된 출력 전압 값을 얻을 수 있다.

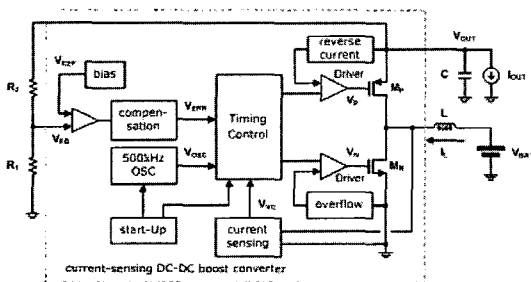


그림 3. 전류 감지 DC-DC 변환기의 블록도  
Fig. 3. Block diagram of the DC-DC converter using a current sensing feedback method.

Boost 변환기의 모든 하위블록들은 변환된 출력 전압을 이용하여 구동하게 되므로, 최초 배터리 전압 인가 후 내부 블록들이 정상적으로 동작할 수 있도록 출력 전압을 일정 수준까지 올려주는 start-up 회로가 필요하게 된다. 또한 인덕터에 과전류가 흐르는 경우 이를 감지하여  $T_{ON}$  시간의 NMOS 스위치를 구동하지 못하게 하는 과전류 방지 회로가 포함된다. 부하 전류가 작은 경우 주파수가 일정한 PWM 변환기는 시간에 대하여 비연속적인 동작을 수행하게 되며 이러한 경우 인덕터의 전류가 반대 방향으로 흐를 가능성이 있으므로 이를 방지하는 회로도 포함된다.

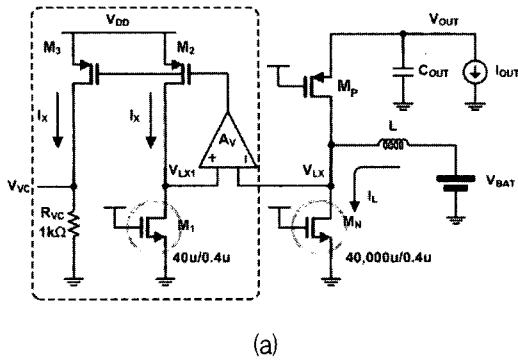
### 3.3 전류 복사 회로

전류 감지 DC-DC 변환기에서 인덕터에 흐르는 전류를 감지하는 가장 용이한 방법은 전류가 흐르는 패스에 직렬로 감지 저항을 연결하여 전류를 전압으로 변환한 후 이 신호를 추후의 신호 처리에 사용하는 것이다. 감지 저항의 크기가 크게 되면 저항에 의한 전도 손실이 커져서 변환기의 효율이 떨어지게 되고, 너무 작으면 감지된 전압 값을 처리하기가 어려워진다. 따라서 감지 저항을 사용하는 방법은 신중하게 저항 값을 결정해야 하는 어려움이 있다.

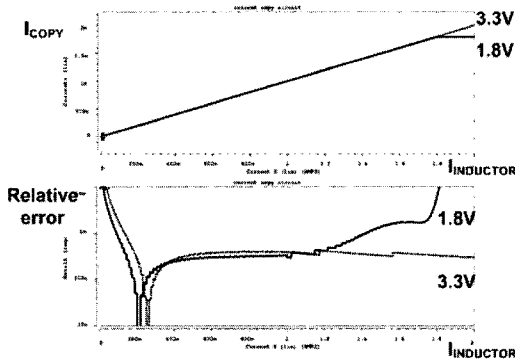
위와 같은 문제를 해결하기 위하여 본 논문에서는 연산 증폭기를 사용하여 인덕터를 통해 흐르는 전류를 일정 비율로 복사한 후 복사된 전류를 저항을 통하여 전압으로 변환하는 감지 방법을 채택 하였다. 그림 4 (a)에는 설계된 전류 복사 회로의 구조를 나타내었다. 전류 복사 회로는 그림에 나타낸 바와 같이  $M_N$ 의 출력 스위치에 흐르는 전류를  $M_1$ 의 감지 트랜지스터로 정확하게 복사할 수 있다. 두 트랜지스터가 선형 영역에서 동작하며 동일한 전압으로 게이트 단자가 구동되기 때문에 드레인 전압이 같다면 동일한 전류가 흐르게 된다. 그림에서 알 수 있는 바와 같이 연산 증폭기를 사용한 negative feedback 회로에 의하여 두 트랜지스터의 드레인 전압 ( $V_{LX}, V_{LX1}$ )을 동일하게 유지할 수 있다. 이 때  $M_1$  트랜지스터에 흐르는 복사된 전류  $I_X$ 는

$$I_X = \frac{(W/L)M_1}{(W/L)M_N} I_L \tag{5}$$

와 같이 나타내어진다. 따라서 복사되어지는 전류의 양은  $M_1$ 과  $M_N$  트랜지스터의 비율에 의해 결정된다. 본 논문에서는 복사 회로의 전류 손실과 전류 복사의 정확성 사이에서 이 비율을 1000으로 결정하였다. 복사된



(a)



(b)

그림 4. 전류 복사 회로  
(a) 회로 (b) 모의 실험 결과

Fig. 4. Current-copy circuit.  
(a) Schematic (b) Simulation results

전류  $I_X$ 는  $M_2$  및  $M_3$ 로 구성된 전류 미러 회로에 의해 다시 복사되며  $1k\Omega$ 의  $R_{vc}$ 의 감지 저항을 통하여 감지 전압  $V_{vc}$ 를 만들어 낸다. 이렇게 만들어진  $V_{vc}$ 는 feedback 된 기준 전압과 비교 되어 출력트랜지스터 ( $M_N, M_P$ )를 동작시키는 클럭 펄스 신호를 결정하는 데 사용된다. 사용된 연산 증폭기는 PMOS 트랜지스터 차동 증폭기 단으로 구성된 폴드드-캐스코드 연산 증폭기 구조이며 정확한 전류 감지를 위하여 매우 큰 전압 이득 (70dB 이상) 특성을 갖는다. 그림 4 (b)에 나타난 바와 같이 모의 실험 결과로부터 1000:1로 복사된 전류는 3.3V 출력 전압 아래서 동작하는 경우 2A의 전체 전류 동작 범위에서 0.1% 이내의 에러를 발생하며 1.8V 출력 전압 아래서 동작하는 경우 1.8A의 전류까지 1% 이내의 에러를 발생한다. 정확한 전류 복사 회로를 구현하기 위해서는  $M_1$ 과  $M_N$  트랜지스터 사이의 부정합을 줄이기 위한 신중한 레이아웃이 필요하다.

전체 DC-DC 변환기에 대한 모의 실험 결과 파형을 그림 5에 나타내었다. 인덕터에서 적분되는 전류를 감지하여 복사한 신호  $V_{vc}$ 는 주기적인 램프 파형의 형태

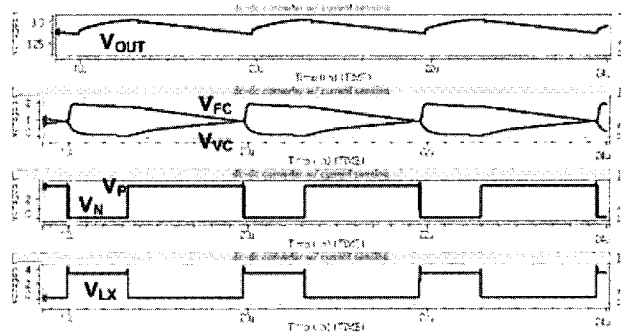


그림 5. DC-DC 변환기의 모의 실험 결과 파형  
Fig. 5. Simulation waveform of the designed DC-DC converter.

를 갖는다. 이 신호는 출력 전압을 feedback 하여 발생 시킨 에러 신호  $V_{ERR}$ 와 비교되어 클럭의 duty 비를 결정하게 된다. 전류 감지 DC-DC 변환기의 경우 클럭의 duty 비가 50%를 넘게 되면 잡음에 대하여 매우 취약한 문제가 발생하게 된다. 이를 보상하기 위하여 그림 5에서 알 수 있는 바와 같이 일정한  $V_{ERR}$  신호를 사용하는 대신에 주기적으로 그 크기가 감소하는 신호 ( $V_{FC}$ )를 사용함으로써 변환기 전체의 전달 함수의 이득을 줄임으로써 안정적인 동작을 보장 받을 수 있다. 이렇게 발생한 클럭 신호는 각각의 구동 회로를 거쳐 출력 트랜지스터를 구동하게 된다. ( $V_N, V_P$ )

#### IV. 하드웨어 구현 및 측정 결과

본 논문의 전류 감지 DC-DC 변환기 회로는 0.18- $\mu m$  CMOS 공정을 사용하여 제작되었다. 3.3V의 전압을 다루기 위하여 thick-gate oxide 트랜지스터를 사용하였다. 그림 6에는 설계된 DC-DC 변환기의 칩 사진을 나타내었으며, 칩의 전체 면적은  $1.9 \times 1.1 mm^2$ 이다. NMOS 트랜지스터 및 PMOS 트랜지스터의 크기는 각각  $40,000\mu m / 0.4\mu m$ ,  $80,000\mu m / 0.3\mu m$ 와 같다. 이러한 두개의 트랜지스터들은 변환기의 ON/OFF 구간에서 개별적으로 동작하므로, 트랜지스터의 크기를 결정할 때 트랜지스터 사이의 정확한 정합 특성 보다는 각 트랜지스터의 on-저항이 전도 손실에 미치는 영향을 고려하였다. 그림에 나타난 바와 같이 NMOS와 PMOS의 출력 스위치는 내부 패드 사이에 위치시켜서 신호의 연결로 인해서 발생할 수 있는 인터커넥션의 기생 저항을 최소화 하였다. 또한 각각의 패드는 삼중의 본딩 와이어를 사용하여 스위치에서 보이는 기생 저항의 크기를 최소화할 수 있도록 하였다.

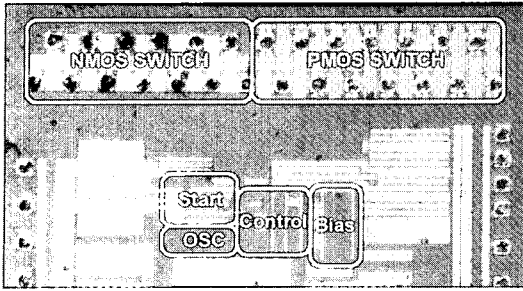
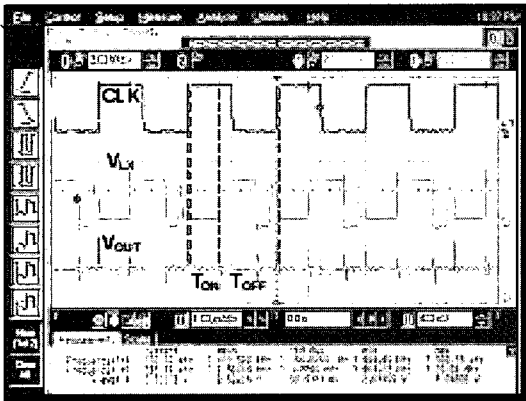
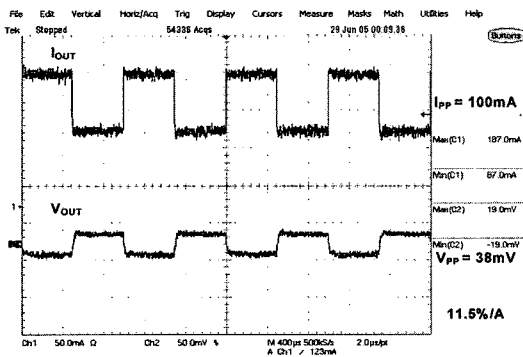


그림 6. 제작된 회로의 칩 사진  
Fig. 6. Die photo of the fabricated chip.



(a)



(b)

그림 7. 측정 결과  
(a) 3.3V 출력 전압의 파형  
(b) Load regulation  
Fig. 7. Experimental results.  
(a) Waveform of the output voltage of 3.3V  
(b) Load regulation

그림 7은 DC-DC 변환기의 측정 결과를 나타낸다. 그림 7(a)는 500kHz의 클럭에 대해서 동작하는 변환기의 노드 전압 파형들을 나타낸다. 그림 7(b)는 부하의 전류가 변경되었을 때 변환기의 응답을 나타내는 load regulation에 대한 결과를 나타낸다. 그림에서 알 수 있는 바와 같이 100mA의 부하 전류 변화에 대하여 출력 전압은 1.15%의 변화를 보인다.

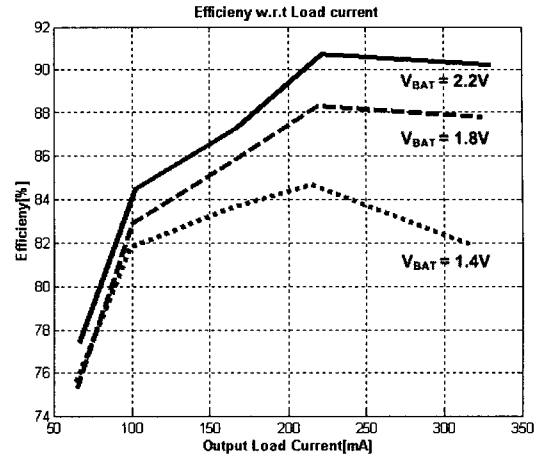


그림 8. 각 입력 전압에 따른 효율 측정 결과  
Fig. 8. Efficiency with respect to the input voltage.

표 1. DC-DC 변환기의 성능 요약  
Table 1. Performance summary of the designed DC-DC converter.

사양	측정 결과
효율	Max. 90.7%
스위칭 주파수	500kHz
입력 전압 범위	0.8 - 2.4V
출력 전압 범위	1.8 - 3.3V
부하 전류	< 500mA
면적	1.9 X 1.1 mm <sup>2</sup>
공정	0.18-um CMOS process

그림 8은 1.4V, 1.8V, 2.2V 입력 일 때의 부하 전류에 따른 효율의 측정 결과를 나타낸 것이다. 이 결과로부터 100mA 이상의 부하 조건에서 82% 이상의 변환 효율을 나타내는 것을 알 수 있다. 본 논문에서 설계된 변환기는 200mA 이상의 큰 부하 조건에 맞추어 설계하였으며, 입력이 2.2V일 때 최대 90.7%의 높은 변환 효율을 나타낸다. 출력 전압은 외부의 feedback 저항에 의하여 1.8V에서 3.3V까지 변화 될 수 있다. 표 1에 설계된 DC-DC boost 변환기의 전체 성능을 요약 정리 하였다.

V. 결 론

본 논문에서는 칩의 외부 소자나 큰 면적을 요구하는 보상 회로 없이 안정적으로 동작하는 전류 감지 방식을 사용한 DC-DC boost 변환기의 설계에 대하여 설명하

였다. 효율적인 전류를 감지하기 위한 전류 복사 회로를 채택하였다. 제안된 변환기는 큰 부하 조건에 적합한 PWM 방식을 사용하였으며 정확하고 일정한 출력을 얻기 위하여 출력 전압을 추가로 사용하였다. DC-DC 변환기는 CMOS 0.18-um 공정으로 제작 되었으며 최대 90.7%의 변환 효율을 나타낸다.

Fundamentals of power electronics, 2nd ed., Kluwer Academic, 2002.

### 참 고 문 헌

- [1] 이균렬, 김대준, 유창식, "System-On-Glass를 위한 Poly-Si TFT 소 면적 DC-DC 변환회로," 대한전자공학회지, 제42권, SD편, 제2호, pp. 1-8, 2005.
- [2] A. P. Dancy and A. P. Chadrasakan, "Ultra low power control circuits for PWM converters," IEEE Power Electronics Specialists Conf., vol. 1, pp. 21-27, Jun. 1997.
- [3] 이신우, 임신일 "3-상 클럭을 이용한 UP/DOWN DC/DC 변환기의 설계" 대한전자공학회 하계종합 학술대회 논문집 pp.891-894 June 2003.
- [4] B. Arbetter, R. Erickson and D. Maksimovic, "DC-DC converter design for battery-operated systems," IEEE Power Electronics Specialists Conf., vol. 1, pp. 103-109, Jun. 1995.
- [5] D. Ma, W. H. Ki and C. Y. Tsui, "An integrated one-cycle control buck converter with adaptive output and dual loops for output error correction," IEEE J. Solid-State Circuits, vol. 39, pp. 140-149, Jan. 2004.
- [6] B. Sahu and G. A. Rincon-Mora, "A low voltage, dynamic, noninverting, synchronous buck-boost converter for portable applications," IEEE Trans. Power Electron., vol. 19, pp. 443-452, Mar. 2004.
- [7] 김윤서, 양오, "DSP를 이용한 강압형 DC-DC 컨버터의 원격제어," 대한전자공학회 논문지, 제40권, SC편, 제3호, pp. 116-122, 2003.
- [8] 홍완기, 김기태, 김인석, 노정진, "DC-DC 컨버터를 위한 디지털 방식의 컨트롤러 회로," 대한전자공학회 논문지, 제42권, SD편, 제10호, pp. 39-46, 2005.
- [9] C. F. Lee and P. K. T. Mok, "A monolithic current-mode CMOS DC-DC converter with on-chip current-sensing technique," IEEE J. Solid-State Circuits, vol. 39, pp. 3-14, Jan. 2004.
- [10] P. Li and B. Lehman, "A design method for paralleling current mode controlled DC-DC converters," IEEE Trans. Power Electron., vol. 19, pp. 748-756, May 2004.
- [11] R. W. Erickson and D. Maksimovic,

저 자 소 개



정 경 수(정회원)  
 2004년 서울시립대학교 전자전기  
 컴퓨터공학부 학사 졸업.  
 2006년 서울시립대학교 전자전기  
 컴퓨터공학부 석사 졸업.  
 2006년~현재 Integrant

<주관심분야 : 고속 pipelined ADC, DC-DC  
 converter 회로 설계>



양 희 관(학생회원)  
 2001년 서울시립대학교 전자전기  
 컴퓨터공학부 학사 졸업.  
 2001년~2004년 삼성전자  
 2005년~현재 서울시립대학교  
 전자전기컴퓨터공학부  
 석사과정

<주관심분야 : 고해상도 ADC, 고속 sigma-delta  
 modulator 회로 설계>



차 상 현(학생회원)  
 2005년 서울시립대학교 전자전기  
 컴퓨터공학부 학사 졸업.  
 2005년~현재 서울시립대학교  
 전자전기컴퓨터공학부  
 석사과정

<주관심분야 : Active-RC filter, 고해상도 ADC>



임 진 업(정회원)  
 1999년 서울시립대학교  
 반도체공학과 학사 졸업.  
 2001년 서울시립대학교 전자전기  
 공학부 석사 졸업.  
 2001년~2002년 GCT Semiconductor  
 2003년~현재 서울시립대학교  
 전자전기컴퓨터공학부  
 박사과정

<주관심분야 : DC-DC converter, 고성능  
 sigma-delta modulator 회로 설계>



최 중 호(평생회원)  
 1987년 서울대학교  
 전자공학과 학사 졸업.  
 1989년 서울대학교  
 전자공학과 석사 졸업.  
 1993년 미국 Univ. of Southern  
 California 전기공학 박사  
 졸업

1993년~1996년 IBM T. J. Watson Research  
 Center 연구원  
 1996년~현재 서울시립대학교 전자전기컴퓨터  
 공학부 교수  
 <주관심분야 : 혼성-신호 집적회로 설계>