

# 저가형 CSTN-LCD 동영상 프로세서 설계

김용범<sup>†</sup>, 최명렬<sup>††</sup>

## 요 약

본 논문에서는 저가형 CSTN-LCD(Color Super-Twisted Nematic Liquid Crystal Display)에 사용하는 동영상 프로세서를 제안한다. 제안된 프로세서는 SFP(SubFrame Pattern) 기법을 적용하여 제조 확장을 할 뿐 아니라 플리커(flicker)현상을 제거하였고 BFI(Black Field Insertion) 기법을 적용하여 액정의 응답시간을 보상하였다. 그리고 화질 향상을 위한 에지 강조 기법과 보간기법을 적용하였다. 하드웨어 구조는 FPGA 프로토타입 보드를 사용하여 검증하였다. 제안된 동영상 프로세서는 PDA(Personal Digital Assistants), 모바일 폰과 PMP(Portable Multimedia Player) 등에 사용되어 질 수 있다.

## Implementation of Motion Picture Processor for Low-cost CSTN-LCD

Yong-Bum Kim<sup>†</sup>, Myung-Ryul Choi<sup>††</sup>

## ABSTRACT

In this paper, we proposed a motion picture processor for using low-cost color super twisted nematic liquid crystal display(CSTN-LCD). The proposed processor apply a new driving scheme using SFP (Subgroup Frame Pattern), so we extends gray scale and eliminates flicker phenomenon. In addition, we apply the BFI (Black Field Insertion) to the design compensated for response time of a LC (Liquid Crystal). We use an edge enhancement and interpolation method to improve image quality of motion picture. The hardware architecture of proposed processor has been implemented and verified on a prototype FPGA board. The proposed method can be used in the display devices such as PDA(Personal Digital Assistants), mobile phone, and PMP(Portable Multimedia Player).

**Key words:** Motion Picture(동영상), Driving Method(구동 방법), Image Enhancement(이미지 향상), Interpolation Method(보간 방법), CSTN-LCD

## 1. 서 론

IT 기술의 발전은 동영상과 MP3 기술을 내장한 휴대용 제품 시장을 성장시키고 있다. 휴대용 제품의 디스플레이 장치로 CSTN(Color Super Twisted Nematic)과 TFT-LCD (Thin Film Transistor Liquid Crystal Display)를 주로 사용한다.

CSTN-LCD는 TFT-LCD와 비교하여 단순한 드라이버 IC를 사용하고 구동방법과 낮은 공정 비용의

장점을 가지고 있다. 하지만 현재 CSTN-LCD는 긴 액정 응답 시간과 수동 디스플레이 방식 때문에 동영상을 디스플레이하기에는 부적합하다. CSTN-LCD 시스템이 IAPT(Improved Alt Pleshko Technique)방법을 사용하여 구동될 때 프레임 응답현상에 의하여 콘트라스트가 감소한다[1,2]. 일반적으로 STN-LCD의 해상도가 증가한 경우, 한 라인을 선택하는데 걸리는 주기가 길어지게 되어 프레임 응답 현상은 보다 분명해진다. 이 방법은 동영상 구현을 위하여 프레임

※ 교신저자(Corresponding Author): 김용범, 주소: 경기도 안산시 상록구 사1동 한양대학교 창업보육센터 405호 (426-791), 전화: 031)400-4036, FAX: 031)400-3889, E-mail: falcon20@asic.hanyang.ac.kr

접수일: 2005년 11월 24일, 완료일: 2006년 4월 25일

<sup>†</sup> 삼성전자 LCD총괄 개발실 연구원

<sup>††</sup> 정희원, 한양대학교 전자컴퓨터공학부 교수

(E-mail: choimy@asic.hanyang.ac.kr)

주파수를 증가시킴으로써 한 라인을 선택하는데 걸리는 주기를 짧게 하는 방법이다. 그러나 한 라인을 선택하는 시간이 짧아지기 때문에 충전율이 적어지고 LCD 패널은 응답 할 수 없게 된다[3]. AA(Active Addressing) 구동과 MLA(Multiple Line Selection) 구동 방법은 이러한 문제점의 해결을 위해 제안되었다. 이러한 두개의 구동 방법의 단점은 Column 전압 단계 수를 증가시키는 것이다. 예를 들면, 동시에 선택되는 라인의 수가 N일 때 (N+1)의 Column 전압 단계가 필요하게 된다. 그러므로 동시에 모든 라인을 구동하는 AA 구동은 실제로 사용되지 않으나 동시에 4개 라인을 구동하는 MLA 구동은 현재 셀룰러 폰 시장에서 사용된다.

본 논문에서는 CSTN LCD에서 고화질 동영상 디스플레이를 위한 새로운 구동 방법을 제안한다. 플리커(flicker) 현상을 제거하기 위해 SFP(SubFrame Pattern) 방법을 제안하고 액정의 응답 시간을 보상하기 위해 BFI(Black Field Insertion)을 적용하였다. 또한 고화질 이미지를 얻기 위해 예지 강조기법과 보간기법을 적용하였다. 본 논문은 다음으로 2장에서 기존 CSTN LCD 구동 방법을 소개하고 3장에서는 제안한 프로세서를 자세히 설명하고 4장에서는 FPGA 디바이스를 기반으로 제안된 시스템 구조와 검증 결과를 보여주었다. 마지막으로 5장은 결론으로 이루어져 있다.

## 2. 기존의 구동 방법

일반적인 LCD 구동 시스템은 라인 어드레스 구동 방법을 적용한다. 구동방법은 RMS (Root Mean Square)전압을 이용한다. 이 장에서는 CSTN-LCD를 위한 기존의 구동 방법을 설명한다.

### 2.1 IAPT(Improved Alt Pleshko Technique) 방법

IAPT 방법은 평균화법 구동법이라 불린다. 회로 전압은 홀수 프레임에서 양의 주사 전압(+Vs)이 걸리고, 짝수 프레임에서는 음의 주사 전압(-Vs)이 걸린다. Column 전압은 픽셀 전압(Vp)의 크기와 같다. 그러므로 Vp가 선택된 픽셀 전압이라면 주사선 전압은 반대 극성 전압이 공급 되어지고 그렇지 않다면 같은 극성 전압이 공급되어진다. 구동방법은 식(1)에 정의된 RMS 전압에 동작한다.

$$V_{rms}^2 = \frac{1}{T} \int_0^T (v_s(t) - v_c(t))^2 dt \quad (1)$$

여기서 T는 프레임 시간, Vs는 주사 전압, Vc는 Column 전압이다.

### 2.2 MLS(Multiple Line Selection) 방법

MLS 방법은 IAPT 방법의 단점을 보완하기 위하여 Column 라인의 수를 줄이고 구동 시스템은 몇 개의 라인을 동시에 구동한다. 이 방법은 이미지와 선택된 라인의 XOR (exclusive-OR) 연산을 사용함으로써 동작 되어진다. 드라이버 회로에는 프레임 메모리와 제어 회로가 필요하다[4,5].

### 2.3 AA(Active Addressing) 방법

AA 방법은 고화질의 동영상을 구현하기 위한 구동법의 개발로 1994년 SID에 발표된 Active Addressing 방식이 처음으로 제안되었다[6]. 이 방법은 row라인 scan 전압과 column 라인에 인가하는 전압의 직교 함수로 얻어진다. 그러므로 이 방법은 많은 전압 단계와 처리 회로 때문에 보다 복잡한 회로를 필요로 한다. LCD는 픽셀전압(Vp)의 RMS 전압에 동작하며 식(2)으로 나타낸다.

$$V_{rms}(i, j) = \frac{1}{\sqrt{T}} \sqrt{\int_0^T (V_{s_i}(t) - V_{c_j})^2 dt} \quad (2)$$

### 2.4 그레이 표현(Grey Shading) 방법

일반적인 방법의 그레이 표현은 FRC(Frame Rate Control)에 의해 구현되어진다. 이 방법은 중간계조를 표현하기 위해 몇 개의 프레임을 사용하며, Black과 White 상태를 사용하여 중간 계조를 표현한다. 그레이 표현은 식(3)으로 표현되어진다.

$$V_{FRC} = \sqrt{\frac{f(V_{pon})^2 + (N-f)(V_{poff})^2}{N}} \quad (3)$$

여기서 f는 이미지 중간 계조의 십진수, N은 프레임의 수, Vpon은 화소 Turn-on 전압 이고 Vpoff는 화소 Turn-off 전압을 나타낸다. 그러나 FRC 방법은 인접한 화소가 동시에 On/ Off 될 때 플리커 현상이 발생된다.

PWM(Pulse Width Modulation)은 식(4)를 사용하여 Column 신호의 진폭변조로 나타낸다[7].

$$V_{PWM} = \sqrt{f(V_{p_{on}})^2 + (1-f)(V_{p_{off}})^2} \quad (4)$$

여기서  $V_{pon}$ 은 시간  $f$  ( $f \in [0,1]$ ) 동안에 화소 Turn-on의 전압이고,  $V_{poff}$ 는 시간  $(1-f)$  동안에 화소 Turn-off의 전압이다.

### 3. 제안된 방법

본 논문에서는 저가형 CSTN-LCD에 사용할 동영상 프로세서를 제안한다. 플리커 현상을 감소시키기 위해 제안된 프로세서는 새로운 구동 방법인 SFP(SubFrame Pattern)를 제안한다. 또한 액정의 응답시간을 보상하기 위해 BFI을 회로에 적용한다. 이미지와 동영상 화질을 향상시키기 위해 에지강조 기법과 보간기법을 사용한다. 제안된 프로세서는 동기신호 검출부(Sync Detector), 이미지 압축블록(Image Bit Compression), 프레임 응답 보상 블록(frame Response Compensator), 계조 표현 블록(Gray Scaler), CSTN Timing Generator와 Memory Controller로 구성된다. 프로세서의 구조는 그림 1에 보여진다.

### 3.2 동기 검출 블록 (Sync Detector Block)

디지털 TV 와 PC 디스플레이 시스템은 VESA 타이밍 표준 형식에 따라 영상을 표시한다. 영상은 Vsync(Vertical Sync Timing)과 Hsync(Horizontal Sync Timing)으로 구성된다. 수직 동기 신호(Vsync)는 영상의 첫 번째 시작신호를 나타내고, Sync 검출기는 Sync 시작을 검출한다. 검출된 신호는 Controller 블록에 제어신호로 사용된다. 그림 3에 메모리 타이밍 파형을 나타낸다.

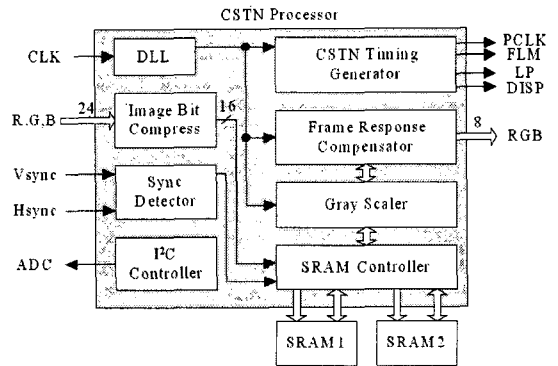


그림 1. 제안된 프로세서의 구조

### 3.1 IBC(Image Bit Compression) 블록

LCD 시스템의 출력은 RGB(8:8:8 비트) 컬러 시스템을 사용한다. 시스템은 메모리 생산 제품이 16비트의 데이터 IO핀을 가지기 때문에 효율적인 메모리 관리를 수행하기 위한 압축 기술이 필요하다. 적용된 압축함수는 Sigmoid 형태를 사용하여 입력 데이터 압축을 하였다. 이 함수는 RGB 입력 형식(8:8:8 비트)을 RGB 출력 형식(5:6:5 비트)으로 변환한다. 그림 2는 IBC(Image Bit Compression) 함수를 나타낸다.

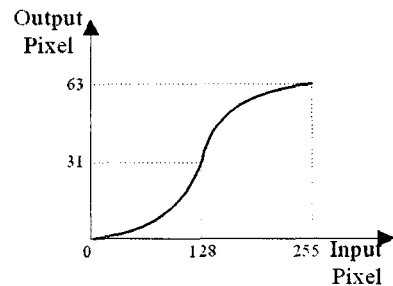


그림 2. Sigmoid 형태를 기초한 IBC함수

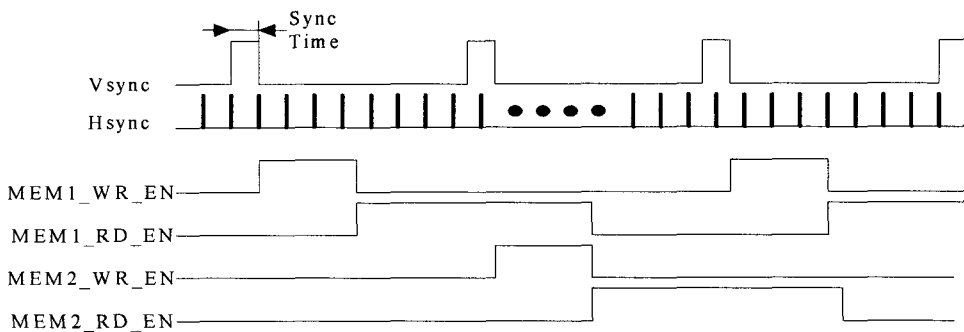


그림 3. 메모리 타이밍 제어기의 파형 형태

3.3 SRAM 제어 블록

SRAM 컨트롤러는 Sync 검출기의 출력 신호에 동기화 되어져있다. 그러므로 활성화 신호가 High (Logic '1') 일 때 컨트롤러는 메모리 읽기/쓰기 기능을 수행한다. 메모리 컨트롤러의 기능은 입력 데이터와 드라이브 IC의 동기화 시키는 것이다. 사용된 메모리는 40KB을 사용하였다.

3.4 FRC(Frame Response Compensator) 블록

FRC는 보간 블록과 BFI 블록으로 구성된다. 보간 기법은 이미지 확대와 디인터레이싱(De-interlacing)와 같은 이미지 처리 기법에 주요하게 사용되어지며 [8-10], 실시간 처리를 위하여 보다 낮은 복잡성을 가지는 FOI(First Order Interpolation)을 적용한다 [11,12]. FRC 블록은 그림 4와 같이 구성되며, 적용된 FOI 기법은 그림 5에 나타낸다.

그림 5에 따라서, FOI 알고리즘은 다음 식(5)와 같이 정의 된다.

$$y(n) = \frac{1}{2} \times x(i, j, n-1) + \frac{1}{2} \times x(i, j, n+1) \quad (5)$$

여기에서  $y(n)$ 는 (n-1)번째 와 (n+1)번째 프레임에서 보간 처리된 라인의 화소 값이다.

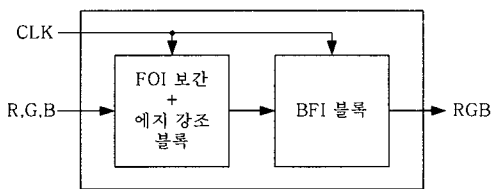


그림 4. FRC 블록의 구조

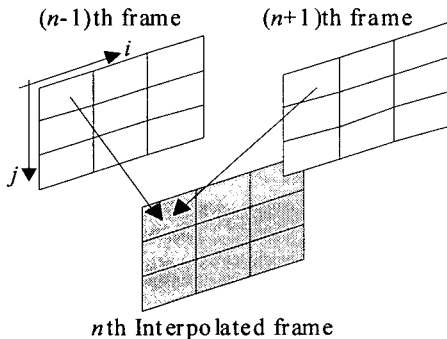


그림 5. FOI 원리

식(6)은  $z$  변환에 사용되는 전달 함수를 나타낸다.

$$H(z) = \frac{Y(z)}{X(z)} = \frac{z+z^{-1}}{2} \quad (6)$$

FOI 알고리즘은 이전 프레임과 현재 프레임을 사용하여 픽셀 값을 보간한다. 대부분의 영상에서 좋은 성능을 가진다. 그러나 이 방법은 픽셀의 평균값을 사용하므로 이미지가 흐려지는 단점이 있다.

FOI 보간법을 사용하였을 때 이미지가 흐려지는 문제점을 해결하기 위해 에지 강조 기법을 사용하였다. 에지 강조 방법은 고주파 성분값을 원래 화소값에 더하여 화소의 에지를 강조하는 방법이다. 식(7)은 관련 수식을 나타내며, 제안된 구조는 그림 6에 나타내었다.

$$X(n)_{out} = X(n) + [X(n) - \{X(n) \times 0.5 + 0.25 \times X(n-1) + 0.25 \times X(n+1)\}] \quad (7)$$

일반적인 액정의 상승 응답 시간( $T_r$ )과 하강 응답 시간( $T_d$ )은 아래 식(8)에 각각 나타낸다[13]. 응답 시간은 상승 시간의 경우 입력 드라이버 전압에 의존하나 하강 시간은 입력 드라이버 전압에 의존하지 않는다.

$$T_r = \frac{nd^2}{(\Delta\epsilon V^2 - k\pi^2)}, T_d = \frac{nd^2}{k\pi^2} \quad (8)$$

여기서  $n$ 은 twist viscosity,  $d$ 는 셀 간격,  $e$ 는 전도 상수 이고  $V$ 는 입력 드라이버 전압이다.

동영상 구현이 가능하도록 BFI 방법을 사용하여 액정의 응답 시간을 보상한다. BFI 방법은 정상적인 프레임 사이에 홀수 라인과 짝수 라인에 Black Line이 삽입된 프레임을 번갈아 삽입하여 액정의 응답 시간을 보상한다. 그림 7은 정상적인 프레임(Frame#1, Frame#3) 사이에 홀수 라인에 Black Line이 삽입된 프레임(Frame#2)과 짝수 라인에 Black Line이 삽입된 프레임(Frame#4)을 나타낸다. 시뮬레이션을 통해 이전 방법과 비교하여 충분한 액정의 응답 시간을 얻었다.

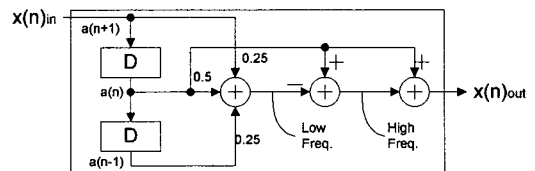
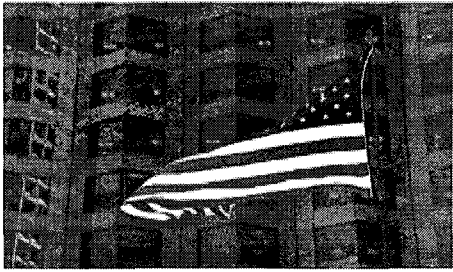
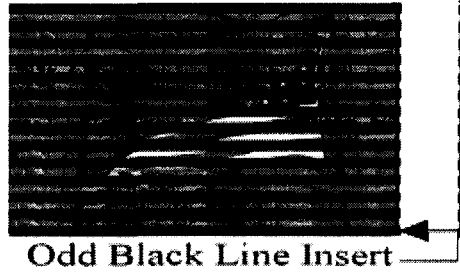


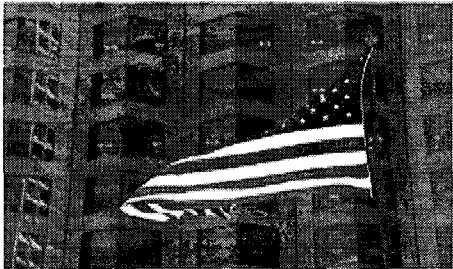
그림 6. 제안한 에지 강조 알고리즘의 구조



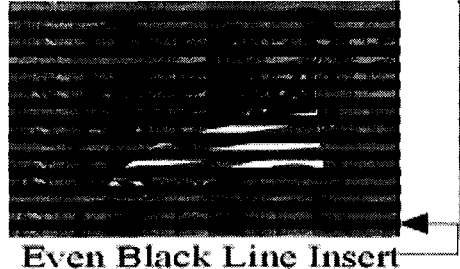
(a) frame #1



(b) frame #2 (odd BFI)



(c) frame #3



(d) frame #4 (even BFI)

그림 7. 액정의 응답 시간을 보상하기 위해 적용한 이미지의 예:

### 3.5 계조 표현 블록(Grey Scaler) 블록

Grey scaler 블록은 그림 8과 같이 SFP(Subframe Pattern) 기법과 디더링(Dithering)을 사용하여 계조 표현을 하고 풀리커를 줄였다.

그림 9은 계조가 4비트로 표현될 때 SFP들의 파형이다.

SFP들은 각각 다른 Duty ratio를 가지고 있다. SFP1=15:1, SFP2=14:2, SFP3=12:4, and SFP4=8:8.

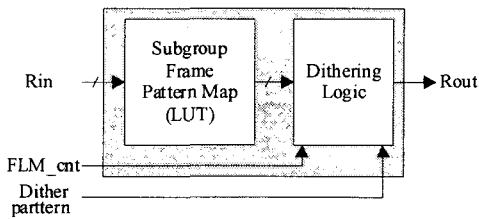


그림 8. Grey Scaler 의 구조

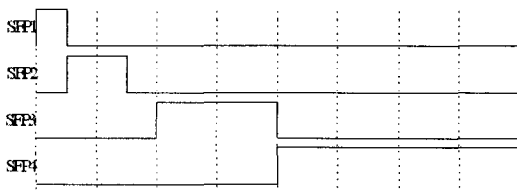


그림 9. Subframe Pattern 들의 파형

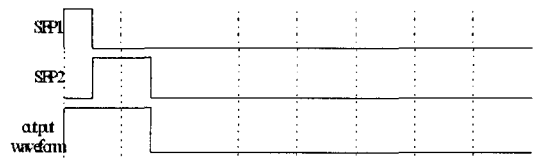


그림 10. Subframe 기법의 3 계조 표현

예로 Full grey 16계조에서 계조 3을 표현하려면 그림 10와 같이 SFP1과 SFP2를 이용하여 표현한다.

### 3.6 CSTN 타이밍 생성 블록

CSTN 타이밍 생성 블록은 CSTN-LCD 드라이버 IC 제어를 위한 신호를 생성한다. 드라이버 IC에서 FLM(First Line Mark)은 이미지의 첫 번째 신호를 나타내고 LP(Line Pulse)신호는 첫 번째 라인의 시작을 나타낸다. 시스템 CLK에 의해 만들어진 픽셀 클럭(PCLK)은 드라이버 회로에서 동기화 신호로 사용된다. 액정 셀과 드라이버 IC의 보호를 위해 DISP (Display Control)신호가 사용된다.

## 4. 구현 및 검증

제안된 프로세서는 VHDL을 이용하여 코딩하였고, FPGA 디바이스를 이용하여 합성하였다. 제안된

시스템의 검증 보드는 ADC, FPGA, 메모리, 출력 버퍼로 구성된다. 표 1은 CSTN 프로세서를 구현하기 위해 사용한 FPGA의 Hardware resource를 각 기능 블록별로 나타냈고, 표 2는 제안된 동영상 CSTN LCD 프로세서의 성능을 나타낸다.

그림 11은 프로토타입 보드를 나타낸다. 성능을 검증하기 위해 기존 방법을 사용한 영상과 제안된 방법을 사용한 영상을 비교하였다. 표 3은 CSTN-LCD 프로세서 성능 비교를 위해 사용되는 TFT-LCD 패널과 CSTN-LCD 패널의 성능을 나타낸다. 그림 12은 TFT-LCD와 CSTN-LCD에 구현된 정지영상을 비교한 것으로, 검증 결과 제안된 알고리즘을 사용하면 저가형 CSTN-LCD에서도 TFT-LCD와 같은 화질의 정지영상을 볼 수 있다. 그림 13은 TFT-LCD와 CSTN-LCD에서 구현된 동영상을 나타낸다. 제안된 CSTN-LCD 프로세서는 BFI 방법과 SFP 방법을 통해 응답속도를 개선하여 동영상에서 생기는 움직임 열화(Motion Blur) 현상을 제거하고, 기존의 CSTN-LCD에서 동영상 구현을 어렵게 하였던 플리커 현상을 제거하여 동영상 구현이 가능하도록 하였다.

표 1. FPGA hardware resource computation

|                            | Slice | Flip-flop | 4-input LUT | Max Frequency (MHz) |
|----------------------------|-------|-----------|-------------|---------------------|
| Image Bit Compress         | 24    | 23        | 35          | 109.83              |
| Sync Detector              | 123   | 143       | 197         | 105.44              |
| I2C Controller             | 55    | 28        | 106         | 111.98              |
| CSTN Timing Controller     | 36    | 36        | 57          | 143.678             |
| Frame Response Compensator | 57    | 70        | 68          | 98.814              |
| Gray Scaler                | 50    | 65        | 65          | 103.15              |
| SRAM Controller            | 107   | 145       | 133         | 90.383              |

표 2. 제안된 동영상 CSTN-LCD 프로세서의 성능

| Parameter         | Spec.         |
|-------------------|---------------|
| Max freq.         | 88.325 MHz    |
| Power consumption | 2 mW          |
| Color depths      | 65K color     |
| Resolution        | QVGA(320×240) |
| Frame per sec     | 15~30 FPS     |
| Supply voltage    | DC 3.3V       |

표 3. CSTN 패널과 TFT 패널의 성능

|                        |                | STN LCD    | TFT LCD   |       |
|------------------------|----------------|------------|-----------|-------|
| Dot Pitch (mm)         |                | 0.25x0.249 | 0.33x0.33 |       |
| LCD Display Mode       |                | STN mode   | TN mode   |       |
| Viewing Direction      |                | 30 °       | 45 °      |       |
| Back light             |                | CCFL       | CCFL      |       |
| Response time (ms)     | T <sub>r</sub> | 285        | 50        |       |
|                        | T <sub>d</sub> | 75         | 50        |       |
| CIE color Coordination | Red            | X          | 0.53      | 0.543 |
|                        |                | Y          | 0.33      | 0.334 |
|                        | Green          | X          | 0.29      | 0.317 |
|                        |                | Y          | 0.55      | 0.500 |
|                        | Blue           | X          | 0.16      | 0.156 |
|                        |                | Y          | 0.14      | 0.151 |
|                        | White          | X          | 0.28      | 0.322 |
|                        |                | Y          | 0.33      | 0.339 |

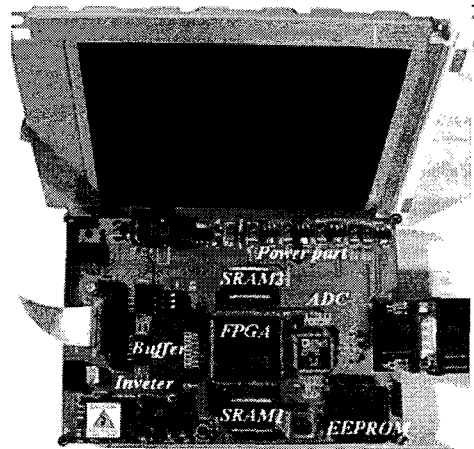
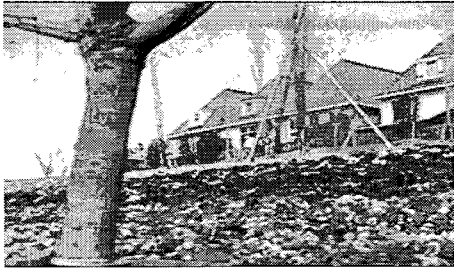


그림 11. 프로토타입 FPGA 보드

### 5. 결 론

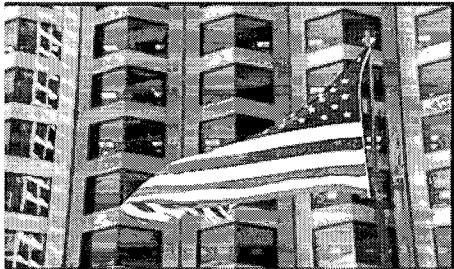
본 논문은 CSTN LCD에서 동영상 구현을 위해 SFP와 BFI 방법의 새로운 구동 방법을 제안했다. 이 회로는 플리커 현상을 제거하고 액정 응답 시간을 보상함으로써 고화질 동영상의 구현이 가능하다. 보간기법과 에지 강조 기법과 같은 제한된 방법을 사용함으로써 향상된 영상을 얻었다. 합성 결과로 400,000-gate FPGA 디바이스(Spartan3S 400E)에 충분히 적용할 수 있고 제안된 프로세서를 성공적으로 검증하였다.



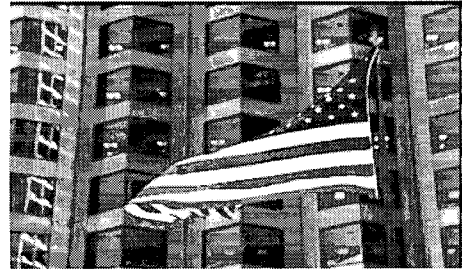
(a) TFT-LCD



(b) CSTN-LCD



(c) TFT-LCD



(d) CSTN-LCD

그림 12. TFT-LCD와 CSTN-LCD의 정지영상 구현 비교



(a-1) frame#1 TFT-LCD (a-2) frame#2 TFT-LCD (a-3) frame#3 TFT-LCD (a-4) frame#4 TFT-LCD



(b-1) frame#1 CSTN-LCD (b-2) frame#2 CSTN-LCD (b-3) frame#3 CSTN-LCD (b-4) frame#4 CSTN-LCD

그림 13. TFT-LCD와 CSTN-LCD의 동영상 구현 비교

CSTN-LCD는 TFT-LCD 보다 저가격 저전력 소비 특성을 가지고 있다. 만약 제안된 방법이 사용된다면, CSTN-LCD에서 자연스러운 동영상 재생이 가능하다. 제안된 방법은 휴대용 디스플레이 시장과 고성능 PDA와 휴대폰, PMP과 같은 소비 전자 제품에 사용할 수 있다.

참 고 문 헌

[ 1 ] T. J. Scheffer and Clifton B, "Active addressing

Method for High-Contrast Video-Rate STN Display," *SID SYM Digest*, pp. 228-231. 1992.  
 [ 2 ] Ruckmongathan T. N., "Addressing Techniques for the RMS Responding LCDs," *International Display Research Conference(IDRC)*, pp. 77-82, 1992.  
 [ 3 ] T. Scheffer, "Addressing Method for passive-Matrix LCDs," *SID'95 Lecture notes*.  
 [ 4 ] Y. Hirai, M. Kitamura, and H. Araki, "STN-LCDs Enhanced by Multiple Line Addressing

(MLA) : Present and Future Applications," *SID'97 Digest*, pp. 401-404, 1997.

[5] T. Luk and J. Ho, "Implementation of Double-Line Addressing for Passive Panels," *International Display Research Conference(IDRC)'97*, pp. 108-111, 1997.

[6] Y. Fukui, M. Yumina, T. Matsumoto, and T. Otani, "A Study of the Active Driver Method for STN-LCD," *SID'94 Digest*, pp. 69-72, 1994.

[7] A. R. Conner and T. J. Scheffer. "Pulse-Height Modulation (PHM) Gray Shading Methods for Passive Matrix LCDs," *Japan Display'92*, pp. 69-72, 1992.

[8] Myeong-Hwan Lee, Jeong-Hoon Kim, Jeong-Sang Lee, Kyeong-Keol Ryu, and Dong-Il Song, "A New Algorithm for Interlaced to Progressive Scan Conversion based on Directional Correlations and its IC Design," *IEEE transactions on Consumer Electronics*, Vol. 40, No. 2, pp. 119-129, 1994.

[9] Sugiyama, K. and Nakamura, H., "A Method of De-interlacing with Motion Compensated Interpolation," *IEEE transactions on Consumer Electronics*, Vol. 46, No. 3, pp. 460-466, 2000.

[10] Mei-Juan Chen, Chin-Hui Huang, and Ching-Ting Hsu, "Efficient De-interlacing Technique by Inter-field Information," *IEEE transactions on Consumer Electronics*, Vol. 50, No. 4, pp. 1202-1204, 2004.

[11] Rafael C. Gonzalez, *Digital Image Processing*, Prentice-Hall, pp. 148-213, 2002.

[12] Keith Jack, *Video Demystified 4th Edition*, Elsevier, pp. 203-261, 2005.

[13] Ernst Lueder, "Liquid Crystal Display," *SID*, pp. 21-78, 2001.



**김 용 범**

2003년 한양대학교 전자컴퓨터 공학과 졸업 (학사)  
 2005년 한양대학교 일반대학원 전자전기계어제측공학과 졸업 (공학석사)  
 2005년~현재 삼성전자 LCD총괄 개발실 연구원

관심분야 : ASIC/SoC 설계, 저전력 반도체 회로 설계, 영상 처리



**최 명 렬**

1983년 한양대학교 전자공학과 졸업 (학사)  
 1985년 미시간 주립대학교 컴퓨터공학 졸업 (공학석사)  
 1991년 미시간 주립대학교 컴퓨터공학 졸업 (공학박사)  
 1991년 3월~10월 생산기술연구원 전자정보실용화센터 조교수

1991년 11월~1992년 8월 생산기술연구원 산하 전자부품 종합기술연구소 선임연구원  
 1992년~현재 한양대학교 전자컴퓨터공학부 교수  
 관심분야 : ASIC/SoC 설계, RFID응용, 스마트카드 응용