

Gate 절연막을 위한 고유전 박막 개발

글 _ 조만호 || 한국표준과학연구원 전략기술부 첨단산업측정 그룹
mhcho@kriss.re.kr

1. 서 론

정보화 산업의 발달과 함께 전자산업, 즉 PC산업과 통신 산업이 경량화, 소형화 및 고성능화를 지향하고 있으며, 근래에 들어서는 이동통신기기의 급속한 발달과 대중화가 동시에 이루어지면서 기존의 기술 개발 속도를 상회하는 급속한 고기능화와 다기능화가 요구되어 지고 있다. 전통적으로 반도체 소자의 발전 역사를 보면, 반도체 소자의 고성능화 다기능화를 위하여 주어진 면적 내에 다양한 회로를 구성하는 방법이 주된 발전의 방향이 되어 왔다. 이를 위하여 제조 공정 기술의 미세화가 가장 중점적으로 추진되었으며, 이러한 제조 공정에서의 축소 기술은 여러 가지 기술적인 어려움에도 지속적으로 이루어져 왔으며, 소위 무어의 법칙을 계속하여 만족시켜 왔다. 지난 20년 동안의 메모리 반도체는 PC(personal computer), server 등 EDP(Electronic data processing)의 성장, 발전을 통하여 발전해 오고 있으며, EDP시대의 메모리 반도체로는 DRAM과 SRAM이 주류를 이루어 왔다. CPU성능을 최대한 구현하고자, 메모리 반도체의 집적도 증가와 동시에 데이터 처리 속도의 증대가 이루어져 왔으며, 현재 DRAM의 경우는 DDR3가 탑재된 1Gb, SRAM의 경우는 QDR mode의 72Mb 까지 상업적으로 가능하게 되었다. DRAM과 SRAM에서의 집적도 증가와 성능향상은 shrink technology[1]에 의해서 수행되어 왔으며, shrink technology는 리소그라피 기술의 발전과 소자 스케일링 이론에 그 기초를 두고 있다. 이 shrink technology는 모바일 시대뿐만 아니라, 나노기술 시대에서도 여전히 반도체 기술을 주도하는 중심 사상으로 활약할 것은 틀림없어 보이며, 여기에 여러 가지 새로운 기

술(BT, MEMS등)이 접목되어, 반도체 기술이 더 한층 발전하는 견인차 역할을 할 것으로 판단된다.

집적도 증가에 따른 성능향상을 위한 필요조건은 트랜지스터의 초고속화와 초절전화를 만족하여야 하는 것이다. 그러나, gate 길이의 감소로 인한 short channel effect와 소자의 속도증가를 이룰 수 있는 가장 간단한 방법인 gate 절연막의 두께를 줄이는 것인 반면 이로 인한 leakage current의 증가로 인한 소비 전력의 증가 및 on/off 특성의 악화, 소자 신뢰성의 문제점들이 필수적으로 수반되게 된다. Gate 절연막의 두께 감소는 각 세대마다 꾸준히 진행되어 2006년도에 이르러서는 Eot 기준으로 11 Å Eot_{elec} 기준으로 18 Å 정도에 이를 것으로 예상된다. 그러나 Table에서 알 수 있는 것처럼, 이 두께는 거의 포화상태에 이르러서 더 이상의 두께 감소를 SiO₂ based gate 유전막에서 얻는 것은 불가능한 상황에 이르러 있다. 이러한 이유는 scaling rule에 따라 gate 산화막의 두께를 줄일 경우 gate 전압에 의해 channel potential을 효과적으로 조절하여 gate length를 줄일 수 있어 구동 전류를 향상시키고 속도를 향상시킬 수 있으나, gate 절연막의 두께가 20 Å 이하로 scaling down 될 경우 소자 문턱전압의 변화 및 tunneling에 의한 누설 전류의 급격한 증가로 인하여 50 nm 이하 세대의 transistor의 개발은 불가능한 상황에 도달된 상태이기 때문이다.

Gate 절연막으로서 열산화법으로 성장된 SiO₂ 박막은 지난 40년간 MOSFET 소자의 가장 큰 특징이었다. 이는 SiO₂ 박막의 최소화된 계면 결함과 높은 band gap 특성에 근거한 낮은 누설전류 및 hot electron의 생성을 최소화 할 수 있는 장점을 갖기 때문이다. 이러한 장점에 근거하여, 기존의 SiO₂ 산화막의 계면 및 막의 특성을 개



Table 1. High-Performance Logic Technology Requirements Near-term

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
Dram 1/2 Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Lg: Physical Lgate for High Performance logic (nm) [1]	32	28	25	22	20	18	16	14	13
EOT: Equivalent Oxide Thickness [2]									
Extended Planar bulk (Å)	12	11	11	9	7.5	6.5	5	5	
UTB FD (Å)				9	8	7	6	5	5
DG (Å)							8	7	6
Gate Poly Depletion and Inversion-Layer Thickness [3]									
Extended Planar Bulk (Å)	7.3	7.4	7.4	5.9	5.8	5.7	5.5	5.5	
UTB FD (Å)				4	4	4	4	4	4
DG (Å)							4	4	4
EOTelec: Electrical Equivalent Oxide Thickness in inversion [4]									
Extended Planar Bulk (Å)	19.3	18.4	18.4	11.9	10.8	9.2	7.5	7.5	
UTBFD (Å)				1.3	1.2	1.1	1.0	0.9	0.9
DG (Å)							1.2	1.1	1.0
Jg limit: Maximum gate leakage current density [5]									
Extended Planar Bulk (A/cm ²)	1.88E+02	5.36E+02	8.00E+02	9.00E+02	1.10E+03	1.50E+03	2.00E+03	2.40E+03	
FDSOI(A/cm ²)				7.73E+02	9.50E+02	1.20E+03	1.80E+03	2.00E+03	2.20E+03
DG(A/cm ²)							6.25E+02	7.86E+02	8.46E+02
V _{dd} : Power Supply Voltage (V) [6]									
	1.1	1.1	1.1	1	1	1	1	0.9	0.9

신시킴을 위한 공정의 변화 및 질화성분을 첨가하여 신뢰성을 개선시키고자 하는 다양한 공정들이 개발되어 적용되고 있는 상황이다. 그러나 절연막 두께의 감소로 인하여 계면의 SiO_x 층의 영향이 확대되어 허용가능한 defect density가 증가됨으로 소자의 신뢰성에 치명적인 영향을 주며, 얇은 절연막을 통한 dopant의 침투로 인한 문턱 전압의 안정성이 급격히 악화되어 새로운 gate dielectric 물질의 도입이 반드시 필요한 상황에 도달하였다.

고유전 물질에 대한 연구는 capacitor 물질을 대체하기 위하여 90년대 초반에 검토되기 시작하였으며, Ta₂O₅ 나 Al₂O₃ 등이 초창기 적용되어, 최근에는 HfO₂/Al₂O₃ bilayer를 적용하는 단계에 이르렀다. 주로 세라믹 재료로 연구 활용되어온 고유전 박막의 경우 대부분 산화물 박막 형태로 소자에 적용이 가능하다. 가장 일반적으로 검토/적용되고 있는 atomic layer deposition (ALD) 방법의 경우 낮은 온도에서의 성장이 가능하고, 불순물을 최소화시킬 수 있으며 다양한 구조에 적용할 수 있는 우수한 conformability 특성을 갖고 있어서, capacitor에 일찍부터 적용되고 있는 상황이다.

2 고유전 산화막 형성 공정

ALD 기술을 실리콘 소자에 적용하려는 노력은 한국에서 최초로 시작되었으며, 1996년부터 국내의 반도체 장비업체와 소자 업체가 ALD 기술을 사용하는 장비와 소자 연구를 세계에서 최초로 시도하여 삼성전자가 반도체 업계에서는 최초로 ALD 기술을 개발하고 1998년 이 기술을 적용하여 차세대 DRAM을 개발하였다고 발표하였다. 시간당 막 성장 속도가 느리다는 단점을 갖고 있음에도 불구하고 얇고 uniform한 박막의 성장 및 다양한 3차원 구조에서의 우수한 step coverage 특성을 갖는 ALD 성장 기술은 반도체 소자의 미세화에 따라 메모리용 유전막, 확산 방지막, gate 유전막등의 핵심적인 제조 기술로 부상하였다. ALD의 좋은 특성에도 불구하고 surface reaction에 기초한 self limited process는 고유한 metal organic 소스 개발이 필수적으로 수반되어야 한다. 이러한 ALD 성장 특성은 박막 밀도 및 계면 특성을 향상시키기 위해서는 표면처리에 의한 ALD 특성의 최적화를 필요로 하며, reactant 와 MO source와의 반응 특성을 향상시키기 위한 reactant의 활성화도를 높이기 위한 연구가

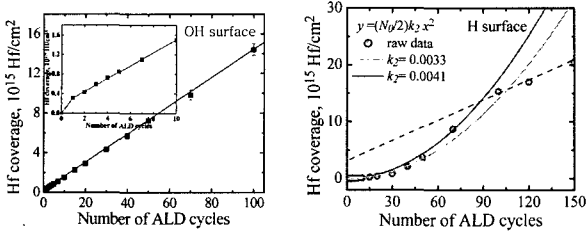


Fig. 1. Si 표면을 OH 처리(왼쪽) 혹은 H 처리 (오른쪽) 하였을 때 ALD 성장 특성.

역시 요구된다. 일반적으로 가장 보편적으로 사용되는 산소 소스로서 H₂O는 반응특성 측면에서는 효과적이지만, purging 시간등의 공정상의 문제로 인해 through put 을 감소시키는 요소이다. 따라서 최근에는 plasma를 이용하거나, ozone 등을 이용한 공정이 사용되고 있다.

다음 그림은 HfO₂의 초기 성장에 관한 연구결과로서 HfCl₄와 H₂O를 소스로 사용하였을 경우 기판표면 상태에 따라 ALD 성장의 급격한 변화가 유발됨을 보여준다. 표면을 OH로 처리하였을 경우 완벽한 ALD 성장에 가까운 선형 성장 특성 곡선을 얻을 수 있는 반면, 표면을 H 처리한 경우는 초기 성장에서 선형특성이 아닌 포물선의 특성 곡선을 얻을 수 있다 특성 곡선으로부터 cycle 당 생성되는 OH density의 수 (k₂ 값)를 얻을 수 있으며 H 표면의 경우 매우 낮은 OH site의 생성으로 인한 ALD 특성의 변화를 관찰할 수 있다.

다음 그림은 표면 처리에 따른 C-V 변화에 대한 것으로 OH 처리된 박막의 경우 positive charge의 존재를 알 수 있으며, 계면 영역에서도 interface defect이 여전히 존재함을 알 수 있다. 반면, 다양한 표면 처리 특성으로 인하여 trap charge의 급격한 증가가 계면 영역에서 존재함을 관찰할 수 있다. 이로부터 ALD 성장의 경우 표면 처

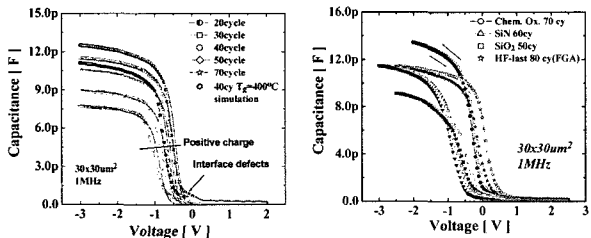


Fig. 2. OH 처리된 표면위에 성장한 HfO₂ 박막 C-V 특성 (왼쪽) 및 다양한 표면위에 성장된 HfO₂ 박막의 C-V 특성(오른쪽).

리 특성이 박막의 일반적 특성을 결정하며 self limited process를 구현할 경우 보다 더 완벽한 박막 성장이 가능함을 확인할 수 있다.

3. 고유전 박막의 개발 동향

기존의 memory 소자의 capacitor 절연막으로 연구된 고유전 재료들은 TiO₂, Ta₂O₅, Y₂O₃, Al₂O₃, STO, BSTO 등이 있으나 MOSFET의 gate 절연막으로 사용하기에는 많은 문제점을 갖고 있다.

Fig. 3 및 Table 2에서 보여주는 바와 같이 유전상수가 증가함에 따라 bandgap 및 barrier height가 낮아지므로 누설전류 특성이 동일한 전기장에서 SiO₂에 비해서 매우 취약하다. 또한 후속 열처리 과정에서 계면에 SiO₂ 층의 성장에 의한 전체 capacitance의 감소 혹은 계면 영역에 silicate의 형성에 의한 계면 특성 열화의 원인을 제공할 수 있다. 계면에서의 높은 interface trap density로 인해 car-

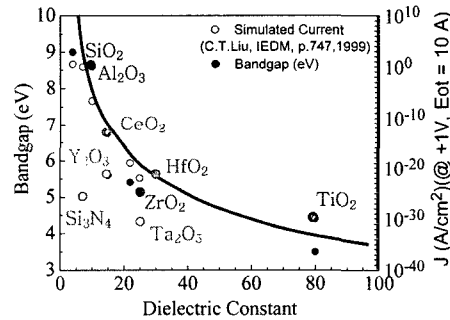


Fig. 3. 절연막의 유전상수와 bandgap의 상관관계.

Table 2. 고유전 절연막의 특성 요약 표

Oxide	ZrO ₂	HfO ₂	Y ₂ O ₃	Al ₂ O ₃	SiO ₂
Properties					
Crystal structure	CaF ₂	Tetragonal	C/A-rare earth	γ-cubic	
Formation Energy (Kcal/mole)	261.9	271	419	399	209
Dielectric constant	~25	~30	10-17	8-10	3.9
Band gap	7.8	5.68	5.6	8.3	9
Barrier Height to Si	1.5	1.6	1.4-1.6	3.1	3.2
ΔG for reduction Si+Mo _x → M+SiO ₂	52.9	62	211	171	0
Density (10 ³ /m ³)	5.9-6.1	9.68	4.84	3.94-3.98	2.27
Thermal expansion coefficient	7.2-14.2	5.1-12.2	7.2	6.2-8.8	0.5
Cation size	0.72	0.71	0.89	0.53	0.26
Ionic # of cation	+4	+4	+3	+3	+4



rior들의 mobility를 감소시키고 이로 인해 충분한 구동전류를 확보할 수 없는 문제점이 있다. 후속 열처리에 의한 막의 결정화는 V_{th} 의 안정성을 저해할 수 있으며, grain boundary를 통한 누설전류의 증가를 일으킬 수도 있다.

계면 반응에 의한 mobility의 감소의 예는 Al_2O_3 의 경우에서 뚜렷하게 찾아볼 수 있으며 이 경우, flat band voltage의 변화 및 dopant profile의 변화를 통해 dopant에 의한 metal-oxygen bond의 breaking이 발생하고 이러한 bond breaking이 oxide trap chare 특성의 악화를 유발하고 이로 인한 flat band voltage의 변화를 일으키는 것으로 보고되고 있다(Fig. 4). Al_2O_3 유전 박막 성장에서 또하나의 주요한 사실은 계면 처리 상태에 따른 silicate층의 계면에서의 형성이 크게 좌우 되는 것으로 보고 되었다. ALD의 surface reaction control이 계면층의 형성에 절대적으로 중요한 인자가 될 수 있음을 확인한 결과였으며 H로 처리된 표면을 OH로 처리되게 하는 표면 처리가 매우 중요하게 다루어지게 되었다. Al_2O_3 에서의 mobility의 급속한 감소는 고유전 박막의 gate oxide로서의 가능성을 매우 회의적으로 하는 결과였으며 이후의 gate oxide를 위한 모든 고유전 박막의 연구는 mobility의 향상과 밀접하게 진행되게 되었다.

계면에서의 silicate의 형성은 silicate의 형성 mechanism 및 silicate의 열적안정성과 관련하여 집중적으로 연구 되었으며, 이 결과 계면에서 형성된 silicate 박막의 조성 및 열적 안정성이 V_{th} 의 변화 및 interface charge density, dielectric constant에 결정적으로 영향을 끼친다는 사실이 확인되었다. 특히 oxide trap의 경우 electron trap 및

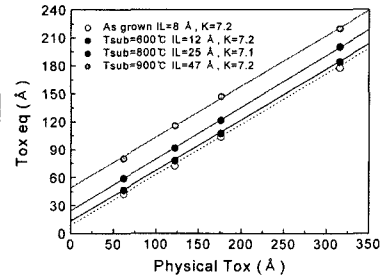
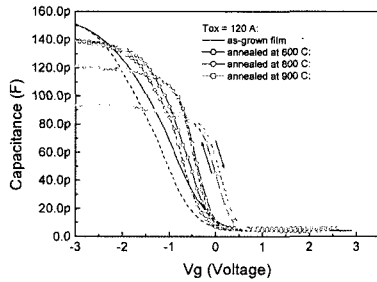


Fig. 5. Al-silicate 박막의 C-V 및 Etox 특성.

hole trap의 변화 역시 조성과 밀접하게 연관되어 있음이 밝혀 졌다(Fig. 5). Hole trap의 경우 gate oxide 박막의 신뢰성에 치명적인 결과를 초래하기 때문에 이로부터 계면에서 silicate박막의 형성을 가급적 억제 시키는 공정개발에 주력하게 되었다. 초기 고유전 박막개발과 관련하여 꾸준히 연구되어온 Y_2O_3 등의 epitaxial 박막에 대한 연구의 경우 계면에서 형성되는 층의 조절이 매우 제한적이고, 후속 열처리에 따른 계면에서의 silicate층의 형성이 전체 박막의 결정구조를 파괴하는 요인으로 작용하여 oxide charge density의 증가에 치명적인 작용을 할 수 있음이 밝혀졌으며, 이로부터 고유전 박막으로서의 epitaxial oxide 박막 및 rare earth 박막에 대한 연구는 극히 제한적으로 진행되었다.

Al_2O_3 gate oxide박막에서의 문제점을 해결할 수 있는 새로운 고유전 박막으로 HfO_2 가 제안되었다. 이 경우 SiO_2 대비 ~90% 정도의 mobility가 가능하고 dielectric constant가 20이상이므로 충분한 두께에서 gate leakage current를 감소 시킬 수 있는 결과가 보고되었다. 그러나 두께에 따른 결정구조로의 변화가 관찰 되었으며 이는 비정질로부터 poly crystalline결정구조로의 변화에 의한 계면에서의 다양한 응력의 변화 및 이로 인한 계면 반응에 의한 소자 특성의 열화가능성이 제안되었다. Fig. 6은

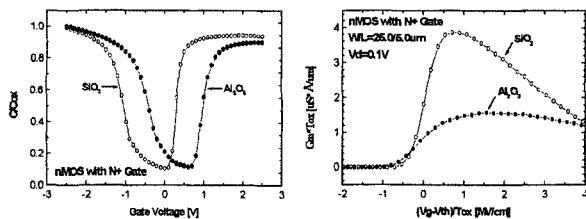


Fig 4. Al_2O_3 의 C-V 특성 및 G_m 특성.

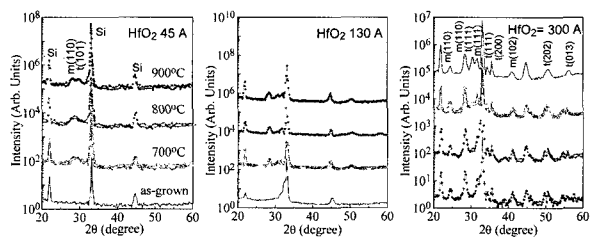


Fig. 6. HfO_2 박막의 열처리에 따른 XRD Data.

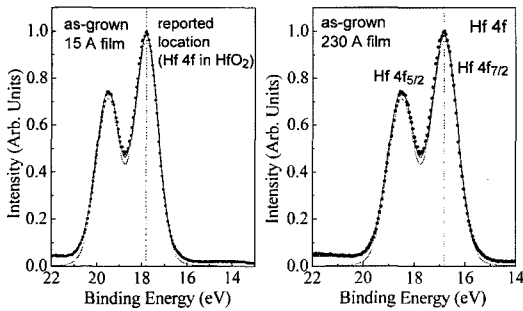


Fig. 7. HfO₂ 박막의 두께에 따른 Hf 4f XPS Data.

두께 50 Å 이하에서 비정질 구조가 유지되는 반면 그 이상에서는 결정구조가 성장시에 형성되며 700°C 이상에서 결정구조가 형성됨을 보여주는 XRD Data이다. 초기 성장시에 계면에서의 silicate 형성 여부에 대해서도 큰 논란이 있었으며, 각 연구 그룹별로 계면에서의 silicate 형성에 대한 내용은 조금씩 다르게 보고되고 있는 상황이다. 그러나 현재까지의 결과는 계면에 silicate가 형성되는 것을 일반적으로 받아들이고 있는 상황이다. Fig. 7은 두께에 따른 Hf 4f XPS peak의 변화로부터 계면에서의 silicate 형성을 예측할 수 있는 data이다. Silicate 구조에 대해서는 이론적 고찰이 이루어졌으며, 이 경우 Hf과 O의 ionic bonding 특성이 Si-O의 covalent bond 특성과 같이 존재할 때 강화되어 Hf peak이 high energy 쪽으로 shift됨이 보고되고 있다.

HfO₂ 박막의 열적 안정성 및 계면반응 특성을 개선하고자 많은 노력들이 기울어져 왔다. 그중에서도 Al₂O₃ 박막 및 HfO₂ 박막의 laminate 구조의 형성과 alloy에 대한 연구가 집중적으로 행하여 졌다. 두 구조의 경우 HfO₂의 구조적인 취약점을 Al₂O₃를 첨가하여 개선하고자 하는 방법에서는 매우 유사하다. Laminate 구조의 경우 HfO₂ 막의 critical thickness가 50 Å 이하임을 이용하여 HfO₂ 두께를 제한하여 적층함으로써 열적 안정성을 향상 시켰다. 그러나 이 경우도 850°C 이상에서 결정화가 진행됨이 보고 되었으며(Fig. 8), 계면층의 증가로 인한 charge trap density의 증가를 피할 수 없음이 보고 되었다. 또한 HfO₂와 Al₂O₃가 상호 확산하여 섞이는 과정에서 oxide charge density의 변화를 유발시켜 Vth의 안정성이 매우 취약하였다. Laminate 구조의 파괴에 기인한

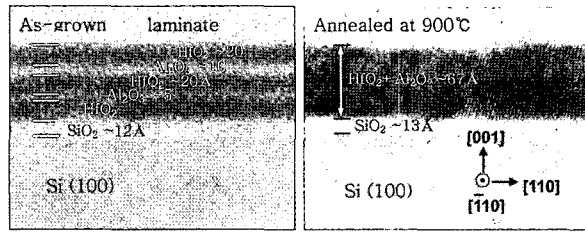


Fig. 8. HfO₂-Al₂O₃ laminate 박막의 TEM image.

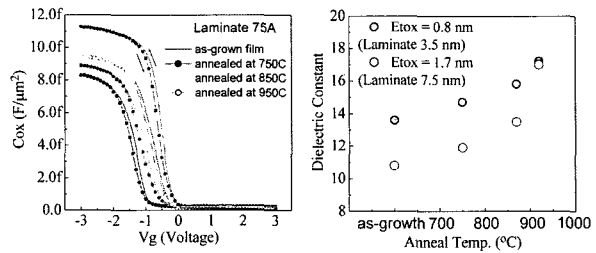


Fig. 9. HfO₂-Al₂O₃ laminate 박막의 열처리에 따른 C-V 특성 및 유전 상수변화.

dielectric constant가 변화하는 매우 독특한 결과가 발견되었으며, 이는 mole volume의 변화를 조절할 경우 dielectric constant를 변화시킬 수 있음을 보여주는 매우 중요한 결과이다(Fig. 9).

Laminate 구조에서의 열악한 charge 특성은 gate dielectric의로의 사용이 불가능한 결론을 얻을 수 있었으며 thermal budget이 상대적으로 약한 capacitor에는 매우 적절하게 적용가능함을 제안하는 결과였다. 계면에서의 mobility를 개선시키고, 적절한 dielectric constant를 적용할 수 있으며, 구조적 안정성을 확보할 수 있는 방안으로 Hf-silicate가 최근에 제안되었으며, 이와 관련한 연구가 활발히 진행되고 있다. 그러나, 결정 구조에서의 안정성에도 불구하고 HfO₂와 SiO₂가 mixed 되어 있는 alloy 구조에서의 높은 chemical potential로 인하여 열적 안정성이 취약한 결과 900°C 이상의 온도에서 alloy 구조로부터 HfO₂와 SiO₂로 상이 분리되는 현상이 발견되었다. 이러한 상분리 특성은 Vth 안정성을 저해 하며 고온에서 상분리된 HfO₂의 결정화를 진행시키므로 인해 전체적으로 결정구조에서의 열적 안정성을 저해하는 원인이 된다. 이를 해결하기 위하여 silicate 박막의 nitridation이 필수적으로 요구되는 상황이며, 이 경우 Si와 N의 tight bonding을 이룰 수 있어 매우 우수한 열적 안정성을 확보할

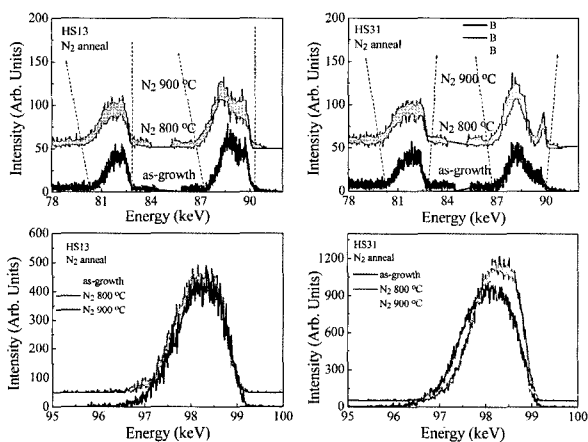


Fig. 10. Hf-silicate 박막의 조성에 따른 상분리 현상의 MEIS spectra.

수 있다. 현재까지 연구된 고유전 박막중에서 가장 우수한 열적안정성 및 mobility 특성을 얻을 수 있음이 보고되고 있으나 integration 상에서의 좀 더 다양한 검토가 필요한 시점이다.

4. 결론

차세대 소자에서의 고유전 박막의 적용은 현재까지는 SiO₂의 우수한 계면 특성 및 열적안정성에 견줄만한 결과를 확보하지 못한 상황이다. 그러나, 미래 소자의 개발이 mobile 소자의 특성에 맞추어 발전하는 단계에 있으므로, standby power를 최소화 할 수 있으며 전체적으로 power 소비를 최소화 할 수 있으므로 고유전 박막의 적용은 45 nm node 이후에 적극적으로 검토될 것으로 예상된다. 또한 SOI, GOI, 등의 구조상의 변화와 SiGe 등의 mobility를 향상시킬 수 있는 재료들이 integration 상에서 같이 고려될 때 고유전 박막의 적용 가능성은 훨씬 더 강력하게 요구될 수 있을 것이다. 고유전 박막의 적용은 기존의 Si의 이용에서 벗어나 mobility 등을 획기적으로 개선할 수 있는 다양한 종류의 화합물 반도체의 적용을 가능하게 할 수 있으므로 차세대 소자 개발에서 새로운 재료의 적용에 있어서 가히 혁명적인 역할을 할 수 있을 것으로 예상된다.

참고문헌

1. International technology road map for semiconductor (2005)
2. High dielectric constant materials VLSI MOSFET applications, H. R. Huff, D. C. Gilmer, Springer (2005)
3. M. L. Green, E. P. Gusev, R. Degraeve, E. L. Garfunkel, J. Appl. Phys. 90, 2057 (2001).
4. C. S. Kang, H-J. Cho, K. Onishi, R. Nieth, R. Choi, S. Gopalan, S. Krishnan, J. H. Han, Jac C. Lee, Appl. Phys. Lett. 81, 2593 (2002).
5. M. H. Cho, Y. S. Roh, C. N. Whang, and K. Jeong, D. H. Ko, S. W. Nahm, J. H. Lee, N. I. Lee, K. Fujihara, Appl. Phys. Lett. 81, 472 (2002).
6. M. H. Cho, D. W. Moon, S. A. Park, Y. K. Kim, and K. Jeong, S. K. Kang and D.-H. Ko, S. J. Doh, J. H. Lee, and N. I. Lee, Appl. Phys. Lett. 84, 5243 (2004).
7. M. H. Cho*, D. W. Moon, K. H. Min, R. Sinclair, S. K. Kang, D. H. Ko, J. H. Lee, J. H. Gu, N. I. Lee, Appl. Phys. Lett. 84, 571 (2004).
8. M. H. Cho*, K. B. Chung, C.N. Whang, D. W. Lee and D. H. Ko, Appl. Phys. Lett. 87, 242906 (2005).
9. Y. K. Kim, S. H. Lee, S. J. Choi, H. B. Park, Y. D. Seo, K. H. Chin, D. C. Kim, J. S. Lim, W. D. Kim, K. J. Nam, M.-H. Cho, K. H. Hwang, Y. S. Kim, S. S. Kim, Y. W. Park, J. T. Moon, S. I. Lee, M. Y. Lee, 2000 IEDM Technical Digest, 369 (2000).
10. J. H. Lee, K. Koh, N. I. Lee, M. H. Cho, Y. K. Kim, J. S. Jeon, K. H. Cho, H. S. Shin, M. H. Kim, K. Fujihara, H. K. Kang, and J. T. Moon, 2000 IEDM Technical Digest, 645 (2000).
11. H. S. Jeong, W. S. Yang, Y. S. Hwang, C. H. Cho, S. Park, S. J. Ahn, Y. S. Chun, S. H. Shin, S. H. Song, J. Y. Lee, S. M. Jang, C. H. Lee, J. H. Jeong, M. H. Cho, J. K. Lee and Kinam Kim, 2000 IEDM Technical Digest, 353 (2000).

◎◎ 조만호



- 1992. 연세대학교 물리학과 학사
- 1994. 연세대학교 물리학과 석사
- 1999. 연세대학교 물리학과 박사
- 1994-2001. 삼성전자 반도체 연구소 책임 연구원
- 2002. Stanford Univ. Post Doc.
- 2003-현재. 한국표준과학연구원 책임연구원