

# 배치식 중형 ALD장치의 현황 및 전망

글 \_ 김용원 II 국제엘렉트릭코리아 연구소  
ywkim@kekorea.co.kr

## 1. 서 론

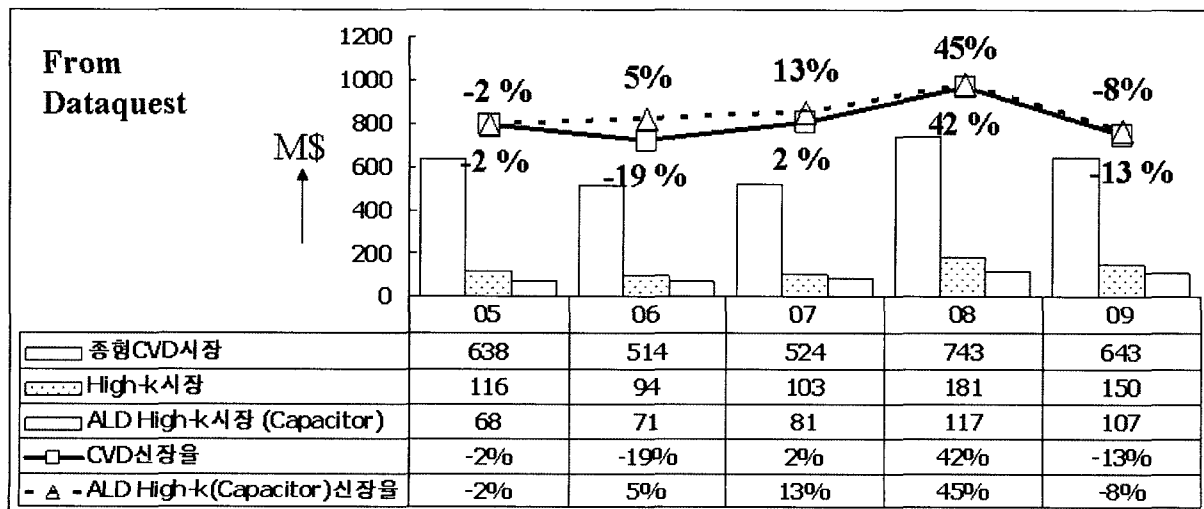
중형 열처리로(Vertical Furnace)란, 한번에 수 십장 이상의 wafer를 quartz로 된 반응관에서 고온으로 가열하여 요구하는 막을 wafer위에 생성하는 반도체 장치이다. 90년대 후반부터 중형열처리로 시장은 축소 추세였지만, 2002년 이후 memory maker의 적극적인 설비투자에 힘입어 전 공정 반도체 제조장치 중 높은 성장을 기록하고 있다. 중형열처리로가 사용되는 수는 memory device가 약 40공정, logic device가 약 25공정이다.

중형 열처리로 시장이 확대되고 있는 또 하나의 이유가 mini batch식 열처리로의 성공이다. 96년 이후, 열처리장치는, 생산능력(throughput)이 높은 배치(batch)식 열처리 방식으로부터, 균일성이 높고 열처리시간이 짧은 매엽(single)방식이 채용되고 있었다. 하지만, 처리 wafer

수를 감소시키고, 온도 승강은 시간을 단축하며, 처리균일성과 재현성을 향상시킨 mini batch식 장치의 성공에 의해, 2003년 이후 매엽식 장치의 일부 공정을 대신하고 있다.

또, 아직 시장 규모가 작기는 하지만 ALD(Atomic Layer Deposition)공정도 이 중형 열처리로에서 처리하는 것이 가능하다. ALD는 분자level로 여러 층의 매우 얇은 막을 형성시키는 장치이다. 2종류의 반응 gas를 하나씩 교대로 주입하고, 그 사이에 질소에 의해 purge를 반복한다. 반응성 gas를 주입한 후 질소 gas에 의해 반응 gas가 치환되어도 기판 표면에 한 층의 분자는 남는다는 특성을 이용하여 분자 하나씩 적층 시킨다.<sup>1)</sup> ALD는, 생산능력 면에서는 CVD(Chemical Vapor Deposition)이나 PVD(Physical Vapor Deposition) 보다 뒤처지지만, 얇으면서도 균일한 막을 형성할 수 있고 conformality가 뛰

Table 1. CVD 및 ALD capacitor시장 예



어난 특징을 가지고 있다.<sup>2,3)</sup> 따라서, Cu배선의 barrier막, seed막 이외에 DRAM의 capacitor 유전막이나 high-k gate 유전막으로 사용되고 있다. High-k gate에서는 문제로 되고 있는 저온화 대책으로도 기대되고 있다.

Table 1에는 중형 CVD장치와 ALD장치 시장의 연도 별 시장 규모를 나타내고 있다. ALD시장 중, 특히 중요 공정으로 예상되는 high-k (capacitor)의 신장율이 2006년 이후부터 비약적으로 증가할 것으로 예상되고 있다.

## 2 본 론

### 2.1 배치식과 매엽식 장치

배치식 중형장치에는 100 ~ 150매의 wafer를 한꺼번에 처리할 수 있는 대용량 batch식, 25 ~ 50매의 wafer를 처리하는 소용량 batch식이 있다. 소용량 batch식은 대용량에 비해 throughput은 떨어지지만, TAT(Turn Around Time)단축에 유효하며, 소량·다품종 생산라인에 적합하다. 배치식 중형 장치를 채용하는 기본적인 이유는 높은 throughput에 의한 생산 비용 저감이다. 한편, 매엽식은 1매 또는 2매의 wafer에 맞추어 반응실 구조가 설계되어 있기 때문에, 기상 반응이나 가스 소비량이 많은 공정에 적합하고, 반응실과 반송실의 용적이 작기 때문에 수분이 극히 적은 clean한 성막이 가능하다. Table 2에 배치식과 매엽식 장치의 장·단점을 간단히 비교하였다.

Table 3. CVD 및 ALD 각 공정의 반응온도 및 반응식

Film	방식	온도(°C)	생성 방법(반응식)
Al <sub>2</sub> O <sub>3</sub>	ALD	300-400	TMA<Al(CH <sub>3</sub> ) <sub>3</sub> >+O <sub>3</sub> → Al <sub>2</sub> O <sub>3</sub> + (생략)
HfO <sub>2</sub>	ALD	150-300	TEMAH<Hf(N(CH <sub>2</sub> -CH <sub>3</sub> )(CH <sub>3</sub> ) <sub>2</sub> ) <sub>3</sub> > + O <sub>3</sub> → HfO <sub>2</sub> + (생략)
Si <sub>3</sub> N <sub>4</sub>	CVD	700-800	SiH <sub>4</sub> + NH <sub>3</sub> → Si <sub>3</sub> N <sub>4</sub> + H <sub>2</sub>
		630-780	DCS<SiH <sub>2</sub> Cl <sub>2</sub> > + NH <sub>3</sub> → Si <sub>3</sub> N <sub>4</sub> + HCl + H <sub>2</sub>
		650-780	TCS<SiCl <sub>4</sub> > + NH <sub>3</sub> → Si <sub>3</sub> N <sub>4</sub> + HCl + H <sub>2</sub> + Cl <sub>2</sub>
		550-600	BTBAS<C <sub>8</sub> H <sub>22</sub> N <sub>2</sub> Si> + NH <sub>3</sub> → Si <sub>3</sub> N <sub>4</sub> + (생략)
	ALD	375-600	HCD<Si <sub>2</sub> Cl <sub>6</sub> > + NH <sub>3</sub> → Si <sub>3</sub> N <sub>4</sub> + HCl + H <sub>2</sub> + Cl <sub>2</sub>
SiO <sub>2</sub>	CVD	375-600	DCS<SiH <sub>2</sub> Cl <sub>2</sub> > + NH <sub>3</sub> (Radical) → Si <sub>3</sub> N <sub>4</sub> + HCl +H <sub>2</sub>
		700-800	SiH <sub>4</sub> + O <sub>2</sub> → SiO <sub>2</sub> + H <sub>2</sub>
		700-800	SiH <sub>4</sub> + N <sub>2</sub> O → SiO <sub>2</sub> + N <sub>2</sub>
	ALD	750-800	SiH <sub>2</sub> Cl <sub>2</sub> + N <sub>2</sub> O → SiO <sub>2</sub> + HCl + N <sub>2</sub>
		600-700	TEOS<SiH(OC <sub>2</sub> H <sub>5</sub> ) <sub>3</sub> > → SiO <sub>2</sub> + C <sub>2</sub> H <sub>4</sub> + H <sub>2</sub> O
		400-500	TRIES<SiH(OC <sub>2</sub> H <sub>5</sub> ) <sub>3</sub> > + O <sub>3</sub> → SiO <sub>2</sub> + C <sub>2</sub> H <sub>4</sub> + H <sub>2</sub> O
ALD	400-500	HCD<Si <sub>2</sub> Cl <sub>6</sub> > +O <sub>3</sub> → SiO <sub>2</sub> + O <sub>2</sub> + Cl <sub>2</sub>	
	200-500	TDMAS<SiHN(CH <sub>3</sub> ) <sub>3</sub> > + O <sub>3</sub> → SiO <sub>2</sub> + (생략)	

Table 2. 배치식과 매엽식 장치의 장·단점

항 목	배치식	매엽식
처리균일성	△	○
재현성	○	×
대기시간	×	◎
처리능력(Throughput)	◎	△
Footprint	◎	△
승·강온속도	△	◎
오염(Contamination)	◎	△
가격	◎	×

### 2.2 CVD와 ALD

성막 공정은 현재 및 차세대의 CMOS공정에 적합하여야 하며, 경제적이고 생산성이 있어야 한다. CVD란 특수한 gas를 공급하고 화학 반응을 일으켜, 그 반응에 의해 생성된 분자 층을 Si wafer 표면에 형성시키는 방법으로 여러 종류의 절연막이나 배선, barrier층 등을 제작하는 방법이다. 그 중에서도 감압CVD장치는 대기압 이하의 압력(0.1 ~ 10 Torr정도)에서 이루어지기 때문에 보다 낮은 온도에서 성막이 가능하고 균일성 등도 향상시킬 수 있다.

한편, ALD 반응에서, 각 반응물은 표면에 번갈아 공급된다. 이 공정은 전통적인 CVD 공정에 비하여 여러 이점을 가지고 있다. 물질의 표면에 반응성 gas가 한 분자만 흡착한다는 성질을 이용하여, 저온에서 한 층씩 성막이 가능하고, 여러 precursor를 사용할 수 있다. 극 박막을 제작할 수 있으며, 100%에 가까운 step coverage가 가능하고 불순물의 양도 저감시킬 수 있다.

Table 3에는 Al<sub>2</sub>O<sub>3</sub>, HfO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>, SiO<sub>2</sub>에 대하여 중형 장치에서 가능한 CVD 및 ALD 각 공정의 반응온도 및 반응식을 나타내고 있다.

### 2.3 ALD의 기본 특성

#### 2.3.1 ALD precursor의 성질

Precursor는 휘발성이 있어야 하며 열적으로 안정해야 한다. 기체나 액체 또는 고체라도 상관없지만 표면에 화학적으로 흡착하여 표면 및 precursor 상호간에

강하게 반응하여야 한다. Precursor로서 사용되기 위해서는 순도가 높고, 적당한 증기압을 가지며, gas 상태에서 일정기간 안정하고, 기판온도에서 완벽하게 분해되어야 한다. 그러나, 표면에서 열적으로 분해되면 두께 균일성이 극도로 나빠지고 원하는 조성이 아닌 막을 얻게 된다.

ALD에 사용되는 precursor는 대기중의 수분 등에 의해 분해나 변질되기 쉬운 불안정 화합물이므로 대기와의 접촉을 피하고, 불활성가스 중에서 취급할 필요가 있다. 용기를 배관으로부터 분리하여 다시 붙이는 간단한 조작에 의해서도 고형분이 대량으로 발생하여 치명적인 damage가 될 수 있다. 연결부의 탈착 전에는 충분히 재료 성분을 제거 하고 건조 시킬 필요가 있다. 요약하면, ALD용의 precursor는 다음과 같은 특성을 가져야 한다.<sup>4)</sup>

- 휘발성이 있을 것
- 자기 분해를 하지 않을 것
- 반응이 빠르고 완전할 것
- 막이나 기판 물질을 식각 하지 않을 것
- 막이나 기판으로 용해되지 않을 것
- 반응하지 않는 휘발성의 부생성물을 만들지 않을 것
- 순도가 충분히 높을 것
- 경제적인 것
- 합성과 조작이 용이할 것
- 독성이 없고 환경 친화적인 것

### 2.3.2 ALD cycle

ALD에서는 한번의 공급으로 각 반응물의 최대량이 표면에 화학적으로 흡착하게 되며, 이것을 self-limiting 반응이라 부른다. 화학흡착에 의해 표면이 포화되면, 시

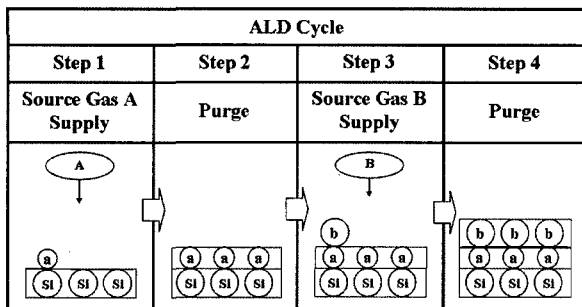


Fig. 1. ALD공정의 cycle 반복 과정.

간을 증가시켜도 반응량은 더 이상 증가하지 않는다. 따라서, 이러한 표면 포화는 화학적으로 평형을 이룬 상태가 된다. 간단한 경우에 ALD 반응의 한 주기는 네 개의 단계로 구성된다. ① 1차 precursor에의 노출, ② 반응실의 purge 또는 배기, ③ 2차 precursor에의 노출, ④ purge 또는 배기로서 필요한 두께를 얻을 때까지 몇 번이고 반복된다. Fig. 1에 이 과정을 나타내었다.

이러한 공정의 이점은 우수한 step coverage, 대면적에 걸친 균일성, 정확하고 간단한 막 두께 조절, 재현성 및 large batch 공정 능력 등이다. Cycle당 성장속도는 표면온도가 증가함에 따라 감소한다. 이것은 표면이 좀더 재구성되어 성막될 자리가 적어지기 때문이다. 성장속도는 cycle당 두께 증가로서, nm/cycle 또는 Å/cycle로 표시된다.

ALD공정으로 100 %의 step coverage를 얻으려면, 다음 세가지 조건이 충족되어야 한다.

- 1) 화학반응 : 반응물의 화학반응이 적당한 self-limiting 반응을 통하여 각 층위에서 이루어져야 한다. 반응속도가 빠르고, 비가역적 반응이며, 각 반응이 완료되면 과잉의 반응물 간에 더 이상 추가 반응이 일어나지 않아야 한다. 반응물과 반응생성물이 충분히 휘발성을 가지고 있어야 하며 물리적 흡착이 없어야 한다. 또, 막을 식각하지 않아야 한다.
- 2) 조성 : 표면의 조성이 균일하게 하도록 전체적으로 각 반응물을 충분히 공급해야 한다. 이것은 평평한 표면 뿐 아니라 좁은 hole에도 마찬가지로 적용된다.
- 3) 각 반응물은 hole의 내벽에 전체적으로 반응되도록 장시간 정체될 필요가 있다. 성막시의 운동역학은 표면반응보다는 확산에 의한 흐름에 의해 제어된다. 열이력이 지나치게 낮으면, 금속 precursor 리전드의 제거에 영향을 주어 불필요한 불순물이 막 내에 혼입된다. 또, 기판 표면이 덜 활성화되므로 성장과정과 막 질에 문제가 생길 수 있다.

ALD공정은 온도와 flow rate에 둔감하고, 표면 상태에 민감하다. 일반적으로 균일성과 step coverage는 매우 우수하지만, 실제의 공정은 이상적인 경우와 다를 수 있다. 이 이유는 각 층에서의 성장반응이 완전히 포화되지

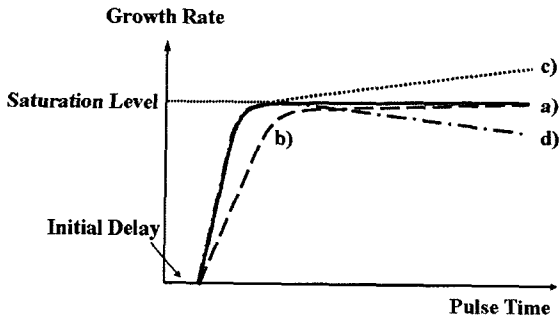


Fig. 2. ALD공정의 각 반응에 대한 성장속도 변화.

않았거나 어떤 precursor는 분해 반응이 일어나기 때문이다. 그러나, 막의 균일성 이나 step coverage에 그다지 영향을 미치지 않는다면 짧은 노출시간으로 성장속도를 최대화 시키는 것은 상당히 유리하다. 이 현상을 시간에 대한 성장속도로 표현하면 Fig. 2와 같다.

성장속도는 노출 시간이 길어지면 포화된다. 이 반응은 매우 빨라서 바로 포화된다 (곡선 a). 그러나, 온도가 낮거나 precursor의 반응속도가 낮으면 성장속도는 느려진다 (곡선 b). 만약 precursor가 열 분해하면, 성장속도는 포화되지 않고 시간에 따라 점차 증가한다 (곡선 c). 만약 분해속도가 적당하다면, 성장속도는 처음에는 필요한 표면반응에 상응하여 급격히 증가하지만, 분해가 주요한 영역을 지나면 기울기는 감소한다. 온도가 높을수록, 분해가 빠를수록, 이 기울기는 가파르게 된다. 때때로 성장속도가 처음에는 증가하다가 감소하는 현상이 일어난다 (곡선 d). 이것은 성장 반응이 완전히 종료된 후 식각 반응이 일어나는 것을 의미한다.

최적의 ALD 성장조건을 결정하기 위해서는 Fig. 3과 같이 온도에 대한 성장속도의 의존성을 확인하는 것이 필요하다. Self-limiting의 ALD window보다 온도가 낮을 경우, 성장속도는 온도에 따라 감소할 수도 있고 증가할 수도 있다. 주어진 pulse시간 보다 ALD 반응이 느릴 때, 성장속도는 감소한다. 반대로, 여러 층간에 흡착이 일어나거나 증기압이 낮은 precursor를 사용할 때 응축에 의하여 성장속도가 증가할 수 있다. 한편, self-limiting 영역보다 온도가 높을 때도, 성장속도는 감소할 수도 있고 증가할 수도 있다. Precursor가 탈착될 때 성장속도는 감소하고, 분해될 때 증가한다.

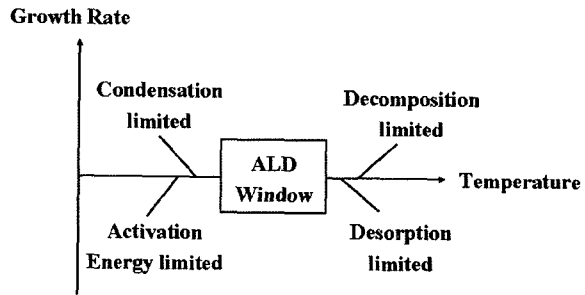


Fig. 3. ALD공정의 성장속도에 대한 온도 의존성.

### 2.3.3 장치의 구조 및 적용 공정

Fig. 4에 산화제로서 산소는 질소와 함께 ozonizer를 통과하여 ozone으로 공급되는 ALD  $Al_2O_3$ ,  $HfO_2$  경우의 간단한 배치식 중형 장치 구조를 나타내었다.

일반적으로 금속성분을 포함하는 precursor와 물, ozone 또는 산소와 같은 산화제를 이용하며, 금속 precursor의 충분한 증기압을 얻기 위해서는 source tank 뿐 만 아니라 gas line, 반응실의 온도 조절이 중요하다. 금속 precursor는 보통 bubbling 또는 기화기(Vaporizer)를 통하여 반응실로 공급할 수 있다. 기화기 방식의 공급방식에서, 금속 precursor는 액체로서 Ar 등의 불활성가스와 함께 이송되어 LMFC(Liquid Mass Flow Controller)에서 유량이 조절되고 이후 기화기를 통하여 기체로 변화된다. 기화기에서는 precursor가 충분히 기화되도록 온도가 설정되어 있고, 기화된 precursor가 다시 응축되지 않도록 하기 위하여 그 이후의 배관 line은 각 precursor의 기화 특성에 맞추어 가열한다.

Fig. 5에 대표적인 중형 배치식 장치에서 가능한 ALD 공정의 적용례를 나타내었다. Aspect ratio가 매우 높은

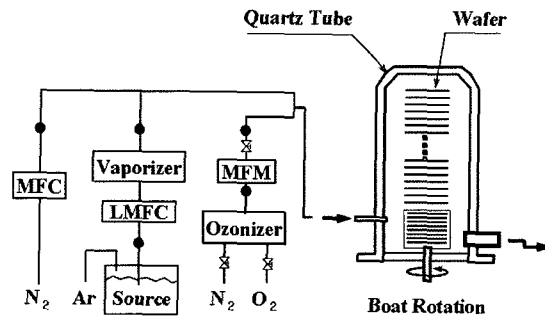


Fig. 4. Batch형 ALD성막 장치.

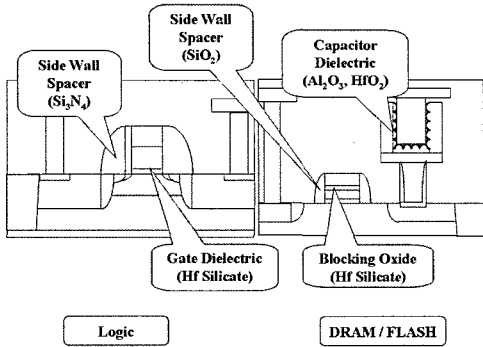


Fig. 5. 대표적인 ALD공정의 적용례.

DRAM capacitor 유전막 재료로서  $Al_2O_3$ <sup>5)</sup> 및  $HfO_2$ <sup>6)</sup>을 시작으로, 균일성 및 저온화가 요구되는 side wall spacer용  $Si_3N_4$  등이 이미 개발, 양산화 적용 중이다.<sup>7-9)</sup> 또한, transistor의 속도를 향상시키기 위해 기생 capacitance저하를 목적으로 ALD방식의  $SiO_2$ 막과<sup>10)</sup> gate산화막 대체용의 high-k유전막을 위한 성막 장치도 개발에 박차를 가하고 있다. 또한, flash memory device에서 기존 ONO(Oxide-Nitride-Oxide)막 대체를 위한 blocking oxide로서 high-k 물질의 silicate<sup>11)</sup>계 ALD화도 검토되고 있다.

알루미나 막은 계면 준위가 낮고, 낮은 누설전류를 가지고 있어서 기존의 DRAM 공정을 그대로 채용하면서 유전용량을 증가시키는 것이 가능하다. Fig. 6는 중형 batch방식의 ALD  $Al_2O_3$ 를 유전막으로 사용하였을 때, 각 등가산화막 두께 (EOT: Equivalent Oxide Thickness)에 대한 누설 전류의 변화를 나타낸다. 하부전극인 D-poly Si를 질화 처리한 후 ALD  $Al_2O_3$ 와의 조합에 의해 매우 낮은 누설전류 특성을 얻을 수 있음을 알 수 있다.

$HfO_2$ 와  $Al_2O_3$ 를 laminate구조로 성막하면 양 막의 장점, 즉 양의 고정전하를 가지는 높은 유전율(~25)의  $HfO_2$ 특성과 음의 고정전하를 가지면서 열안정성이 우수

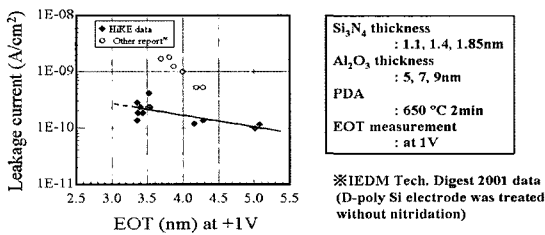


Fig. 6. 질화 처리와  $Al_2O_3$  조합에 의한 누설 전류 특성 개선.

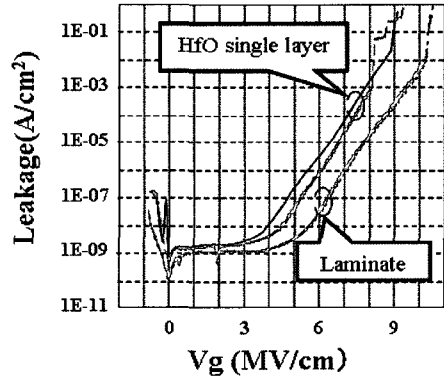


Fig. 7. 성막 방식에 따른 누설 전류 특성.

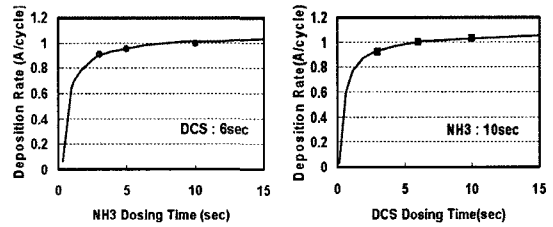
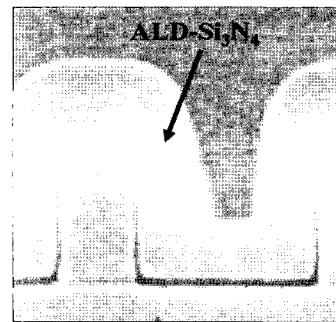


Fig. 8. 성장막 두께에 대한 조사시간 의존성 (DCS 와  $NH_3$ ).

한  $Al_2O_3$ 의 특성을 가지게 할 수 있다.<sup>12)</sup> Fig. 7은  $HfO_2$ 를 단일 layer로 성막 할 경우에 대하여, laminate로 성막한 경우 leakage current결과를 나타낸다. 각 막의 성막 온도는  $250^\circ C$  이었다. 단일 layer보다 laminate구조일 경우 누설 전류 특성이 감소함을 알 수 있다.

ALD  $Si_3N_4$ 에서, Si precursor로는 DCS( $SiH_2Cl_2$ ), TCS( $SiCl_4$ ), HCD( $Si_2Cl_6$ ) 등을 사용할 수 있으며 N precursor인  $NH_3$  radical과 조합하여  $Si_3N_4$ 를 형성시킨다. Fig. 8은 Si precursor로서 DCS를 사용한 경우, 성장막 두께에 대한 조사시간 의존성 결과를 나타낸다. DCS와



의존성 (DCS와  $NH_3$ )

Fig. 9. ALD  $Si_3N_4$ 의 step coverage.

$NH_3$  각각 6 sec.와 10 sec.에서 self limiting 특성을 보이고 있으므로 100%에 가까운 step coverage를 얻을 수 있다(Fig. 9). 또한, precursor의 흡착성이 좋아서 purge시간을 극한까지 단축시켜도 purge부족에 기인하

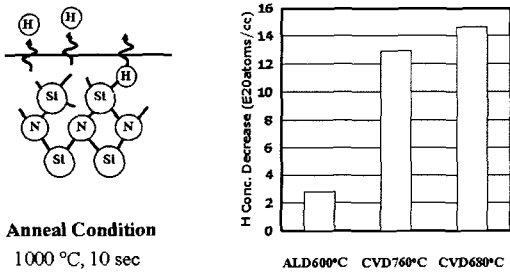


Fig. 10. 성막 방식별 탈 수소량 비교

는 이상 성장은 확인할 수 없었다. 성장속도는 약 0.1 nm/cycle이며, 350 °C의 저온에서도 성막이 가능하다.

또, Fig. 10에서 보는 바와 같이, 막 중에 잔존하는 H는 종래의 DCS/NH<sub>3</sub>를 사용하는 CVD Si<sub>3</sub>N<sub>4</sub>에 비해 매우 낮다. 막 중의 Si과 결합하는 수소의 양이 적기 때문에 후속 열처리에 의해 이탈하는 수소의 양을 저감시킬 수 있으므로, ALD Si<sub>3</sub>N<sub>4</sub>는 디바이스의 신뢰성을 향상시킬 수 있다.

MOSFET의 속도를 향상시키기 위하여 기생저항(Parasitic Series Resistance)을 낮추기 위해서는 gate 유전막 주변부의 유전율을 감소시킬 필요가 있다. 또한, source/drain영역의 ultra shallow junction유지를 위해서는 transistor형성 후 저온화가 요구된다. 따라서, 기존 CVD방식의 산화막에 비하여 저온에서 우수한 막 특성이 필요하며, 이에 따라 ALD에 의한 성막 방식과 저 수소 농도를 갖는 SiO<sub>2</sub>막이 검토되고 있다.

Table 4에 ALD SiO<sub>2</sub>적용을 위한 여러 Si precursor의 기초 특성을 나타내었다. 이 Table에서 알 수 있는 것처럼 기존 CVD에서 사용하고 있는 SiH<sub>4</sub>과 N<sub>2</sub>O 반응에 의해 형성되는 산화막에 비해 성막 온도를 낮출 수 있는 것이 공통적인 특성이다. 또한, 막 특성을 개선하기 위하여 수소가 없는 precursor를 사용하거나, 성막 속도를 높이기 위한 방법으로 ozone, radical 산소 등의 산화제 사용

도 제안되고 있다.

### 3. 결 론

종형 방식의 배치식 ALD장치는 면내 및 면간 균일성이 우수하고, 저온에서 성막이 가능하며, loading effect가 적고, 매엽식 장치보다 높은 생산성을 얻을 수 있으므로, 결과적으로 낮은 CoO(Cost of Ownership)의 실현이 가능하다. 디바이스 전공정(Frontend Process)중 DRAM의 capacitor부의 유전막형성장치로는 이미 실용화가 되어있고 MOSFET의 gate절연막 및 디바이스 구조의 복잡화에 따른 단차 피복시 필요한 Si<sub>3</sub>N<sub>4</sub> 또는 SiO<sub>2</sub> 등은 아직 개발단계로서 향후 매엽식 장치와 결합이 예상된다. 또한 barrier metal (TaN 등)의 ALD에 대해서도 종형 배치화의 필요성이 제기되고 있다. 따라서, 이러한 배치기술의 적용을 위하여, 면내 및 면간 균일성 개선을 위한 side flow기술, 성막 속도를 높이기 위한 플라즈마 에너지의 도입, 생산성 개선을 위한 기구 설계 등의 요소기술 개발이 연구·개발 단계에 들어가 있다.

### 참고문헌

1. T. Suntola : Thin Solid Films, 216 84 (1993).
2. M. Ritala, M. Leskelä, J.-P. Dekker, C. Mutsaers, P. J. Soininen, and J. I. Skarp : Chem. Vapor Deposition 5 7 (1999).
3. J. I. Skarp, P. J. Soininen, and P. T. Soininen : Appl. Surf. Sci. 112 251 (1997).
4. H. S. Nalwa : Handbook of Thin Film Materials, Vol. 1 Deposition and Processing of Thin Films: 113 (2002).
5. Y. K. Kim, S. M. Lee, I. S. Park, C. S. Park, S. I. Lee, M. Y. Lee, VLSI Tech. Symp. 52 (1998).
6. H. Hu, C. Zhu, Y. F. Lu, M. F. Li, B. J. Cho, W. K. Choi : IEEE Electron Device Lett. 23 514 (2002).
7. H. Goto, K. Shibahara, and S. Yokoyama : Appl. Phys.

Table 4. ALD SiO<sub>2</sub>용 precursors

No.	1	2	3	4	5
Source Gas	TEOS Tetraethoxy silane	BTBAS Bistertiarybutyl aminosilane	TRIES Triethoxy silane	HCD Hexachloro disilane	TDMAS Trisdimethyl aminosilane
Chemical Formula	Si(OC <sub>2</sub> H <sub>5</sub> ) <sub>4</sub>	SiH <sub>2</sub> [NH(C <sub>4</sub> H <sub>9</sub> ) <sub>2</sub> ] <sub>2</sub>	SiH(OC <sub>2</sub> H <sub>5</sub> ) <sub>3</sub>	Si <sub>2</sub> Cl <sub>6</sub>	SiHN[(CH <sub>3</sub> ) <sub>2</sub> ] <sub>3</sub>
Deposition Temperature(°C)	600-700	550-600	400-500	400-500	200-500



- Lett. 68 3257 (1996)
8. K. Ooba, Y. Nakashima, A. Nakajima and S. Yokoyama : Solid State Devices Mater. 22 (1996).
  9. S. Morishita, S. Sugahara, M. Matsumura : Appl. Surf. Sci. 112 198 (1997).
  10. O. Sneh, M. L. Wise, S. M. George : Surface Science 334 135 (1995).
  11. J. C. Phillips : J. Vac. Sci. Technol. 18 1749 (2000).
  12. J. H. Lee, Y. S. Kim, H. S. Jung, J. H. Lee, N. I. Lee, H. K. Kang, J. H. Ku, H. S. Kang, Y. K. Kim, K. H. Cho, and K. P. Suh : Symp. VLSI Tech. 84 (2002).

●● 김용원



- 1989년 성균관대학교, 금속공학과 석사
- 1989년 (주) LG(럭키소재) 입사
- 1993년 (주) 삼성전자(반도체연구소) 입사
- 1998년 (주) 국제엘렉트릭코리아 입사
- 2006년 성균관대학교, 재료공학과 박사
- 현재. (주) 국제엘렉트릭코리아 부장