

# 전압 전류 혼합구동방식을 적용한 동기정류기형 플라이백 DC-DC 컨버터

論 文

55B-9-6

## A Flyback DC-DC Converter Employing a Synchronous Rectifier Driven by a New Voltage/Current Mixed Method

李 達 雨\* · 安 泰 榮†  
(Darl-Woo Lee and Tae-Young Ahn)

**Abstract** - This paper presents a new voltage/current mixed method for driving synchronous rectifiers (SR) adapted to the flyback topology. The synchronous rectifier driven by the proposed voltage/current mixed method can operate at a wide load range with high efficiency. The gate voltage of MOSFET in the synchronous rectifier can be easily controlled by changing the ratio of resistors, irrespective of a line and load fluctuation. A 200W (12V/17A) prototype converter was built and an efficiency of 93% was measured at 10A load current.

**Key Words** : Synchronous Rectifier, Voltage Current Driven, Flyback Converter

### 1. 서 론

최근의 휴대용 전자기기는 기기간의 시스템화, 무선화, 멀티미디어화, 모바일화, 복합화 등이며 그 중에서도 멀티미디어화에 대한 사회적 관심이 높아짐에 따라서 소형 및 휴대용 멀티미디어가 각광받고 있는 추세이다. 이러한 휴대용 멀티미디어의 수요가 점점 늘어남에 따라 멀티미디어의 전원을 공급해주는 전원장치의 수요도 늘어날 것이다. 휴대용 전자기기에 안정된 전원을 공급해주는 전원장치로 교류를 직류로 변환시켜주는 AC 어댑터(Adapter)가 주로 사용되고 있으며 전원장치의 휴대성을 높이기 위해서 보다 소형이면서 고효율의 어댑터가 절실히 요구되고 있다. 어댑터는 제조가격과 사이즈를 줄이기 위해서 플라이백 회로방식이 널리 사용되고 있다. 일반적으로 플라이백 컨버터의 회로방식은 적은 수의 소자와 간단한 제어방식, 다 출력 구성이 용이하여 중소형 용량의 회로 방식에 널리 응용되고 있다. 플라이백 회로는 시비율 제어 범위가 넓기 때문에 비교적 넓은 입력전압과 부하의 범위의 설계에 적합하고 특히 주스위치가 흐르는 전류가 불연속에서 동작하는 경우 기생공진특성을 이용하여 스위치의 전압이 최저점에 이르렀을 때 턴 온 시켜주는 소프트 스위칭 기법 중의 하나인 벨리 스위칭 (Valley switching)을 적용하게 되면 스위칭 손실을 줄여주고 고효율 소형화 전원 설계가 용이하게 된다.

본 논문에서는 어댑터의 회로방식으로 널리 사용되고 있는 플라이백 컨버터에서 전류 불연속모드에서 동작하는 동기정류기를

사용하는 경우 적용할 수 있는 새로운 동기정류기 구동방식을 제안하고 기존의 구동방식과 비교하였으며 그 특징을 밝혔으며, 각각의 실험결과를 비교 보고한 것이다. [1,2]

### 2. 전류 불연속모드 플라이백 컨버터

#### 2.1 동기정류기형 플라이백 컨버터

그림 1은 동기정류기형 플라이백 DC-DC 컨버터의 기본 회로를 나타내었다. 그림에서 알 수 있듯이 플라이백 컨버터는 한 개의 주스위치  $Q_1$ 과 한 개의 정류소자  $Q_2$ , 한 개의 변압기로 구성할 수 있기 때문에 회로방식이 간단하다는 장점이 있다. 또한 정류소자  $Q_2$ 는 다이오드 대신 낮은 온 저항의 MOSFET를 사용할 수 있어서 큰 부하전류에 대해 전도손실을 줄여줄 수 있어서 고효율의 회로구현이 가능하다.

그림 2는 그림 1의 플라이백 DC-DC 컨버터의 등가회로를 나타내었다. 그림의 등가회로에서는 스위치가 이상적인 상태에서 동작하며 변압기는 누설인덕턴스와 자화인덕턴스만 고려하였고, 2차측 회로는 변압기의 권선비를 고려하여 1차측으로 환산하였으며 스위치와 정류기는 기생 커패시턴스  $C_s, C_D$ 만을 고려하였다. 또한 정상상태에서 컨버터의 출력은 출력 커패시터가 크다고 가정하여 출력전압의 전압원으로 나타내었다. 그림 3은 그림 2의 등가회로가 정상상태에서 동작하는 경우 각 스위치와 정류기의 상태에 따라 나타낸 상태별 등가회로이다. 그림 4는 등가회로가 정상상태에서 동작하는 경우 회로의 동작파형을 나타낸 것이다. 그림 3의 등가회로와 그림 4의 이론 동작파형으로부터 정상상태의 전류불연속 모드에서 동작하는 플라이백 컨버터는 다음과 같이 설명된다.

$t_0$ 에서 주스위치가 턴 온 되면 스위치는 닫히고 자화인덕터의 전류가 0에서 직선으로 증가한다. 이때 정류기에는 역바이어스에 의해 전류가 흐르지 않으며 일정 전압이 걸리게 된다.

\* 교신저자, 正會員 : 淸州大學校 電子工學科 副教授 · 工博

E-mail : tyahn@cju.ac.kr

\* 正會員 : 淸州大學校 電子工學科 博士課程

接受日字 : 2006年 5月 22日

最終完了 : 2006年 8月 7日

$t_1$ 에서 자화인덕터 전류가 최대가 되며, 이 때 주스위치가 턴오프 되고 동기정류기 스위치가 턴온 되면 인덕터 전류는 정류기를 통해 흐르고 역전압에 의해서 직선으로 감소하게 된다.

$t_2$ 에서 인덕터 전류가 0이 되고, 동기정류기 스위치가 턴오프 된다. 또한 기생 인덕턴스와 기생 커패시터의 공진에 의해서 스위치 전압이 정현파가 되고 전압이 최소가 되었을 때 스위치를 턴온 시키면 스위칭 손실을 최소화 시킬 수 있다. 이러한 소프트 스위칭 기법을 벨리 스위칭 또는 의사공진 스위칭(Quasi resonant switching)이라고 한다. 본 논문에서 검토하고 있는 전류 불연속 모드 플라이백 컨버터가 벨리 스위칭 조건에서 동작한다고 가정한다.

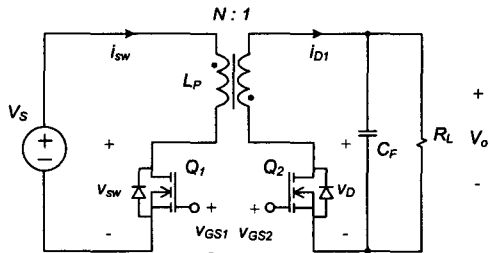


그림 1 동기정류기형 플라이백 DC-DC 컨버터의 기본회로  
Fig. 1 Basic circuit of Flyback DC-DC converter with synchronous rectifier

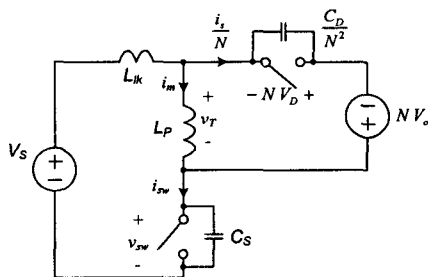


그림 2 플라이백 DC-DC 컨버터의 등가회로  
Fig. 2 Equivalent circuit of Flyback DC-DC converter

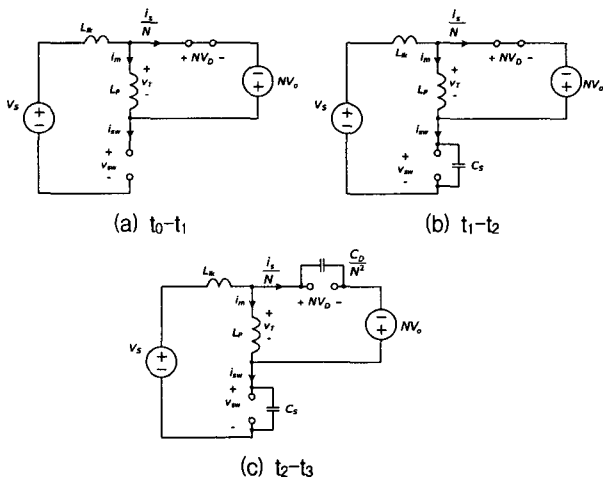


그림 3 각 상태별 등가 회로  
Fig. 3 Equivalent circuit for the states

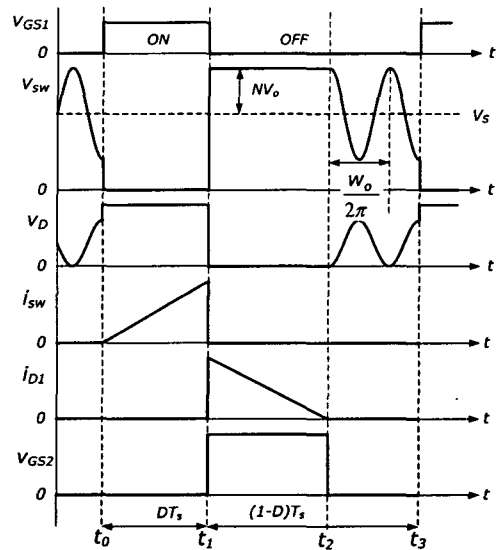
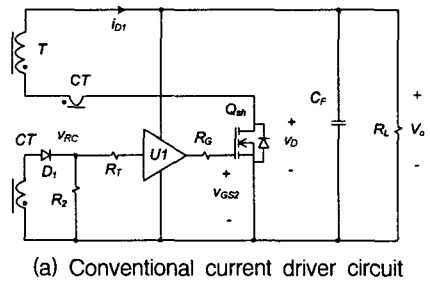
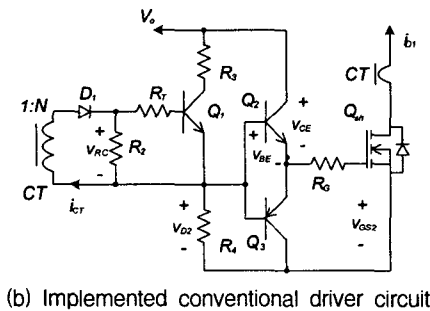


그림 4 각 상태별 동작 파형  
Fig. 4 Theoretical waveform for the states

## 2.2 전류형 동기정류기 구동방식



(a) Conventional current driver circuit



(b) Implemented conventional driver circuit

그림 5 전류형 동기정류기 구동회로  
Fig. 5 Basic circuit of current drive circuit

그림 3과 4에서 알 수 있듯이 전류 불연속모드에서 동작하는 동기정류기형 플라이백 컨버터에서는 회로에 적합한 동기정류기용 구동회로가 필요하다. 그림 5에는 기존 회로에서 널리 사용되고 있는 전류형 동기정류기 구동회로를 나타내었다. 그림 5 (a)는 전류구동방식의 기본 개념을 나타내었으며, 그림에서 변압기 T의 2차측에 흐르는 전류  $i_{CT}$ 를 CT(current transformer)를 통해서 검출하고, 다이오드  $D_1$ 과 저항  $R_2$ 를 이용하여 전류를 전압  $V_{RC}$ 로 변환시킨 후

MOSFET 구동 소자인 U1을 사용하여 동기정류용 스위치 Q<sub>sh</sub>를 구동하고 있다[4,5]. 그림 5 (b)는 그림 5(a)의 실제 구성회로를 나타내고 있다. 그림에서 Q<sub>2</sub>, Q<sub>3</sub>는 구동회로이며, Q<sub>1</sub>은 CT에서 발생된 전압을 구동회로에 전달시켜주는 역할을 한다. 그림 6에서는 동기정류기에 대한 이론파형을 나타내었다[2,3]. 그림 6의 이론파형에서 알 수 있듯이 2차측 전류를 CT를 통해 전압 V<sub>RC</sub>로 변환된 후 저항 R<sub>T</sub>에 의해 Q<sub>1</sub>의 베이스 전류가 형성되고 따라서 Q<sub>1</sub>이 온과 오프 상태가 된다. 이때 구동소자에 인가되는 과정에서 Q<sub>1</sub>의 베이스에 걸리는 전압이 문턱전압 V<sub>th</sub> 이상에서만 온 상태가 되기 때문에 실제로는 t<sub>1</sub>과 t<sub>2</sub> 사이에서 데드타임 t<sub>d1</sub>, t<sub>d2</sub>가 나타나게 된다. 이러한 데드타임은 동기정류기로 사용된 MOSFET 구동신호의 폭을 감소시키고, 내부 다이오드로 부하 전류가 흐르게 되고 따라서 전도손실을 증가시켜서 전체 변환 효율을 감소시키는 원인이 된다.

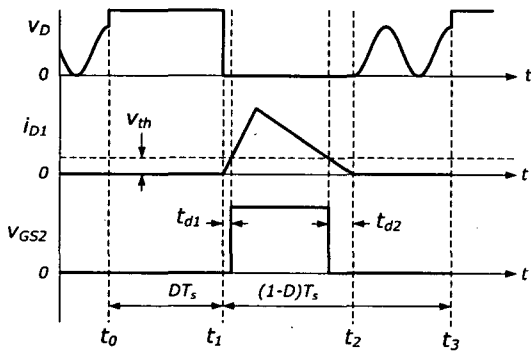
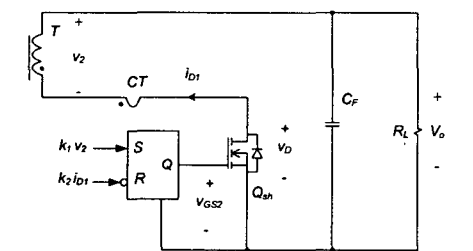
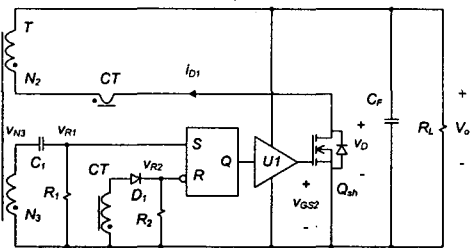


그림 6 전류형 구동회로에 대한 이론 파형  
Fig. 6 Theoretical waveform of current drive circuit

2.3 새로운 전압 전류 혼합형 구동방식



(a) Proposed driver circuit



(b) Implemented driver circuit

그림 7 제안한 동기정류용 구동회로  
Fig. 7 Proposed drive circuit for synchronous rectifier

그림 7에는 본 논문에서 제안한 동기정류용 새로운 구동회로를 나타내었다. 그림 7 (a)는 제안된 회로의 개념도이며 (b)는 실제 구현된 회로이다. 그림 8은 제안한 회로의 이론 파형을 나타내었다. 그림 7(a)에서 동기정류기의 MOSFET는 SR래치의 출력에 접속되어 있고 S 단자는 변압기의 2차측 전압, R 단자는 2차측 전류를 입력으로 하고 있다. 따라서 구동회로는 변압기의 전압에 의해 턴온 되고 전류에 의해 턴오프 되도록 구성하였다. 그림 7(b)에서 실제 구현된 회로를 나타내었으며 그림 7과 8로부터 다음과 같이 설명할 수 있다. 주스위치가 턴오프 되고 변압기의 2차측 전압이 급격하게 0이 되면 R<sub>1</sub>, C<sub>1</sub>으로 구성된 미분회로를 거쳐서 V<sub>R1</sub>과 같이 미분 전압이 SR 래치의 단자 S를 트리거하여 구동회로가 턴온상태가 된다. 동기정류기는 턴온 되어 전류가 흐르게 되고 전류가 감소하여 CT, D, R<sub>2</sub>에 의해 전압으로 변환된 V<sub>R2</sub> 전압이 일정값 V<sub>th</sub>이하가 되면 R 단자에서 오프가 되면서 구동전압은 턴오프 상태가 되어 스위치 동작이 마감된다. 그림과 설명에서 알 수 있듯이 본 논문에서 제안한 전압-전류 혼합형 구동회로는 턴온 되는 데드타임 t<sub>d1</sub>을 줄여주기 때문에 회로의 효율 개선을 기대할 수 있다.

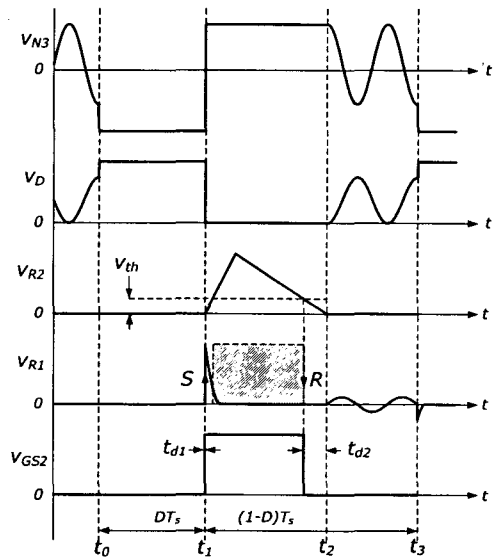


그림 8 제안한 구동회로의 이론 파형  
Fig. 8 Theoretical waveform of proposed drive circuit

3. 실험 결과

일반적으로 AC 어댑터는 휴대하기 위해 사이즈를 경박 소형화 시켜야하며 특히 본 논문에서와 같이 비교적 대용량에 해당하는 200W급 AC 어댑터의 소형화 및 고효율화 뿐만 아니라 IEC 61000-3-2와 같은 입력 고조파 전류의 규제 때문에 PFC 회로를 입력단에 사용하는 것이 일반적이다. 따라서 본 논문에서는 제안한 전압 전류 혼합형 동기정류기가 어댑터에서 사용되고 있는 PFC를 적용하였을 때 정상동작 여부와 기본적 특성을 확인하기 위해서 시험회로를 구성하고 실험결과를 관찰하였다. 우선 표 1과 같은 전기적 사양의 실험회로를 구성하였다. 표 1에서 알 수 있듯이 입력 전압은 AC 어댑터에 응용하기 위해서 AC 90V ~ 265V, 출력

전압은 12V, 최대출력전력은 200W, 최대 전류는 17A로 설계하였다. 그림 9에는 표 1의 설계사양으로 구성된 실험회로가 나타나 있으며, 어댑터의 사이즈를 줄이면서 고조파 규제를 만족시키기 위해서 PFC 회로를 추가하였고, PFC 출력전압은 380V로 일정하게 하였다. 또한 전류불연속모드의 플라이백 컨버터의 스위칭 손실을 저감시키기 위해서 벨리스위칭 PWM 제어소자인 TEA1654를 사용하였으며, 동기정류기용 MOSFET는 필립스사의 정격전압 110V, 최대전류 75A, 온 저항이 15m $\Omega$ 인 PSMN015-110P를 병렬로 3개 사용하였다.

표 1 실험회로의 설계사양  
Table 1 Specifications of experimental circuit

Parameter	Value	Unit
Input Voltage	$V_{AC}$	90-265 $V_{RMS}$
Output Voltage	$V_o$	12 V
Maximum Load Current	$I_o$	17 A
Maximum Power	$P_{omax}$	200 W
PFC output voltage	$V_s$	380 V
Primary Turns Ratio	$N_1:N_2$	40 : 8 N
Magnetizing Inductance	$L_P$	702 $\mu H$

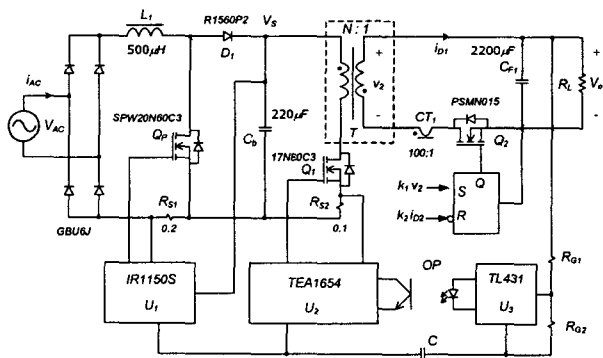


그림 9 실험 회로  
Fig. 9 experimental circuit

그림 10에는 기존 회로구성에서 널리 사용된 전류구동방식 CD(current driven) SR과 본 논문에서 제안한 전압 전류 혼합형 동기정류기용 구동회로 VCM(voltage current mixed) SR의 실험파형을 나타내었다. 실험의 비교를 위해서 PFC의 출력전압을 380V로 일정하게 하였다.

그림 10(a)와 (b)는 전류형 동기정류기 구동회로를 각각 무부하와 최대부하 200W의 회로에 적용한 실험파형이며 2차측 전류  $i_{D1}$ 에 의해 전압  $V_{R1}$ 로 변환되어 구동전압  $V_{GS1}$ 가 회로에 인가되고 있다는 것을 알 수 있다. 10(c)과 (d)는 본 논문에서 제안한 전압 전류 혼합형 동기정류기용 구동회로를 회로에 적용한 실험파형이다. 그림들로부터 주스위치의 전압이 전형적인 벨리스위칭 동작을 하고 있으며 그 결과 스위칭 손실 저감이 기대된다. 그림 (b)와 (d)는 최대부하의 각 방식에 대한 주요 실험파형이며 두 방식의 실험파형이 거의 같다는 것을 알 수 있으나, 그림 (a)와 (c)와 같이 부

하가 무부하인 경우 전류구동형의 구동 펄스폭에 비해 전압 전류 혼합형 동기정류기용 구동회로 쪽의 펄스폭이 넓은 것을 알 수 있다. 이것은 전압 전류 혼합형 구동회로가 전류 구동방식에 비해 동기정류기의 전도손실이 저감시킬 수 있다는 것을 의미한다.

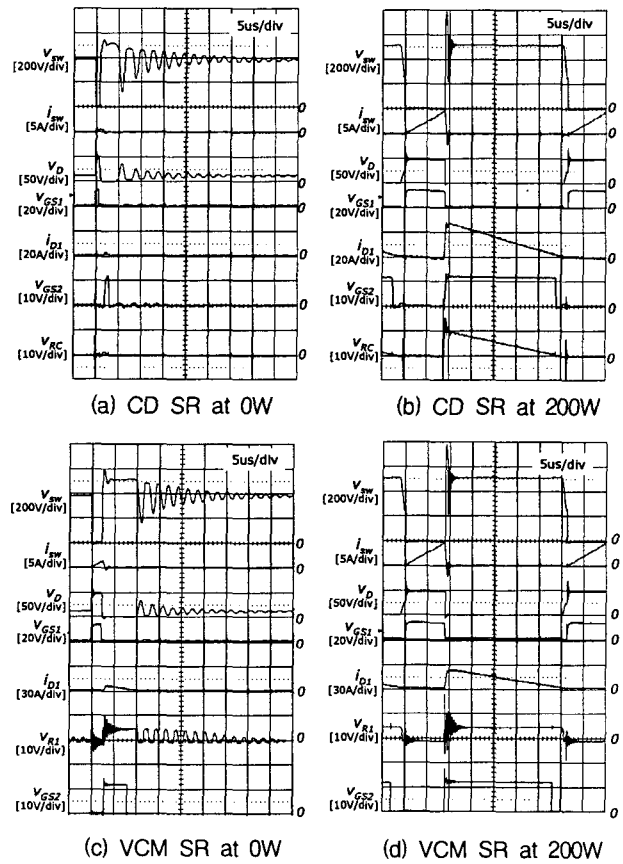


그림 10 구동방식과 실험파형 ( $V_s=380V, V_o=12V$ )  
Fig. 10 Drive method and experimental waveforms

제안된 동기정류기의 효율 개선 효과를 관찰하기 위해서 그림 11과 같이 두 가지 구동방식에 대한 전력변환효율을 측정하여 나타내었다. 본 논문에서는 좀 더 객관적인 전력 변환 효율비교를 위해서 어댑터 입력단에서 사용된 PFC 부분을 제외시켰다. 대신 380V의 직류전압을 인가하고 부하 전류를 변화 시키면서 효율을 측정하였다. 그림 11의 실험 결과로부터 중부하 이상에서는 두 가지 동기정류기 방식에 대한 효율 차이는 나타나지 않았지만, 4A 이하에서 두 가지의 회로방식에 대한 효율차이가 나타나기 시작하였고, 3A 이하의 범위에서는 약 4% 정도의 효율이 개선되었다. 따라서 본 논문에서 제안된 동기정류 구동방식은 비교적 낮은 부하에서 효율개선이 기대되며 따라서 최근 대기 상태의 전자기에 대한 전력소모를 제한하는 대기전력을 저감시킬 수 있다는 것을 알 수 있었다.

그림 12에서는 부하변동에 대한 스위칭 주파수의 변화를 측정한 것이다. 그림에서 알 수 있듯이 두 가지 구동방식에 대한 스위칭 주파수의 차이는 측정오차 범위 내에서 일치하고 있었다. 이것은 구동회로에 의해 회로의 기본특성은 변

화하지 않으면서 회로의 전력변환 효율을 개선시킬 수 있다는 것을 의미한다고 판단된다.

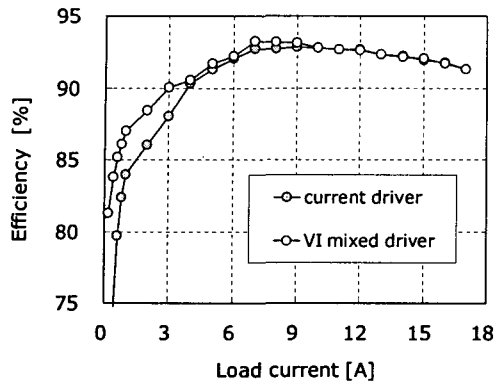


그림 11 구동방식과 DC-DC 전력변환효율  
Fig. 11 Drive method and DC-DC Power conversion efficiency (Vs=380V, Vo=12V)

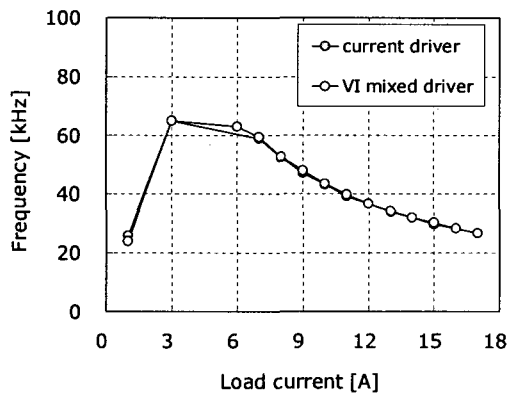
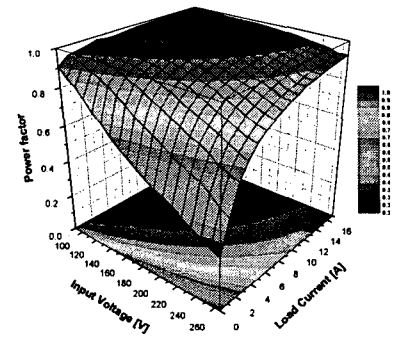
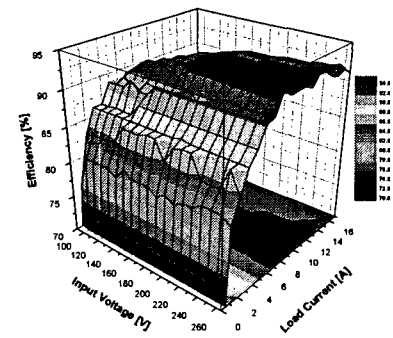


그림 12 부하변동과 스위칭 주파수  
Fig. 12 Load variation and switching frequency

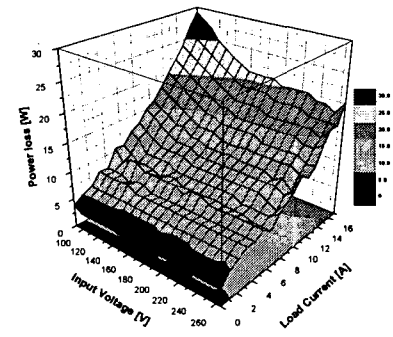
PFC를 적용한 어댑터에서 본 논문에서 제안된 동기정류기 구동회로의 실용성 유용성을 검증하기 위해서 그림 9의 전체 실험회로에 대한 정상상태 특성을 관찰하였다. 그림 13에서는 기본 성능을 측정하여 나타낸 정상상태 특성 그래프이다. 그림 13(a)은 어댑터의 입력역률을 나타내었다. 그림으로부터 PFC 부분은 넓은 입력전압 범위와 부하범위에서 비교적 높은 역률을 나타내고 있으며 전체 면적의 90% 이상에서 0.8 이상의 높은 역률을 나타내고 있다. 그림 13(b)은 전체 실험회로의 전력변환효율을 나타낸 것이다. 그림에서 실험회로는 입력전압이 260V<sub>RMS</sub>, 부하전류가 10A에서 최대 93%의 효율을 나타내고 있으며, 입력전압과 부하전류가 낮을수록 효율이 낮아지고 있다는 것을 알 수 있다. 그림 13(c)은 실험회로의 전력변환 손실을 나타낸 것이다. 그림에서 실험회로는 최저 입력전압 90V<sub>RMS</sub>, 최대 부하에서 가장 많은 전력손실이 발생되며 이때 28W의 내부손실을 나타내고 있다는 것을 알 수 있다. 그림 13(d)은 실험회로의 출력전압 안정도를 나타낸 것이다. 그림으로부터 어댑터의 출력전압은 전체 동작범위 내에서 최대 0.1V이하에서 변동되고 약 0.9% 이하에서 안정되고 있다는 것을 알 수 있다.



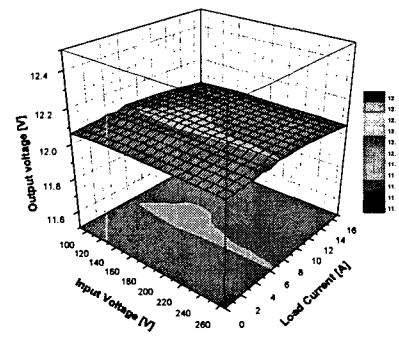
(a) AC Input power factor



(b) Power conversion efficiency



(c) Power conversion losses



(d) Output voltage regulation

그림 13 실험 결과  
Fig. 13 Experimental results

#### 4. 결 론

본 논문에서는 어댑터의 회로방식으로 널리 사용되고 있는 전류 불연속모드에서 동작하는 동기정류기형 플라이백 컨버터를 사용하는 경우 적용할 수 있는 새로운 전압 전류 혼합형 동기정류기 구동방식을 제안하고 기존의 전류형 구동방식과 비교하여 그 특징을 밝혔으며, 실용성을 판단하기 위해서 약 200W급의 AC 어댑터 전원장치를 구성하고 그 실험결과를 비교 보고하였다.

본 논문의 실험결과로부터 제안된 전압 전류 혼합형 동기정류기 구동회로는 특히 낮은 부하에서 구동 펄스폭이 기존의 전류형 구동회로 방식에 비해 넓어지고 전도손실을 저감시키면서 전력변환 효율을 4% 정도 높여주기 때문에 AC 어댑터와 같은 전원장치의 대기전력을 개선시킬 수 있다는 것을 밝혔다. 또한 실험회로는 입력전압이 260V<sub>RMS</sub>, 부하전류가 10A에서 최대효율 93%를 나타내었으며 전체 동작범위 내에서 최대 0.9% 이하에서 안정되고 있다는 것을 알 수 있었다.

#### 감사의 글

본 연구는 삼성전기주식회사 P&M사업부의 연구비 지원에 의해 수행된 연구결과 일부이며 관계자 여러분께 심심한 감사의 말씀을 드립니다.

이 연구는 산업자원부·한국산업기술 평가원 지정 청주대학교 정보통신연구센터의 지원에 의한 것입니다.

#### 참 고 문 헌

[1] N. G. Hingorani, "Power Electronics in Electric Utilities : Role of Power Electronics in Future Power System," Proceedings of the IEEE, Vol. 76, No. 4, April, 1988, pp. 481~482.  
 [2] Xuefei Xie, Joe Chui Pong Liu, Franki Ngai Kit Poon, Man Hay Pong "A Novel High Frequency Current-Driven Synchronous Rectifier Applicable to Most Switching Topology" IEEE Transactions on Power Electronics, Vol. 16, pp. 635~648, Vol. 16, no. 5, September 2001.

[3] Ron, Brown, Marco Ssoldano "One Cycle Control IC Simplifies PFC Designs", As presented at APEC 2005.  
 [4] J. M. Zhang, X.G. Xie, D.Z. Jiao, Zhaoming Qian, "A High Efficiency Adapter with Novel Current Driven Synchronous Rectifier" IEICE/IEEE INTELEC'03, pp. 205~210, Oct. 19~23, 2003.  
 [5] Jonel Dan Jitaru, "High Efficiency Flyback Converter using Synchronous Rectification" IEEE APEC 2002, pp. 867~871.

### 저 자 소 개



#### 이 달 우 (李 達 雨)

1959년 6월 16일 생. 1983년 한양대 전자공학과 졸업. 1990년 동 대학원 전자공학과 졸업(석사). 1992년 LG전자 주임연구원. 2003년 신도리코 책임연구원. 2004년~현재 청주대학교 대학원 전자공학과 박사과정.  
 Tel : 043-229-8439  
 Fax : 043-229-8439  
 E-mail : dmks7@cju.ac.kr



#### 안 태 영 (安 泰 榮)

1984년 한양대 전자공학과 졸업. 1990년 동 대학원 전기공학과 졸업(석사). 1994년 큐슈대학교 전자공학 (공학박). 1995년 일본 세이코전기 선임연구원. 1996년 삼성전자 반도체 선임연구원. 1997년~현재 청주대학교 전자정보공학부 부교수.  
 Tel : 043-229-8439  
 Fax : 043-229-8439  
 E-mail : tyahn@cju.ac.kr