

레터논문-06-11-1-13

재표본화에서 다단계 구현의 계산 효율성

김인철^{a)*}

Computational Efficiency of Resamplers in Multi-Stage Structure

Rin-Chul Kim^{a)*}

요 약

본 논문에서는 다단계 구조의 유리수배 표본화율 변환기의 계산 효율성을 메모리 사용량과 초당 곱셈 수 측면에서 정량적으로 평가한다. 그리고 다단계 구조에서 해상도 보존 조건과 서로소 조건을 설명하고, 각 단계의 최적 변환 비율을 유리수배로 직접 얻을 수 있는 설계 과정을 제시한다. 실제 예로, 44.1KHz에서 48KHz로의 표본화율 변환기를 2단계 구조로 구현한 예를 보인다.

Abstract

This paper evaluates the computational efficiency of sample-rate converters with rational factors in multi-stage structure in terms of memory requirement and multiplications per second. We describe resolution preserving and mutual prime conditions, and then present a method for designing the converter from which optimal rational-valued conversion factors for each stage can be yielded directly. As an example, we show an implementation of the 44.1-to-48KHz sample-rate converter in 2-stage structure.

Keyword: Multi-Stage, Polyphase Implementation, Complexity, Sample-Rate Conversion

I. 서 론

1975년 Crochiere와 Rabiner^{[1][2]}가 multi-rate 디지털 신호 처리 기법을 제시한 이래로 디지털 영역에서 표본화율 변환(sample-rate conversion)에 대해 심도 있는 연구가 진행되었다. 그들은 up-sampling과 down-sampling을 위한 일반적인 구조와 다단계(multi-stage) 구조 등을 소개하고, multi-rate 시스템 설계 방법을 제시하였다. 최근에 Huang^[3]은 정수배 표본화율 변환기를 다단계 구현할 때 단계별 최적의 변환 비율 (conversion factor)을 정수 값으로 직접 얻을 수

있는 설계 과정을 제시하였다. 그러나 지금까지 소개된 다단계 표본화율 변환 기법들은 단지 정수배 변환에 한정되어 있었다. 본 논문에서는 유리수배(rational factor) 표본화율 변환기를 다단계 구현하는 방법에 대해 살펴본다. 효율적인 구현을 위해 다위상(polyphase) 구조를 사용하고, 유리수배 다단계 표본화율 변환기의 설계 방법을 제시한다.

II. 유리수배 표본화율 변환

일반적으로 단일 단계(single-stage) 혹은 다단계 구조의 i 번째 단계에서 유리수배 표본화율 변환기는 그림 1과 같이 나타내어진다. 그림 1에서 입력은 먼저 L_i 배 up-sampling 되고, 저대역 통과 필터를 통과한다. 그런 다음, M_i 배 down-

a) 서울시립대학교 전자전기컴퓨터공학부

Dept. of Electrical & Computer Eng., University of Seoul

* 본 연구는 '2004년 서울시립대 교내학술연구과제'에 의한 결과입니다.

‡ 교신저자 : 김인철(rin@uos.ac.kr)

sampling 되어 출력된다. 이때, 입력 표본화율 $F_{s,i-1}$ Hz와 출력 표본화율 $F_{s,i}$ Hz 간의 관계는 다음과 같다.

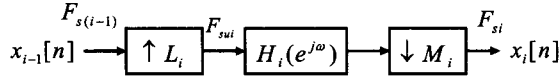


그림 1. 유리수배 표본화율 변환기의 구조
Fig. 1. Block diagram of the sample-rate converter with a rational factor.

$$F_{s,i} = \frac{L_i}{M_i} \times F_{s,i-1} \quad (1)$$

여기서, L_i 와 M_i 는 정수 값이다. 본 논문에서는 편의상 $L_i > M_i$, 즉 표본화율 변환기를 거쳐 표본화율이 높아진다고 가정한다. 반대의 경우는 본 논문 및 참고문헌[2][4]를 참조하여 쉽게 도출할 수 있다. 이때, 저대역 통과 필터의 통과대역과 정지대역에서 리플의 최대 크기는 각각 δ_1 및 δ_2 로 정의된다고 하자. 그리고 통과대역과 정지대역의 경계(edge)가 각각 F_1 과 F_2 Hz로 정의된다고 하자. 만약 저대역 통과 필터 $H_i(e^{j\omega})$ 를 equi-ripple FIR 필터로 구현한다면, Herman 등이 수행한 분석을 Kaiser가 간략히 한 결과^[4]에 의한 최적 필터의 차수는 다음과 같이 추정된다.

$$N_i = \frac{-10(\log_{10}\delta_1\delta_2) - 13}{2.324 \times 2\pi} \cdot \frac{F_{s,i-1} \times L_i}{\Delta F} \quad (2)$$

여기서, $F_{s,i-1} \times L_i$ (Hz)는 필터의 표본화 주파수이고, ΔF 는 전이대역(transition band)의 대역폭이다. 이산 신호가 주파수 영역에서 표본화 주파수를 주기로 하는 주기 함수로 표현되고, 주파수 영역에서 중첩 오류(aliasing error)를 방지하기 위해 중복된 스펙트럼 상(replicated spectral image)이 기저대역(baseband)의 정지대역 경계 안으로 겹쳐지지 않아야 한다는 점^[2]을 고려하면 전이 대역의 대역폭은 다음과 같이 나타낼 수 있다.

$$\Delta F = F_{s,i-1} - F_2 - F_1 \quad (3)$$

식 (2)의 첫 번째 인자(factor)를 $D(\delta_1, \delta_2)$ 로 정의하고, 식 (3)을 참조하면, 식 (2)를 다음과 같이 고쳐 쓸 수 있다.

$$N_i = D(\delta_1, \delta_2) \cdot \frac{F_{s,i-1} \times L_i}{F_{s,i-1} - F_2 - F_1} \quad (4)$$

일반적으로 표본화율 변환기의 효율성은 메모리 요구량 (TSR; total storage requirement)과 초당 곱셈 수 (MPS; multiplications per second)로 측정되는 계산 복잡도 등으로 평가된다. 메모리 요구량은 필터 계수 및 데이터 저장을 위해 필요한 word 수로 측정하는데, 이는 필터의 차수에 비례하므로 다음과 같이 필터 계수를 저장하는데 필요한 word 수로 제한하여 측정한다.

$$TSR_i = \left\lceil \frac{N_i + 1}{2} \right\rceil \quad (5)$$

여기서, 사용되는 필터가 대칭 필터(symmetric filter)이므로 2로 나누었고, a 은 a 와 같거나 큰 수 중 가장 작은 정수를 출력하는 함수이다. 한편, 그림 1의 표본화율 변환기는 필터 차수에 비례하여 계산 복잡도가 높아지지만, 다 위상 구조로 구현하면 계산 효율성을 향상시킬 수 있다. 즉, 필터에 입력되는 신호는 up-sampling에 의해 매 L_i 번째 샘플만 0이 아닌 값을 가지므로 실제 필터링에 요구되는 곱셈 수는 $1/L_i$ 배로 감축된다. 또한, down-sampling에 의해 출력 신호의 표본화 주파수는 식 (1)과 같이 표현되므로 초당 곱셈 수는 다음과 같이 나타낼 수 있다.

$$MPS_i \approx D(\delta_1, \delta_2) \cdot \frac{F_{s,i-1}^2}{F_{s,i-1} - F_2 - F_1} \cdot \frac{L_i}{M_i} \quad (6)$$

III. 표본화율 변환기의 다단계 구현

변환 비율이 L/M 인 표본화율 변환기를 K 단계의 다 단계 구조로 구현하려면, 변환 비율을 다음과 같이 K 개의 곱으로 나누어야 한다.

$$\frac{L}{M} = \frac{L_1}{M_2} \cdot \frac{L_2}{M_2} \dots \frac{L_K}{M_K} = \prod_{i=1}^K \frac{L_i}{M_i} \quad (7)$$

그런 다음, i 번째 단계는 그림 1의 구조로 구현되어 변환 비율 L_i/M_i 로 표본화율을 변경하고, K 개의 단계를 직렬 연결하여 변환기를 구성한다. 이 변환기에서 신호의 표본화율은 입력 $F_{s,0}$ Hz에서 출력 $F_{s,K} = (L/M)F_{s,0}$ Hz로 변환된

다. 이때, 신호의 해상도를 저하시키지 않기 위해서는 각 단계의 출력 신호의 표본화율은 다음의 관계를 만족시켜야 한다.

$$F_{s,i} \geq \min \{F_{s,0}, F_{s,K}\}, \quad 1 \leq i \leq K \quad (8)$$

i 번째 단계에서 출력 신호의 표본화율은 그 단계까지의 변환비율과 입력 신호의 표본화율의 곱으로 표현된다는 것을 참조하면, 식 (8)을 다음과 같이 L_i 와 M_i 의 함수로 표현할 수 있다.

$$\prod_{j=1}^i \frac{L_j}{M_j} \geq \min \left\{ 1, \frac{L}{M} \right\}, \quad 1 \leq i \leq K \quad (9)$$

한편, i 번째 단계에서 변환 비율 L_i/M_i 은 서로소 (mutual prime) 조건을 만족하여야 한다. 식 (5) 및 (4)를 참조하면, 메모리 요구량은 up-sampling 비율 L_i 에 비례하여 증가하지만, 식 (6)의 MPS는 L_i/M_i 에 비례함을 알 수 있다. 만약, 변환 비율을 $(L_i \times a)/(M_i \times a)$ 로 변경한다면, 변환 비율이 L_i/M_i 일 때와 동일한 변환을 수행할 수 있고, 식 (6)의 MPS 또한 동일하다. 그렇지만, 식 (5)로 표현되는 TSR은 a 배 증가하여 변환기의 효율성이 낮아진다. 이러한 점을 참조할 때, L_i 와 M_i 가 서로소(mutual prime)일 때 효율성이 가장 높다는 것을 알 수 있다.

다단계 구조의 표본화율 변환기의 효율성은 단일 단계 변환기와 마찬가지로 TSR과 MPS로 평가할 수 있다. TSR은 각 단계의 필터의 차수에 비례하는 메모리 요구량을 합하여 다음과 같이 표현된다.

$$TSR = \sum_{i=1}^K \left\lceil \frac{N_i + 1}{2} \right\rceil \quad (10)$$

한편, $L > M$ 의 조건하에서 입력 신호의 전체 스펙트럼을 보존하기 위해서는 $F_{s,0} = 2F_2$ 라는 조건을 만족시켜야 한다. 이를 참조하면, MPS는 식 (6)으로부터 다음과 같이 나타낼 수 있다.

$$MPS \approx \sum_{i=1}^K \left\{ \frac{D(\delta_1/K, \delta_2) \cdot F_{s,0}}{1 - \left(\frac{2 - \Delta f}{2}\right)^{\prod_{j=1}^{i-1} M_j}} \cdot \prod_{j=1}^i \frac{L_j}{M_j} \right\} \quad (11)$$

여기서, $\Delta f = 2(F_2 - F_1)/F_{s,0}$ 이다. 그리고 직렬 연결된 단계들을 모두 거친 최종 출력에서 통과대역 리플의 크기가 δ_1 이 되어야 하므로 각 단계에서 리플은 δ_1/K 라는 크기를 가져야 한다^[2]. 식 (11)을 참조하면, 두 번째 인자로 표현된, 현재 단계까지의 변환 비율의 곱이 낮으면 MPS가 작아진다. 그렇지만, 변환 비율의 곱이 작은 값을 가지면, 식 (11)의 첫 번째 인자의 분모에 표현된, 전이 대역의 폭을 작게 만들어 MPS가 높아지게 한다. 따라서 다단계 표본화율 변환기를 효율적으로 구현하기 위해서는 식 (11)로 표현된 MPS를 최소화할 수 있는 각 단계별 변환 비율을 검색해야 한다.

입력의 표본화율이 $F_{s,0}$ Hz일 때 K 단계 구조를 통해 표본화율을 $F_{s,K} = (L/M)F_{s,0}$ Hz로 변환하고자 할 때, 표본화율 변환기를 설계하는 과정은 다음과 같다. 먼저, 식 (7)과 같이 표현할 수 있는 모든 $\{L_i/M_i, i = 1, \dots, K\}$ 조합을 만든다. 여기서 L_i 와 M_i 는 정수 값으로 제한하여 각 단계가 그림 1과 같이 바로 구현될 수 있도록 한다^[3]. 각 조합에 대해 각 단계에서의 변환 비율이 서로소 조건을 만족시키는지와 식 (9)의 해상도 보존 조건을 만족시키는지를 검사한다. 이 두 조건을 만족시키는 조합에 대하여 식 (11)의 MPS를 계산하여 최소의 MPS 값을 가지는 조합을 검색한다. 본 논문에서의 설계 과정은 2가지 제한 조건 하에서 정수 값의 L_i 및 M_i 에 대해서만 검색하므로, 셀 수 있는 개수의 조합에 대해서만 검사하면 된다. 따라서 본 설계 기법은 전역 검색을 통해 최적의 값을 결정할 수 있다는 장점이 있다.

IV. 실험 및 결론

본 절에서는 III절에서 제시한 다단계 구현 기법을 이용하여 44.1KHz 표본화율의 CD 오디오를 48KHz 표본화율의 오디오로 변환하는 변환기^[5]를 2단계 구현하는 예를 소개하고, 결론을 제시한다. 구현되는 표본화율 변환기는 변환 비율이 $L/M = 147/160$ 이라는 유리수배로 나타내어지고, $\delta_1 = 10^{-4}$, $\delta_2 = 10^{-5}$ 으로 하여 100 dB 이상의 SNR을 유지하여 고품질 오디오 시스템에 적용할 수 있도록 한

다. 또한, 통과대역 및 정지대역 경계는 각각 $F_1=20\text{KHz}$, $F_2=22.05\text{KHz}$ 로 하여 오디오의 전대역을 처리할 수 있도록 한다.

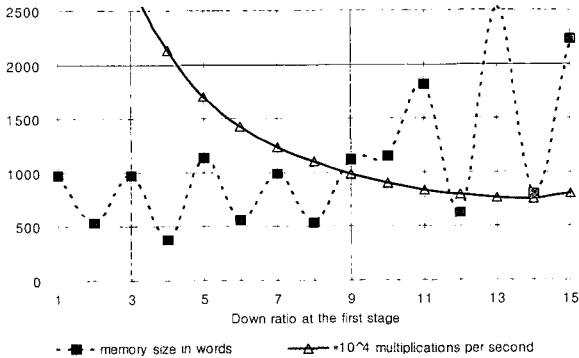


그림 2. 첫 번째 단계의 up-sampling 비율이 16일 때의 성능
Fig. 2. Performance for the up-sampling ratio equal to 16 at the first stage.

그림 2에서는 첫 번째 단계 up-sampling 비율이 16일 때 down-sampling 비율에 따른 변환기의 성능을 TSR과 MPS 측면에서 도시하였다. 여기서 첫 번째 단계 변환 비율이 결정되면 두 번째 단계 변환 비율은 자동적으로 결정된다. 그림 2를 참조하면 첫 번째 단계 down-sampling 비율이 11이상일 때 MPS가 낮은 값을 유지함을 알 수 있다. 특히 비율이 $16/12 = 4/3$ 혹은 $16/14 = 8/7$ 일 때 MPS 뿐만 아니라, TSR 측면에서도 우수한 성능을 보였다.

표 1에서는 첫 번째 단계의 up-sampling 비율이 주어졌을 때 최소의 MPS 값을 가지는 첫 번째 단계 down-sampling 비율 및 두 번째 단계의 변환 비율을 제시하였다. 그리고 각 경우에서의 MPS 및 TSR을 제시하였다. 표 1을 참조하면, 첫 번째 단계 up-sampling 비율이 4 이상일 때 MPS는 8×10^6 이하라는 매우 작은 값을 유지함을 알 수 있다. 주목할 점은 첫 번째 단계의 up-sampling 비율에 관계없이 MPS를 일정한 값으로 유지할 수 있다는 것이다. 반면에 TSR은 첫 번째 단계 up-sampling 비율이 높아짐에 따라 필터의 차수가 높아져 TSR 또한 높아짐을 알 수 있다. 따라서 표 1의 MPS 및 TSR 결과를 참조하면, 44.1KHz에서 48KHz로의 표본화율 변환기를 2단계 구조로 구현할 때 단계별 변환 비율을 4/3-40/49 혹은 8/7-20/21로 구성하는

표 1. 2단계 표본화율 변환기의 성능 (S1: 첫 번째 단계, S2: 두 번째 단계)
Table 1. Performance of the two-stage sample-rate converters. (S1: first stage, S2; second stage)

conversion ratio		filter order		MPS/10,000			TSR
S1	S2	S1	S2	S1	S2	total	
2/1	80/147	236	838	1050	52	1102	539
4/3	40/49	472	770	700	96	796	623
5/4	128/147	590	2957	656	115	771	1,775
8/7	20/21	943	662	595	163	758	804
10/9	48/49	1179	1855	578	187	765	1,518
16/13	130/147	1886	3163	640	120	760	2,526
20/17	136/147	2358	3933	612	139	751	3,147
32/27	45/49	3772	1262	617	139	756	2,519
40/33	44/49	4715	1131	631	125	756	2,924
80/69	46/49	9430	1420	603	149	752	5,427

것이 효율적임을 알 수 있다. 만약 이 변환기를 단일 단계로 구현한다면, 제 II 절을 참조할 때 MPS는 약 5.5×10^6 이 되고, TSR은 9076이 된다. 따라서 2단계로 구현하면 단일 단계에 비해 MPS가 약 7/5배 증가하지만, TSR을 1/15로 대폭 감축시킬 수 있음을 알 수 있다.

본 논문에서는 유리수배 표본화율 변환기를 다단계 구현하는 방법을 제시하고, 44.1KHz에서 48KHz로의 표본화율 변환기를 2단계 구조로 구현함으로써 실제 예를 보였다. 본 논문에서 제시하는 다단계 구현 기법은 메모리 소요량 및 계산 복잡도 측면에서 표본화율 변환기를 최적으로 설계할 수 있는 기반을 제공할 수 있을 것으로 기대한다.

참 고 문 헌

- [1] R.E. Crochiere and L.R. Rabiner, "Optimum FIR digital filter implementations for decimation, interpolation, and narrow-band filtering," IEEE Trans. Acoust., Speech, Signal Processing, vol. 23, no. 5, pp.444-456, Oct. 1975.
- [2] R.E. Crochiere and L.R. Rabiner, Multirate Digital Signal Processing, Prentice-Hall, Inc., 1983.
- [3] D.-F. Huang, "The direct integer factorization approach to the Crochiere and Rabiner multistage FIR designs for multirate systems," 3rd Int'l symp. on Image and Signal Process. and Anal., pp. 1060-1065, 2003.
- [4] A.V. Oppenheim, R.W. Schaffer and J.R. Buck, Discrete-Time Signal Processing, 2nd Ed., Prentice Hall, 1998.
- [5] 이용희, 김인철, "오디오 신호를 위한 표본화율 변환 알고리즘 성능 비교," 방송공학회 논문지, 제9권, 제4호, pp. 384-390, 2004년12월.