

논문 2006-43SD-8-4

# 저 전력 Folding-Interpolation 기법을 적용한 1.8V 6-bit 100MS/s 5mW CMOS A/D 변환기의 설계

( Design of an 1.8V 6-bit 100MS/s 5mW CMOS A/D Converter  
with Low Power Folding-Interpolation Techniques )

문 준 호\*, 황 상 훈\*, 송 민 규\*\*

( Jun-Ho Moon, Sang-Hoon Hwang, and Min-Kyu Song )

## 요 약

본 논문에서는, 1.8V 6-bit 100MSPS CMOS A/D 변환기를 제안한다. 제안하는 A/D 변환기는 저 전력소모를 위해 폴딩 구조의 A/D 변환기로 구현되었으며, 특히 전압구동 인터폴레이션 기법을 사용하여 전력소모를 최소화 하였다. 또한 전체 A/D 변환기의 전력소모 감소를 위해 새로운 폴더 감소회로를 제안하여 기존의 폴딩 A/D 변환기에 비해 폴더 및 프리앰프 수를 절반으로 줄였고, 새로운 프리앰프 평균화 기법을 제안하여 전체 A/D 변환기의 성능을 향상시켰다. 설계된 A/D 변환기는 100MSPS의 변환속도에서 50MHz의 ERBW를 가지며, 이때의 전력소모는 4.38mW로 나타난다. 또한 측정결과 FoM은 0.93pJ/convstep의 우수한 성능 지표를 갖으며, INL 및 DNL은 각각  $\pm 0.5$  LSB 이내의 측정결과를 보였다. 제안하는 A/D 변환기는 0.18 $\mu$ m CMOS공정으로 제작되었고 유효 칩 면적은 0.28mm<sup>2</sup> 이다.

## Abstract

In this paper, CMOS analog-to-digital converter (ADC) with a 6-bit 100MSPS at 1.8V is described. The architecture of the proposed ADC is based on a folding type ADC using resistive interpolation technique for low power consumption. Further, the number of folding blocks (NFB) is decreased by half of them, compared to the conventional ones. A moebius-band averaging technique is adopted at the proposed ADC to improve performance. With the clock speed of 100MSPS, the ADC achieves an effective resolution bandwidth (ERBW) of 50MHz, while consuming only 4.5mW of power. The measured result of figure-of-merit (FoM) is 0.93pJ/convstep. The INL and DNL are within  $\pm 0.5$  LSB, respectively. The active chip occupies an area of 0.28mm<sup>2</sup> in 0.18 $\mu$ m CMOS technology.

**Keywords :** ADC, Folding-Interpolation Architecture, Folder Reduction Circuit, Novel averaging technique

## I. 서 론

Analog-Digital Interface 기술 중에서 고속, 저 전력의 A/D 변환기는 광범위한 응용분야를 갖는다. 특히 Cellular phone, GPS(Global Positioning System), DMB(Digital Multimedia Broadcasting) 수신기와 같은 무선 통신 시스템의 수신단에는 반드시 Analog Baseband 신호를 Digital Data 신호로 변환해주는 A/D

변환기가 필요하다. 일반적으로 이러한 통신 시스템의 A/D 변환기는 넓은 Dynamic range를 요구하고 있으며, SNR(Signal to Noise Ratio)의 저하나 어떠한 Spurious 또는 Distortion을 발생시켜서는 안 된다. 또한 통신 시스템의 수신단을 하나의 Chip으로 One-Chip 화시키는 고집적 회로로의 구현 추세에 따라 저 전력의 특성과 작은 면적을 요구하고 있다. 그러나 과거 A/D 변환기는 BJT공정 또는 BiCMOS공정을 기반으로 설계되었기 높은 전원 전압의 사용과 많은 전력 소모로 인해 저 전압, 저 전력 소모가 요구되는 모바일 통신기기에는 부적합 하다. 특히 아날로그 시스템과 디지털 시스템이 하나의 블록으로 구성된 혼성모드 회로설계에

\* 학생회원 \*\* 정회원, 동국대학교 반도체과학과  
(Dept. of Semiconductor Science, Dongguk University)  
접수일자: 2006년5월15일, 수정완료일: 2006년8월2일

있어 DSP와 함께 One-Chip화 할 수 없다는 단점도 갖고 있다. 또한 기존의 Full-Flash 방식의 A/D 변환기는 해상도에 비례한 많은 비교기를 필요로 하므로 큰 칩 면적과 많은 전력소모를 요구하는 단점을 갖고 있어 여러 시스템 응용에 제한사항으로 작용된다<sup>[1]</sup>.

본 논문에서는 기존의 A/D 변환기의 단점을 극복하면서 Flash Type의 A/D 변환기와 동일한 변환속도를 유지하는 Folding Interpolation type의 CMOS A/D 변환기를 제안한다<sup>[2]-[4]</sup>. 제안하는 A/D 변환기는 CMOS 공정을 사용한 6-bit Folding Interpolation 구조로 100MS/s의 변환속도를 갖는다. A/D 변환기의 전체 구조는 저 전력에 적합한 2+4의 분할구조로 설계되었으며, 전압구동 형식의 Interpolation 기법을 적용하여 전체 A/D 변환기의 전력소비를 최소화 하였다. 특히 기존 구조에 비해 Preamp와 Folder의 수를 절반으로 줄이는 새로운 Folder 감소회로를 제안하여 Analog블록의 전력을 반감하였으며, 새로운 전압구동형식의 Interpolation 기법을 적용하여 Zero-crossing 위상오차를 보정해 전체 A/D 변환기의 성능을 향상시켰다.

본 논문의 II장에서는 제안하는 A/D 변환기의 구조 결정 및 전체 구조를 설명하며, III장에서는 A/D 변환기의 성능 향상 및 저 전력 구현을 위한 회로 설계 기법을 논의한다. IV장에서는 제안된 A/D 변환기의 Layout 및 제작된 칩을 통한 측정결과를 기술한 후, V장에서 결론을 맺는다.

## II. 제안하는 A/D 변환기의 구조

Folding Interpolation A/D 변환기의 구조결정시 우선적으로 고려해야 될 사항은 해상도와 변환속도를 고

려한 FR(Folding Rate)과 IR(Interpolation Rate)의 설정이다<sup>[5]</sup>. 특히 저 전력 소모를 위한 최적의 구조 결정은 상·하위 변환기에 따른 Analog amplifier의 수와 Digital 블록 크기에 따른 전력소비 고려이다. 표 1에는 6-bit 해상도의 Folding Interpolation A/D 변환기가 FR, IR, NFB(Number of Folding Block)에 의해 결정되는 주요 특성을 나타내었다. 표 1과 같이 저 전력소모를 위한 최적화된 6-bits Folding Interpolation A/D 변환기의 구조는 FR=4, NFB=2의 Folding factor를 가지며, IR=8의 2+4 분할구조이다. 그러나 NFB가 2일 경우 서로 인접하는 Folder의 출력이 90°의 위상차를 갖게 되므로 최종 Analog 출력의 선형성을 기대할 수 없다. 즉, A/D 변환기의 최종 출력 선형성을 고려하면 FR=4, NFB=4, IR=4를 갖는 2+4의 분할구조가 최적화된 구조이다.

그러나 본 논문에서는 제안하는 Folder 감소회로를 통해 NFB가 2이지만 Analog 최종 출력의 선형성을 유지하는 새로운 구조의 A/D 변환기를 제안한다. 즉, 제안하는 A/D 변환기는 FR=4, NFB=2, IR=4의 5-bit Folding factor를 갖지만 6-bit의 해상도를 만족한다. 제안하는 Folder 감소회로는 II장에 자세히 기술하였으며, 본 논문의 저 전력 6-bit Folding Interpolation A/D 변환기의 전체 구조를 그림 1에 나타내었다.

표 1. 6-bit Folding Interpolation A/D 변환기의 특성  
Table 1. Characteristic summary of the 6-bit F/I ADC.

	FR	NFB	IR	Preamp수	비교기수	디지털 블록
1+5 구조	2	4	8	8	32	Large
2+4 구조	4	2	8	8	19	Small
	4	4	4	16	19	Small

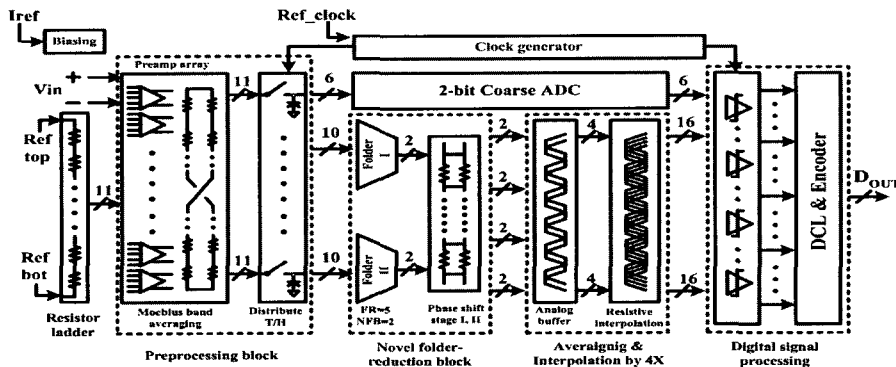


그림 1. 제안하는 6-bit Folding-Interpolation A/D 변환기의 구조  
Fig. 1. Block diagram of the proposed 6-bit Folding-Interpolation A/D Converter.

### III. 제안하는 A/D 변환기의 회로 설계기법

#### 1. Dummy Amplifier를 사용한 Moebius-Band Averaging 기법

연속시간 시스템인 A/D 변환기의 특성상 Analog amplifier array에서의 Offset error 발생은 전체 변환기의 해상도 및 선형성을 저하시키는 중요 요인이 된다<sup>[6]</sup>. 본 논문에서는 Preamp array에서 발생할 수 있는 Offset error를 최소화하기 위해 Moebius-Band 형태의 Averaging 기법을 채택하였다<sup>[7]</sup>. 이런 Moebius-Band 형태의 Averaging 기법은 부가적인 회로 없이 차동 Preamp 출력의 선형성을 효율적으로 증가시킬 수 있다. 그러나 짝수로 구성된 Preamp array는  $V_{ref,T}$  과  $V_{ref,B}$ 지점, 즉 기준전압열의 최상위와 최하위 지점을 입력으로 받아들이는 Preamp에서 대칭적이지 못한 전류의 분배로 정상적인 Averaging 효과를 기대할 수 없다. 이에 본 논문에서는 그림 2와 같이 Dummy amplifier를 삽입한 새로운 형태의 Averaging 기법을 제안한다. 제안하는 averaging 기법은 기준전압열의 최하위에 새로운 전압열  $V_{ref,B-1}$ 을 생성하여 Dummy amplifier의 입력으로 사용한다. 이는 Preamp array의 최상위, 최하위 Amplifier의 대칭적이지 못한 전류의 분배를 대칭적으로 만들어주는 효과를 갖는다. 즉, Preamp array의 개수를 홀수로 만들어 모든 차동 Amplifier에서 느끼는 양단의 전류분배를 동일하게 하여 이상적인 Averaging 효과를 기대할 수 있다. 또한 제안된 회로는 부가적인 회로 없이 하나의 Dummy amplifier만을 사용하기 때문에 최소 전력 소모를 위한 최적화된 설계기법이다.

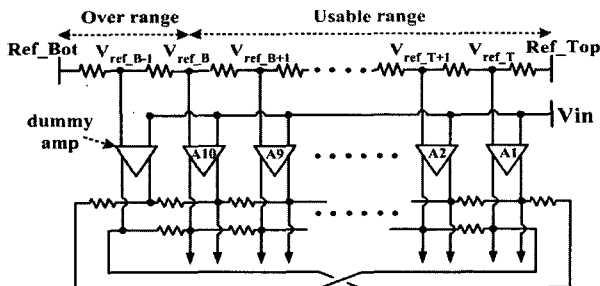


그림 2. 제안하는 Moebius-band 평균화 기법  
Fig. 2. Proposed Moebius-band averaging technique.

#### 2. 저 전력을 위한 Folder 감소 회로

저 전력에 적합한 6-bit Folding-Interpolation A/D

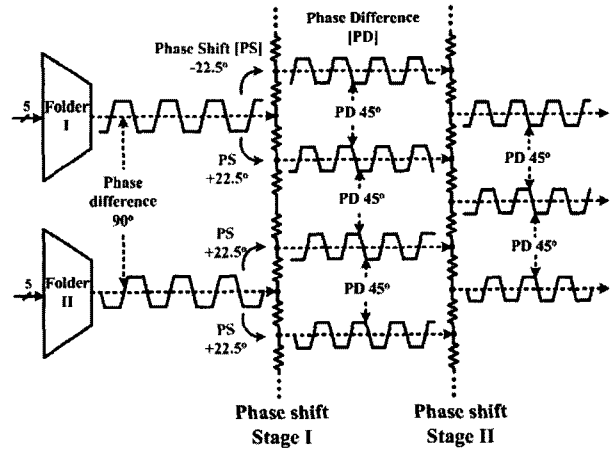


그림 3. 새로운 folder 감소 기법  
Fig. 3. Novel folder-reduction technique.

변환기의 구조는 앞서 II장에서 제시한바와 같이  $FR=4$ ,  $NFB=4$ ,  $IR=4$ 가 적합하다. 그러나 본 논문에서는 새로운 Folder 감소회로를 통해 Folding factor에 의해 16개로 결정되는 Preamp의 수와 4개의 Folder의 수를 각각 절반으로 줄이는 새로운 구조를 제안한다. 즉, 제안하는 Folder 감소회로를 사용하여  $FR=4$ ,  $IR=4$ 를 유지하고  $NFB$ 를 2로 줄이면서도 6-bit의 해상도를 만족할 수 있다. 제안하는 저 전력 Folder 감소회로를 그림 3에 나타내었다.

제안하는 Folder 감소회로는 동일한 단위저항으로 구성된 두 단의 Phase shift stage로 구성된다. 이때 첫 번째 Phase shift stage의 입력은  $NFB=2$ 인 Folder의 출력으로 인접한 신호와  $90^\circ$ 의 위상차를 갖고 있다. 이와 같은 위상차를 갖고 있는 Folder의 출력 신호가 첫 번째 Phase shift stage를 거치면 그림 3과 같이 인접한 신호들의 위상차는 각각  $45^\circ$ 가 된다. 그러나  $45^\circ$ 의 위상차를 갖는 신호들은 원래 Folder 출력신호와 비교하여  $22.5^\circ$ 의 위상이 이동된 출력을 갖게 된다. 이런 첫 번째 Phase shift stage의 출력은 두 번째 Phase shift stage를 거치면서 4단으로 구성된 단위저항에 의해 평균화됨과 동시에 위상 이동된 출력을 발생한다. 즉, 각각의  $45^\circ$ 의 위상차를 유지함과 동시에 최초 입력인 Folder 출력과 동일한 위상으로 이동하는 것이다. 이는 최초 입력신호의 위상을 유지하면서  $45^\circ$ 의 위상차를 갖는 새로운 신호를 생성하는 결과로써  $NFB=2$ 를 유지하면서  $NFB=4$ 일 때 Folder 출력의 위상차인  $45^\circ$ 와 동일한 선형성을 갖는 것이다. 그림 4는 제안하는 Folder 감소회로의 모의실험 결과이다.

특히 제안하는 Folder 감소회로는 단위저항만을 사

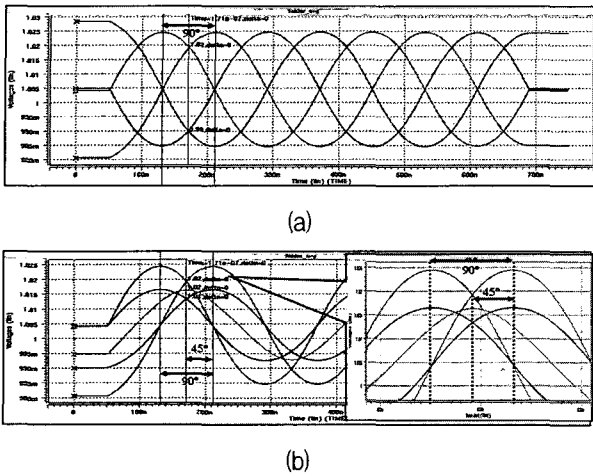


그림 4. (a) NFB=2인 경우 Folder 출력파형  
 (b) 제안하는 Folder 감소회로의 최종출력파형  
 Fig. 4. (a) Folder output at NFB=2.  
 (b) Folder-reduction circuit output.

용하여 구성되므로 전체 A/D 변환기에 부가적인 전력 소모가 없으며, 또한 기존의 NFB=4일 때의 Preamp array의 개수 16을 절반인 8로 줄일 수 있어 전체 A/D 변환기의 전력소모를 기존에 비해 약 30% 절감하는 효과를 얻을 수 있다.

3. 제안하는 Resistive Interpolation 기법

Folding A/D 변환기의 높은 FR과 NFB는 많은 Preamp와 기준전압을 요구하므로 기존 Flash A/D 변환기에 비해 큰 장점을 갖지 못한다. 본 논문에서는 이런 단점을 보완하기 위해 Folding 신호처리 뒷단에 Interpolation 기법을 병행하여 저 전력의 A/D 변환기를 구현하였다. 이때의 IR은 다음 식 (1)에 의해 결정된다. 즉, FR=4, NFB=4(2)의 Folding factor가 결정됨에 따라 6-bit의 해상도를 만족하는 IR은 4로 결정된다.

$$IR = \frac{2^{Total - bits}}{FR \times NFB} \quad (1)$$

일반적인 Interpolation 회로는 Transistor를 사용하여 전류의 분배와 평균화를 이용하여 구현된다. 그러나 전류구동 Interpolation 구조는 높은 선형성을 유지하기 위해 많은 전력을 필요로 하는 단점이 있으며, 앞단 Folder에 높은 부하 커패시턴스로 작용하여 주파수 특성의 저하를 유발한다. 본 논문은 기존의 전류구동 Interpolation 기법이 갖는 단점을 극복한 전압구동 형태의 Interpolation 기법을 사용하였다. 저항열만을 사용한 전압구동 Interpolation 기법은 Folder 뒷단에 IR에

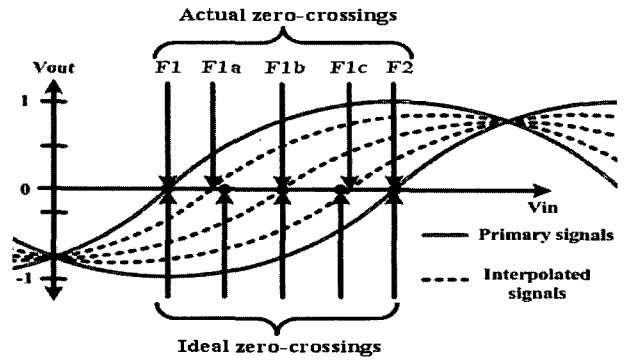


그림 5. IR=4인 경우 Phase Error Rate  
 Fig. 5. Phase Error Rate at IR=4.

맞는 Loop 형태의 저항열을 삽입하여 구현한다<sup>[8]</sup>. 즉, 저항에 의한 위상 이동만으로 출력신호를 생성하기 때문에 작은 전력만을 소비한다. 또한 Folder 뒷단에 병렬로 구성되므로 Folder의 입력 주파수를 제한하는 부하로 크게 작용하지 않는다는 장점도 있다. 그러나 이와 같은 전압구동 Interpolation 기법은 그림 5와 같이 이상적인 출력신호와 일정한 오차율인 PER(Phase Error Rate)을 갖는 단점이 있다. 그림 5에 IR=4인 경우 인접하는 Folding 출력 사이에 발생하는 PER을 나타내었다.

그림 5에서 발생하는 F1a, F1c에서의 PER은 다음의 식 (2)와 같이 정의된다.

$$\psi_{F1a}, \psi_{F1c} = \tan^{-1} \left( \frac{\sqrt{2}}{6 + \sqrt{2}} \right) = 10.8^\circ \quad (2)$$

즉, Interpolation 최종출력 중 F1a, F1c는 이상적인 zero-crossing 지점과 0.45°의 위상오차를 갖게 된다<sup>[3]</sup>. 그러나 본 논문은 제안하는 PER 보정기법을 통해 기존 전압구동 Interpolation이 갖는 오차율을 보정한다. 그림 6에 제안하는 Interpolation 기법을 나타내었다. 그림 6(a)와 같이 기존의 전압구동 Interpolation 기법이 동일한 단위저항만을 사용하여 전압분배에 의한 Interpolation 출력을 생성하는 반면, 제안하는 기법은 각각의 노드(node)에서의 PER을 고려하여 단위저항에 변화를 준다. 즉, Interpolation출력의 중간 위상을 갖는 신호를 기준으로 Folder 출력을 받아들이는 신호 방향으로 저항 값에 변화를 주는 것으로써, 이는 IR=4일 때의 PER인 0.45°를 고려한 상대 값인 1/5R만큼의 더 큰 단위저항을 인가함으로써 최적의 Zero-crossing 간격을 유지할 수 있다.

그림 7은 Interpolation 출력의 Zero-crossing 간격을 모의 실험한 결과로써 시간영역에서의 이상적인

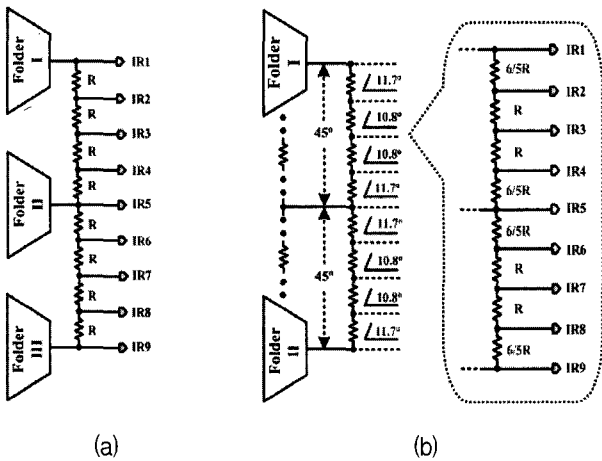


그림 6. (a) 기존의 전압구동 interpolation 기법 (IR=4)  
 (b) 제안하는 전압구동 interpolation 기법 (IR=4)  
 Fig. 6. (a) Conventional interpolation technique (IR=4).  
 (b) Proposed interpolation technique (IR=4).

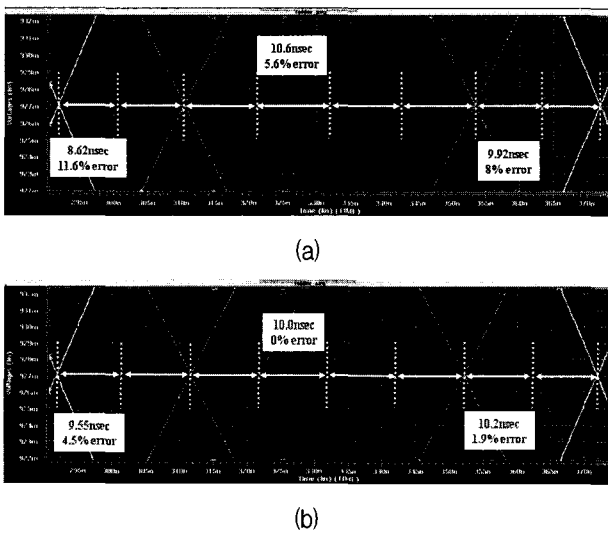


그림 7. (a) 기존 기법의 zero-crossing 오차율  
 (b) 제안하는 기법의 zero-crossing 오차율  
 Fig. 7. (a) Zero-crossing error rate of conventional technique.  
 (b) Zero-crossing error rate of proposed technique.

Zero-crossing 간격은 10n sec이어야 한다. 기존의 방식이 약 12%이상의 오차율을 보이는 것에 비해 본 논문에서 제안하는 Interpolation 기법은 약 5%이내의 오차율로 보정되는 결과를 보인다.

#### IV. 설계된 A/D 변환기의 Layout 및 성능 측정

##### 1. 제안하는 A/D 변환기의 Layout

제안하는 A/D 변환기는 0.18um 1-poly 5-metal N-well CMOS 공정을 사용하여 Layout하였다. 그림 8

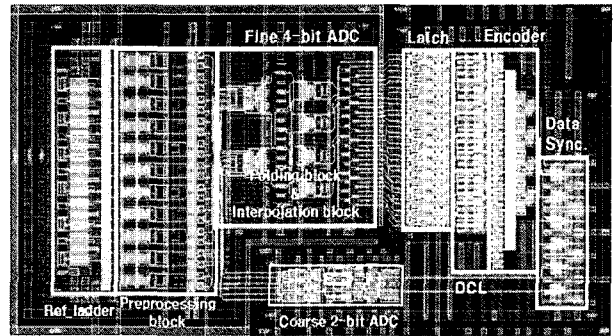


그림 8. 제안하는 A/D 변환기의 전체 Layout  
 Fig. 8. Proposed A/D Converter Layout.

은 제안하는 A/D 변환기 Core의 Layout이다. 전체 Layout은 Analog 신호 왜곡을 최소화하기 위해 신호의 흐름을 한쪽 방향으로만 진행되게 각각의 Sub-block이 배치되어 있으며, Digital 신호에 의한 Analog 신호의 간섭을 최소화하기 위해 Guard-ring으로 각각의 Core를 분리하여 배치하였다. 또한 상위 2-bit A/D 변환기와 하위 4-bit 변환기에서 발생할 수 있는 신호의 간섭을 최소화 하기위해 각각의 Core를 분리하여 배치하였으며, 이때 발생할 수 있는 지연시간을 보정하기 위해 최종 Digital 출력 앞단에 데이터 동기화 회로를 삽입하였다. Clock generator, 전원공급을 위한 Guard-ring을 제외한 A/D 변환기의 Core size는 350um×800um로 약 0.28mm<sup>2</sup>의 면적을 갖는다.

##### 2. 측정 결과

제안하는 A/D 변환기는 Gage社의 CompuScope를 사용하여 주요성능을 측정하였다. 특히 측정의 높은 신뢰도를 위해 그림 9와 같이 Labview system을 통해 입·출력 단자를 실시간 조정하여 A/D 변환기의 특성을 측정하였다. 또한 제안하는 A/D 변환기의 주요 성

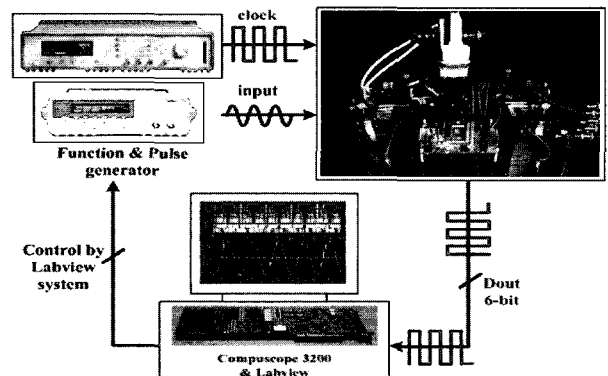


그림 9. A/D 변환기 성능측정을 위한 측정환경 사진  
 Fig. 9. Photograph for the Measuring Environment.

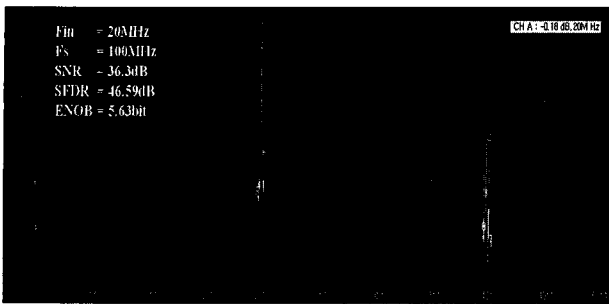


그림 10. 측정된 FFT 신호 스펙트럼  
Fig. 10. Measured FFT signal spectrum.

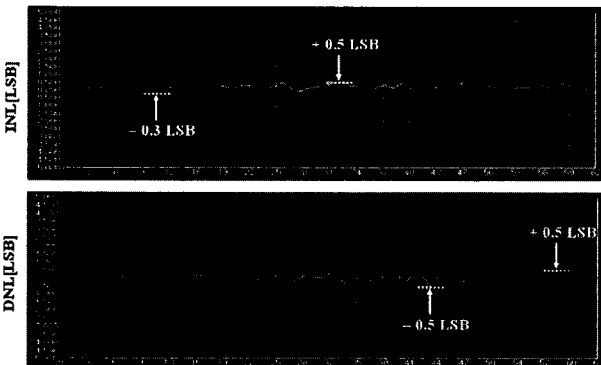


그림 11. 측정된 INL & DNL  
Fig. 11. Measured INL & DNL.

능지표중 하나인 전력소모를 측정하기 위한 PCB(Print Circuit Board)를 제작하여 각각의 샘플링 주파수에 따른 A/D 변환기의 전력소모를 측정하였다.

그림 10은 제안하는 A/D 변환기의 FFT 신호 스펙트럼 측정결과이다. 샘플링 주파수는 100MHz이며 이때의 입력 주파수(20MHz)와 Harmonic 성분을 스펙트럼 측정결과로 확인할 수 있다. 측정결과 SNR(Signal to Noise Ratio)은 36.3dB, SFDR(Spurious free dynamic range)은 46.59dB의 결과를 보이며, 유효비트수(ENOB)는 5.63bit으로 측정되었다.

그림 11은 A/D 변환기의 주요 성능지표중 하나인 INL, DNL의 측정결과를 나타내었다. Nyquist 입력주파수에 100MHz의 샘플링 주파수로 동작할 때 INL은 -0.3~+0.5 LSB, DNL은 ±0.5 LSB 이내의 성능을 보인다.

그림 12는 제안하는 A/D 변환기의 동적 성능을 종합한 결과로 샘플링 주파수 100MHz에서 입력주파수에 따른 SNDR과 ENOB의 결과이다. 샘플링 주파수에 비하는 낮은 입력주파수 100KHz를 인가하였을 때 SNDR은 37.25dB로 측정되었으며, Nyquist 입력 주파수인 50MHz에서의 SNDR은 35.2dB로 측정되었다. 즉, ERBW(Effective Resolution Bandwidth)가 50MHz이상

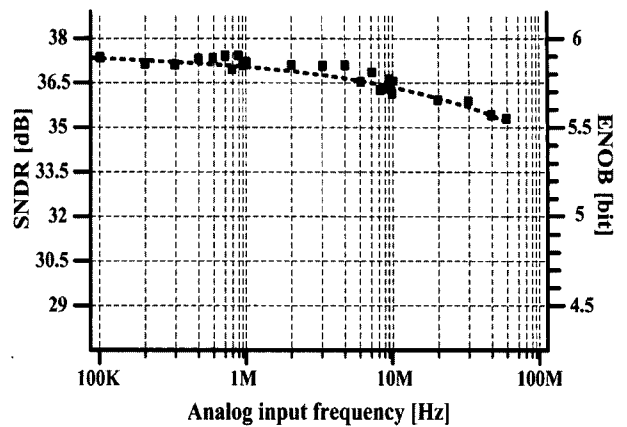


그림 12. 측정된 SNDR & ENOB (Fs=100MHz)  
Fig. 12. Measured SNDR & ENOB (Fs=100MHz).

의 주파수 특성을 보임으로써 Nyquist Converter의 요건을 만족하는 측정 결과를 보인다.

### 3. Figure of Merit

Figure of Merit(FoM)는 설계된 칩의 전력소비, 유효비트수, ERBW를 통해 나타내는 A/D 변환기의 성능 지표로서 FoM에 대한 정의는 다음의 식 (3)과 같다.

$$FoM = \frac{Power\ dissipation}{2^{ENOB} \times 2 \times ERBW} [pJ/convstep] \quad (3)$$

측정결과 본 논문에서 제안하는 A/D 변환기의 ERBW는 50MHz, ENOB는 5.56bit(Fin=50MHz), 전력 소비는 4.5mW로써 정의된 식 (3)에 의해 약 0.93[pJ/convstep]의 FoM 성능지표를 갖는다.

## V. 결론

본 논문은 Mobile 통신 시스템에 적합한 저 전력과 작은 면적을 갖는 Folding Interpolation A/D 변환기의 개발이다. 설계된 A/D 변환기는 아날로그 시스템과 디지털 시스템이 하나의 블록으로 구성된 혼성모드 회로 설계에 있어 CMOS 공정을 사용함으로써 DSP와 함께 SoC를 구현할 수 있는 장점이 있으며, 기존의 많은 전력소모와 큰 면적을 갖던 Flash type의 A/D 변환기를 대체할 수 있는 장점을 갖고 있다.

본 논문은 0.18um 1-poly 5-metal N-well CMOS 공정을 사용하여 5mW이하의 적은 전력소모를 갖는 1.8V 6-bit Folding Interpolation CMOS A/D 변환기를 설계하였다. Folding Interpolation A/D 변환기는 같은 해상도의 Flash A/D 변환기에 비해 Preamp의 수를 크

표 2. 설계된 A/D 변환기 사양 및 측정 결과  
Table 2. Performance summary of the designed ADC.

Resolution	6bits
Input / Sampling freq.	Nyquist / 100MSPS
Power Supply	1.8V (Analog & Digital)
Analog Input Range	0.5Vpp (Diff.=1Vpp)
DNL / INL	±0.5LSB / -0.3~+0.5LSB
ENOB	5.56bits (Input freq.< 50MHz)
FoM	0.93[pJ/convstep]
Power diss.	> 5mW (1.8V, 25°C)
Core Area	350µm×800µm
Process	0.18µm, 1-poly, 5-metal N-well CMOS

표 3. 최근 6-bit ADC 연구동향  
Table 3. Recent research of 6-bit ADC.

Reference	Type	ENOB	Sampling freq.	Power dissipation	FoM [pJ/convstep]
Koichi Ono, 2002, SOVC, [9]	Flash	5.7bits	400MHz	70mW	3.4
Renato T. Silva, 2003, ISCAS, [10]	Folding/ Interpolation	5.5bits	200MHz	78.8mW	9
Koen Uyttenhove, 2003, JSSC, [11]	Flash	6bits	1.3GHz	600mW	7.2
Christop Sandner, 2005, JSSC, [12]	Flash	5.6bits	1.2GHz	90mW	1.54
This work	Folding/ Interpolation	5.6bits	100MHz	4.38mW	0.93

게 줄일 수 있기 때문에 작은 입력 커패시턴스를 가지며 면적과 전력소모를 줄일 수 있다. 특히 본 논문에서는 최적화된 2+4 분할구조와 기존의 Folding factor를 줄이는 새로운 Folder 감소회로를 제안하여 FR=4, NFB=2, IR=4의 Folding factor만으로도 6-bit의 해상도를 만족하는 A/D 변환기를 구현하였다. 즉, 기존 Folding Interpolation 기법의 2+4분할 구조에서 6-bit의 해상도를 만족하기 위해 사용된 FR=4, NFB=4, IR=4 또는 FR=4, NFB=2, IR=8의 Folding factor를 구조적으로 줄여 6-bit의 해상도를 구현하였으며, 이를 통해 Preamp와 Folder의 수를 각각 절반으로 줄여 전력소모를 5mW 이하로 최소화 하였다. 또한 A/D 변환기 출력의 선형성 유지를 위해 Dummy amplifier를 사용한 Moebius-band 형태의 새로운 Averaging 기법을 제안하였으며, 이와 함께 Interpolation 출력이 갖는 Phase

Error Rate를 최소화 하는 새로운 형태의 전압구동 Interpolation 기법을 제안하여 Zero-crossing 오차를 보정하여 A/D 변환기의 전체성능을 향상시켰다.

위의 회로 설계기법들을 적용하여 제작된 A/D 변환기는 측정을 통해 Nyquist 입력에 대해 5.56bit이상의 유효비트수를 나타내었으며, 이때의 INL, DNL은 각각 -0.3~+0.5 LSB, -0.5~+0.5 LSB로 측정되었다. 제작된 A/D 변환기의 면적은 350µm×800µm로 약 0.28mm<sup>2</sup>의 유효 면적을 갖으며, 1.8V의 전원 전압 및 100MHz의 샘플링 주파수에서 4.5mW 이하의 전력을 소모하는 저전력의 특성을 갖고 있다. 표 2는 본 논문을 통해 설계된 A/D 변환기의 주요 사양과 측정결과를 정리한 도표이며, 표 3은 최근 6-bit A/D 변환기의 연구동향을 정리하여 본 연구와 비교한 결과이다. Figure of Merit (FoM) 비교를 통해 본 논문에서 제안하는 A/D 변환기의 성능이 타 연구 논문에 비해 우수함을 알 수 있다.

### 참고 문헌

- [1] R.Griff. I. Rutten and M. Veen, "An 8-bit Video ADC Incorporation Folding and Interpolation Technique", IEEE J. Solid-State Circuits, vol. SC-22, no. 6, pp. 994-953. Dec. 1987.
- [2] R. Plassche and P. Baltus, "An 8-bit 100-MHz Full-Nyquist Analog-to-Digital Converter", IEEE J, Solid-State Circuits, vol. 23, n0. 6, pp. 1334-1344, DEC. 1988.
- [3] Pieter VorenKamp. "A 12-b 60-MSample/s Cascaded Folding and Interpolation ADC", IEEE J. Solid-State Circuits, vol. 32. 12 1876-1886. Dec. 1997.
- [4] Silva, R.T., Fernandes, J.R, "A low-power CMOS folding and interpolation A/D converter with error correction", Circuits and Systems, 2003. ISCAS , 25-28 May 2003 Page(s):I-949, I-952 vol.1
- [5] Hui Pan and Asad A. Abidi, "Signal folding in A/D Converters", IEEE Transactions on Circuits and Systems I: Regular Papers, Volume51, Issue 1, Jan 2004 Page(s): 3-14
- [6] Peter scholtens, Maarten Vertergt, "A 6b 1.6GSample/s Flash ADC in 0.18um CMOS using Averaging Termination." in ISSCC
- [7] Rudy van de Plassche, "CMOS Integrated Analog-to-Digital and Digital-Analog Converter", Kluwer Academic Publishers, pp 128-130, 2003.
- [8] Evandro Mazina Martinx and Elnatan Chagas Ferreira, "An 8-bit Folding A/D Converter with

- a New Interpolation Technique", Analog Intergrated Circuits and Signal Processing, vol 41, pp 237-252, 2004.
- [9] Koichi Ono, Hirotaka Shimizu, Junko Ogawa, Masashi Takeda and Motoyasu Yano, "A 6bit 400Msps 70mW ADC Using Interpolation Parallel Scheme" IEEE Symposium On VLSI Circuits Digest of Technical Papers 2002.
- [10] Renato T. Silva and Jorge R. Fernandes, "A Low-Power CMOS Folding and Interpolation A/D Converter with Error Correction" Circuits and Systems ISCAS '03, Vol 1, 25-28 Page(s):I-949 - I-952 Vol.1 May 2003.
- [11] Koen Uyttenhove and Michiel S. J. Steyaert, "A 1.8-V 6-Bit 1.3-GHz Flash ADC in 0.25- $\mu$ m CMOS" IEEE Journal of Solid-State Circuits, Vol.38, No.7, July 2003.
- [12] Christoph Sandner, Martin Clara, Andreas Santner, Thomas Hartig, and Franz Kuttner, "A 6-Bit 1.2-GS/s Low-Power Flash-ADC in 0.13- $\mu$ m Digital CMOS" IEEE Journal of Solid-State Circuits, Vol.40, No.7, July 2005.

---

 저 자 소 개
 

---



문 준 호(학생회원)  
 2005년 동국대학교 반도체과학과  
 학사 졸업.  
 2005년~현재 동국대학교  
 반도체과학과 석사과정.  
 <주관심분야 : 고성능 데이터 변  
 환기 설계, 저 전력 혼성모드 회로  
 설계 >



황 상 훈(학생회원)  
 2001년 동국대학교 반도체과학과  
 학사 졸업.  
 2003년 동국대학교 반도체과학과  
 석사 졸업.  
 2004년~현재 동국대학교  
 반도체과학과 박사 과정.  
 <주관심분야 : CMOS 아날로그 회로 설계, 저 전  
 력 혼성모드 회로 설계 >



송 민 규(정회원)  
 1986년 서울대학교 전자공학과  
 학사 졸업.  
 1988년 서울대학교 전자공학과  
 석사졸업.  
 1993년 서울대학교 전자공학과  
 박사 졸업.  
 1993년~1995년 동경대학교 초빙연구원  
 1995년~1997년 삼성전자 ASIC 설계팀 연구원  
 1997년~현재 동국대학교 부교수  
 <주관심분야 : CMOS 아날로그 회로 설계, 저 전  
 력 혼성모드 회로 설계 >