

표본화 속도 변환기용 2단 직렬형 다상 FIR 필터의 설계

정회원 백 제 인*, 김 진 업**

A Design of Two-stage Cascaded Polyphase FIR Filters for the Sample Rate Converter

Jein Baek*, Jin-Up Kim** *Regular Members*

요 약

디지털 변복조 장치에는 디지털 신호의 표본화 속도를 변환시키는 표본화 속도 변환기(SRC: sample rate converter)가 필요한데, 여기에 사용되는 저역필터의 구현 문제를 연구하였다. 표본화 속도 변환율이 클 경우에는 저역필터의 신호처리 연산량이 많아져서 구현에 부담이 되므로 연산량을 감소시키는 방안이 중요하다. 본 논문에서는 이 필터를 2 단의 직렬 필터로 분할하여 구현하는 설계 방법을 제시하였고, 1 단 구조의 단일 필터로 구현하였을 경우에 비교하여 신호처리 연산량이 감소되는 것을 확인하였다. 표본화 속도 변환율이 증가할수록 2 단 분할 방안에 의한 연산량 감소 효과는 증가하며, 변환율이 32 에서는 72 %까지 감소되는 것을 확인하였다. 변환율을 2 단으로 분할함에 있어서도 인수의 조합에 따라서 감소 효과가 다르게 나타났으므로, 여러 변환율에 대하여 최적 성능의 분할율을 조사하였다. 저역필터는 다상 필터 구조를 갖는 FIR 필터를 대상으로 하였으며, 필터 계수의 설계는 Parks-McClellan 알고리즘을 이용하였다.

Key Words : sample rate converter, up/down converter, polyphase, FIR filter, multirate filter

ABSTRACT

It is studied to design a low pass filter of the SRC(sample rate converter), which is used to change the sampling rate of digital signals such as in digital modulation and demodulation systems. The larger the conversion ratio of the sample rate becomes, the more signal processing is needed for the filter, which corresponds to the more complexity in circuit realization. Thus it is important to reduce the amount of signal processing for the case of high conversion ratio. In this paper it is presented a design method of a two-stage cascaded FIR filter, which proved to have reduced amount of signal processing in comparison with a conventional single-stage one. The reduction effect of signal processing turned out to be more noticeable for larger value of conversion ratio, for instance, giving down to 72% in complexity for the conversion ratio of 32. It has been shown that the reduction effect is dependent to specific combination of conversion ratios of the cascaded filters. So an exhaustive search has been performed in order to obtain the optimal combination for various values of the total conversion ratio. In this paper every filter is considered to be implemented in the form of a polyphase FIR filter, and its coefficients are determined by use of the Parks-McClellan algorithm.

※ 본 연구는 2005년도 한남대학교 교비 학술연구비 지원으로 수행되었습니다.

* 한남대학교 정보통신공학과(baek@hannam.ac.kr), ** ETRI SDR팀(jukim@etri.re.kr)

논문번호 : KICS2006-02-097, 접수일자 : 2006년 2월 24일, 최종논문접수일자 : 2006년 7월 19일

1. 서론

통신시스템의 디지털 신호처리 분야는 고속 광대역 통신을 향하여 빠르게 발전하고 있다. 신호의 사용 주파수 대역은 높아지며 표준 기술들은 다양하게 확대되고 있다. 고속 광대역의 디지털 신호처리 기술이 가능하게 된 것은, ADC(analog-digital conversion) 및 DAC(digital-analog conversion) 소자, 고속의 디지털 신호처리(DSP: digital signal processing) 하드웨어의 덕분이다. 최근에 관심을 받고 있는 SDR(software defined radio)은, 하나의 신호처리 플랫폼에서 소프트웨어의 변경만으로 다양한 통신규격들을 구현할 수 있게 한 것으로서, 고속 디지털 신호처리 추세의 대표적인 예이다¹⁻³⁾.

디지털 필터는 디지털 신호처리의 주요한 구성 요소이므로, 필터 성능의 손실 없이 최소한의 하드웨어로써 구성하는 것은 중요한 문제이다. 디지털 필터의 복잡도는 일반적으로 필터의 차수와 비트 수로써 결정된다. 필터의 차수는 필터의 주파수 관점에서의 해상도를 높일수록, 즉 필터 특성의 천이 대역폭을 좁힐수록 큰 값을 가지게 되며 복잡해진다. 필터의 천이 대역폭은 디지털 신호의 표본화 속도를 기준으로 한 상대적인 값으로 정의된 것을 가리킨다. 결국 디지털 필터의 복잡도는 신호 대역폭 뿐만 아니라 신호의 표본화 속도의 값에 의해서도 영향을 받는다. 즉, 표본화 속도가 높을수록 필터의 천이 대역폭의 정규화 값이 작아지고, 이 결과 필터의 차수 및 필터의 탭 수가 증가한다. 그러므로 신호의 대역폭에 비하여 표본화 속도가 지나치게 높은 경우에는, 먼저 표본화 속도를 낮추는 장치를 사용하는 것이 신호처리 회로 전체의 관점에서 유리하다. 이처럼 디지털 신호의 표본화 속도를 적당한 수준으로 높이거나 낮추는 장치를 표본화 속도 변환기(SRC: sample rate converter)라고 한다⁴⁾.

SRC는 ADC 및 DAC에 인접한 디지털 신호처리부에서 폭넓게 활용되고 있다. 특히 반송파 주파수의 통과대역 신호를 디지털 신호로 직접 변환하는 디지털 RF(radio frequency) 혹은 디지털 IF(intermediate frequency) 방식에서는 ADC와 DAC의 표본화 속도가 신호 대역폭에 비하여 매우 높다. 하지만 복조 후에는 기저대역으로 주파수가 낮추어진다. 이러한 경우에 SRC를 사용하여 표본화 속도도 낮추는 것이 효과적이다. 반대 방향의 신호처리, 즉 기저대역 신호를 반송파 주파수 대역으로 변조하거나 여러 신호를 다중화하는 송신과정에서는 에일리

어싱(aliasing)을 피하기 위하여 표본화 속도를 높이는 SRC를 사용한다. 이 같은 사례는 디지털 모델에서 빈번하며, 상향/하향 변환기(up/down converter)의 이름으로 여러 종류의 트랜시버가 소개되고 있다⁵⁻⁶⁾.

SRC는 동일한 성능에서 최소의 연산량을 갖는 신호처리 방식을 찾는 것이 중요하다. 연산량의 감소는 하드웨어를 간단하게 하며 DSP프로세서의 부담을 줄이기 때문이다. 특히 광대역 통신 시스템의 디지털 전단부(frontend)에서는 신호의 표본화 속도가 높기 때문에 디지털 신호처리를 구현하는 프로세서나 디지털 회로의 동작속도를 높여야 하는 부담이 크므로 연산량 최소화의 중요성은 더욱 그러하다.

SRC는 표본화 속도만 변경시키는 것이지만, 표본화 속도의 변경은 주파수 영역에서의 스펙트럼 변동을 수반한다는 문제가 있다. 표본화 속도가 증가되면 스펙트럼의 반복 현상이 발생되며, 감소되면 스펙트럼의 겹침 현상이 발생된다. 반복되는 스펙트럼은 신호성분 외의 잡음으로 작용하며, 스펙트럼의 겹침 현상은 신호성분의 스펙트럼에 찌그러짐을 유발한다. 그래서 이 성분들을 제거하기 위한 저역필터를 사용하여야 한다. 이 저역필터의 구성 방법으로서, CIC(cascaded integrator comb) 필터, FIR(finite impulse response) 필터, IIR(infinite impulse response) 필터 등이 사용되고 있다. CIC필터는 회로가 간단하면서도 반복된 스펙트럼의 제거 특성이 우수하여 표본화 속도 변환율이 높은 경우에 효과적으로 이용되고 있다. 그러나 이 필터는 신호 대역에 대하여 sinc 함수 모양의 찌그러짐을 동반하므로 이를 보상하기 위하여 별도의 FIR필터를 사용하여야 하는 불편함이 있다. IIR필터는 회로의 복잡도에 비하여 필터의 특성이 우수하다는 장점이 있으나, 케환 구조로 인하여 그 특성이 불안정할 수가 있다는 결점이 있다. FIR필터는 안정한 특성과 아울러 선형 위상의 설계가 가능하고, 정합 필터와 같은 다양한 필터 특성에 대해서도 설계가 용이하여 전형적인 방법으로서 널리 사용되고 있다. 본 논문에서는 FIR필터를 사용하는 SRC만을 고려하였다.

FIR 필터를 이용한 SRC는 표본화 속도를 변경하는 장치와 저역필터로 구성되는데, 속도 변환을 한 번만 수행하는 1단 구조를 갖도록 할 수도 있고, 여러 번 나누어 단계적으로 속도를 변환해 나가는, 다단 구조를 갖도록 할 수도 있다. 일반적 사례의 SRC는 속도 변환뿐만 아니라 역 sinc필터 혹은 정합필터의 추가적인 기능까지 포함하여 복합적 형태로 구성되며, 이 경우에 다단의 구조를 갖는 경향이

있다. 그러나 속도 변환이라는 하나의 주제에만 국한하여 다단 구조로 설계를 시도한 예는 아직까지 소개되고 있지 못하다. 뿐만 아니라, 단 수를 늘리는 문제에 대한 구체적인 비교 분석이 보고된 바도 없다. 이에 본 논문에서는 속도 변환을 두 번 수행하는 2단 직렬형 분할 구조의 SRC를 구성하는 문제에 대하여 설계 방법을 연구하고, 구현의 복잡도를 1단 구조의 경우와 비교 분석하였다.

서론에 이어서 II장에서는 FIR필터로 구성된 SRC의 기본적인 내용을 정리하고, FIR필터의 설계 알고리즘을 요약하였다. III 장에서는 1단의 구조를 갖는 SRC에 대하여 특성을 설명하고 FIR 필터가 다상 필터의 형태로 구성될 경우에 대하여 필터 신호처리의 연산량을 분석하였다. IV장에서는 2단 직렬형 다상 FIR필터로 구성된 SRC에 대하여 구조를 설명하고, 속도 변환의 분할 설계 개념을 소개하며, 필터 신호처리의 연산량을 분석하였다. V장에서는 하나의 사례에 대하여 2단 직렬형 SRC의 설계 과정을 소개하고, 2단 분할 구조의 덕분으로 필터 신호처리의 연산량이 감소되는 효과가 있음을 확인하였다. 또한 각 단별로 어떠한 변환율의 조합을 갖는 것이 연산량의 관점에서 최적인지를 조사하였다. 그리고 VI 장에서 결론을 맺었다.

II. FIR 필터로 구성된 SRC

그림 1은 표본화 속도를 R배 증대시키는 상향 변환기의 일반적 구조 및 동작 원리를 나타낸 것이다. 상향 변환기는 기본적으로 zero-padding 과정과 interpolation 저역필터로써 구성된다. Zero-padding 장치는 매 입력 표본에 대하여 (R-1) 개의 영 표본을 삽입하는 것이며, 이로써 출력 신호의 표본화 속도는 입력 신호보다 R배 높아진다. 시간 영역에서의 zero-padding 처리는 주파수 영역에서 스펙트럼이 반복되는 현상으로 나타난다. Interpolation 저역필터는 반복되어 나타나는 스펙트럼, 즉 이미지 스펙트럼을 제거하고 기저대역의 스펙트럼만 통과시킨다. 이러한 과정을 그림에서 개념적으로 나타내었다.

그림 1-(b)는 입력 신호의 스펙트럼이다. 신호 성분은 주파수 성분이 W이하로 대역 제한되어 있고, 표본화 주파수 f_s 는 신호 성분에 대하여 에일리어싱이 발생하지 않도록 표본화된다고 가정한다. 그리하면 $W \leq f_s/2$ 이다. 표본화된 신호이므로 유효한 스펙트럼의 주파수 범위는 $-f_s/2 \leq f \leq f_s/2$ 이며, 이 스펙트럼이 f_s 간격으로 반복되어 나타난다. 그림 1-(c)는

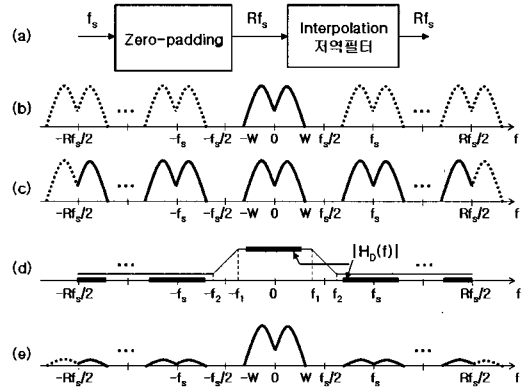


그림 1. 상향 변환기의 구조 및 동작 원리. (a)구조 (b)입력 스펙트럼. (c)Zero-padding된 출력 스펙트럼. (d)저역필터 특성. (e)저역필터 출력 스펙트럼.

zero-padding 이후의 출력에 대한 스펙트럼이다. 표본화 주파수는 Rf_s 가 되어 유효한 스펙트럼의 주파수 범위는 $-Rf_s/2 \leq f \leq Rf_s/2$ 이다. 이 범위 안에서 입력 신호의 스펙트럼이 R번 반복되어 나타나고 있다. 이상적인 interpolation 저역필터는 기저대역의 스펙트럼은 왜곡 없이 통과시키며 이미지 스펙트럼만 차단시키면 된다. 그러므로 이 필터의 주파수 전달 함수를 $H_D(f)$ 라고 표현하면 다음과 같아야 한다.

$$H_D(f) = \begin{cases} e^{-j2\pi f\tau}, & |f - mf_s| \leq W, m = R \text{의 정수배} \\ 0, & |f - mf_s| \leq W, m \neq R \text{의 정수배} \\ \text{입력의 값,} & \text{그 밖의 } f \end{cases} \quad (1)$$

여기서 τ 는 필터의 지연시간 상수이다. 식 (1)을 만족시키는 저역필터의 통과대역 경계 주파수를 f_1 , 차단대역 경계 주파수를 f_2 라고 표시하면, 식 (2)의 부등식이 만족되면 된다.

$$W \leq f_1 \leq f_2 \leq (f_s - W) \quad (2)$$

그림 1-(d)는 $|H_D(f)|$ 와 함께 저역필터의 진폭특성을 함께 그린 것이다. Interpolation 저역필터의 출력 스펙트럼은 그림 1-(c)와 그림 1-(d)의 곱셈으로 구해지며 그림 1-(e)와 같게 된다. 이것과 그림 1-(b)를 비교할 때, 기저대역의 스펙트럼은 유지되면서 유효 주파수 범위는 R배로 증가되었다. 만약 저역필터의 차단 대역 특성이 완전하지 못하다면 이미지 스펙트럼의 일부가 잔류되어 나타날 수가 있다.

그림 2는 표본화 속도를 R배 감소시키는 하향 변환기에 대한 것이다. 하향 변환기는 기본적으로 decimation 저역필터와 decimation 장치로 구성된다. Decimation 장치는 입력 표본이 R개가 입력될 동안에 하나의 표본만 선택하여 출력하는 것이며, 이로써

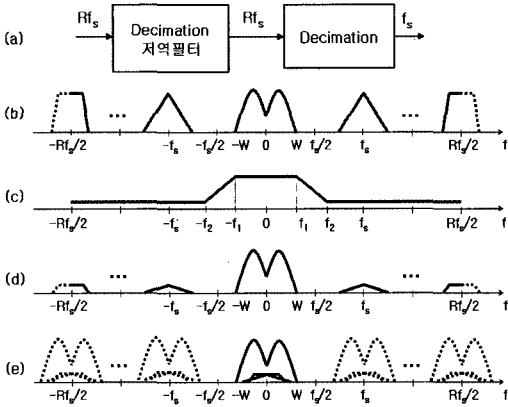


그림 2. 하향 변환기의 구조 및 동작 원리. (a) 구조 (b) 입력 스펙트럼. (c) 저역필터 특성. (d) 필터출력 스펙트럼. (e) Decimation 출력 스펙트럼.

출력 신호의 표본화 속도는 입력 신호보다 R배 낮아진다. 시간 영역에서의 decimation 처리는 주파수 영역에서 스펙트럼이 겹쳐지는 현상으로 나타난다. Decimation 저역필터는 신호 성분의 기저대역 스펙트럼에 손상이 미치지 않도록 이 스펙트럼과 겹쳐지는 주파수 대역을 미리 차단시켜 놓기 위한 것이므로, 식(1)과 같은 특성을 가져야 한다. 이러한 과정을 그림에서 개념적으로 나타내었다.

그림 2-(b)는 입력 신호의 스펙트럼이다. 신호 성분의 대역폭은 W, 표본화 주파수는 Rf_s 라고 놓았다. 신호 성분의 스펙트럼은 하향 변환 이후에도 그대로 보존될 수 있기 위해서는 $W \leq f_s/2$ 를 만족하여야 한다. 입력 신호에는 기저대역의 신호 성분 외에 다른 주파수 대역의 스펙트럼이 섞여 있을 수 있으므로 그림에서 이들을 함께 나타내었다. 그림 2-(c)는 decimation 저역필터의 전달특성이다. 통과대역 경계 주파수를 f_1 , 차단대역 경계 주파수를 f_2 라고 표시하였다. 신호 성분의 기저대역 스펙트럼을 보존하기 위해서는 decimation 저역필터의 경계 주파수가 식(2)의 부등식을 만족하여야 한다. 그림 2-(d)는 decimation 저역필터의 출력 스펙트럼으로서, 그림 2-(b)와 그림 2-(c)의 곱셈으로 구해진다. 그림 2-(e)는 하향 변환기의 최종 출력에 대한 스펙트럼으로서, 그림 2-(d)를 R 번 겹쳐서 합산한 것이다. 출력 신호의 표본화 속도는 f_s 이므로 겹쳐지고 합산되어진 스펙트럼 모양이 f_s 간격으로 반복되어 나타난다. Decimation 저역필터의 차단 대역 특성이 완전하지 못하다면 잔류 스펙트럼이 남게 되며, 이것은 그림 2-(e)에서 기저대역 신호 스펙트럼과 겹쳐지게 되어 손상을 끼치게 된다.

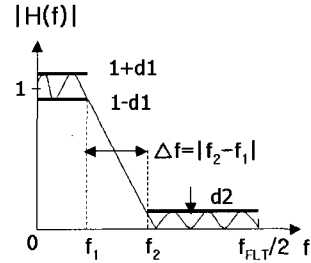


그림 3. 저역필터 응답특성의 파라미터.

Interpolation 저역필터 및 decimation 저역필터는 여러 방식으로 구현될 수 있는데, 본 논문에서는 FIR 필터를 사용하는 것만 고려한다. 필터 차수가 N 인 FIR 필터는 식(3)에 의하여 출력 표본을 얻는다.

$$y(n) = \sum_{k=0}^{N-1} h(k)x(n-k) \quad (3)$$

여기서 $h(k), k=0, 1, \dots, (N-1)$ 는 필터의 임펄스 응답 시퀀스라고 하며, 필터의 특성을 결정하는 계수들이다. $x(n), y(n), h(n)$ 의 z-변환을 각각 $X(z), Y(z), H(z)$ 라 하면, 식(3)의 z-변환식은 식(4)와 같다.

$$Y(z) = H(z)X(z) \quad (4)$$

FIR 필터를 식(3)의 계산 순서대로 구현한다면 N 개의 시프트 레지스터, N개의 곱셈기, (N-1)개의 덧셈기가 필요하다. 따라서 필터 차수 N이 필터의 신호처리 연산량 혹은 회로 구현의 복잡도를 결정하는 셈이다.

디지털 저역필터의 설계에 관한 주요 파라미터는 그림 3에 나타낸 바와 같이, 필터 입력 신호의 표본화 속도 f_{FLT} , 통과대역 경계 주파수 f_1 , 차단대역 경계 주파수 f_2 , 통과대역에서의 오차(즉, 리플)범위 d_1 , 차단대역에서의 오차범위 d_2 등이 있다. 이럴 때 천이 대역폭은 f_1 과 f_2 의 차이, 즉 Δf 가 된다.

FIR 필터를 설계하는 문제는 그림 3과 같은 제약 조건이 주어지면 이것을 만족하도록 필터 계수를 구하는 것이 된다. 본 논문에서는 FIR 필터 계수를 구하는 방법으로서 Remez 교환 알고리즘, 즉 Parks-McClellan 설계 방법을 이용한다. 이것은 식(5)로 정의된 바를 최소화하도록 필터 계수를 찾는 방법이다.

$$\max_{f \in F} |E(f)| = \max_{f \in F} |W(f)[H_D(f) - H(f)]| \quad (5)$$

여기서 식(5)는 필터 특성의 가중 오차 함수에 대한 최대값을 의미한다. 또한 F는 오차를 관측하는

주파수의 영역으로서 $F = \{f \mid 0 \leq f \leq f_1 \text{ 혹은 } f_2 \leq f \leq f_{FLT}/2\}$ 이고, $E(f)$ 는 필터 특성의 가중 오차 함수이며, $W(f)$ 는 오차의 가중 함수, $H_b(f)$ 는 설계하고자 하는 목적 함수, $H(f)$ 는 설계된 필터의 특성 함수이다. 이 방법으로 설계된 필터는 선형 위상 및 균등 리플의 특징을 갖는다. 균등 리플은 주파수 응답의 진폭 특성이 통과대역에서는 $(1-d_1) \sim (1+d_1)$ 의 범위, 차단대역에서는 $0 \sim d_2$ 의 범위 이내에서 균등한 진폭을 가지고 규칙적으로 맥동한다는 것을 말한다.

그림 3과 같이 FIR 필터의 설계 파라미터들이 결정되면 필터의 차수 N 의 값을 추정할 수 있는데, 대표적인 것으로서 Herrmann 근사식이 있으며 식 (6)과 같다.

$$N = \frac{f_{FLT}}{\Delta f} K(d_1, d_2, \Delta f, f_{FLT}) \quad (6)$$

여기서

$$K(d_1, d_2, \Delta f, f_{FLT}) = c_1(d_1) \log(d_2) + c_2(d_1) + c_3(d_1, d_2) \left(\frac{\Delta f}{f_{FLT}}\right)^2$$

$$c_1(d_1) = (0.0729 \log(d_1))^2 + 0.07114 \log(d_1) - 0.4761$$

$$c_2(d_1) = (0.0518 \log(d_1))^2 + 0.59410 \log(d_1) - 0.4278$$

$$c_3(d_1, d_2) = 11.01217 + 0.541244 (\log(d_1) - \log(d_2))$$

이다. 식(6)에 따르면 필터의 차수 N 의 값은 f_1, f_2 의 경계 주파수 자체에는 무관하며 이들의 차이 즉 천이 대역폭 Δf 를 표본화 주파수 f_{FLT} 로 정규화한 값에 대체적인 반비례 관계에 있다. 이러한 사실로부터, 회로의 간소화를 위하여 필터의 차수를 낮추려면 가급적 표본화 주파수를 낮추는 것이 유리하다는 이론적 근거를 얻을 수 있다. N 의 값과 허용 오차 범위인 d_1, d_2 와의 관계는 복잡하게 보이지만, 대략적으로 d_1 과 d_2 의 값이 작을수록 N 의 값이 증대되는 경향을 갖는다.

III. 1단 다상 FIR 필터의 SRC

그림 1-(a) 및 그림 2-(a)에 나타난 바에 의하면 저역필터의 입력 신호는 표본화 주파수가 Rf_s 이므로 필터의 신호처리 또한 이 속도로 작동하여야 하는 부담이 있다. 그러나 표본화 속도 변환기의 특징을 활용하여 다상 필터의 구조를 이용하면 표본화 주파수가 f_s 인 속도로 신호처리를 수행할 수가 있다. 다상 필터는 하나의 FIR 필터를 R 개의 부 필터로 분할하여 구성한 것을 말하는데, 각각의 부 필터의 임펄스 응답 시퀀스는 원 필터의 임펄스 응답 시퀀스를

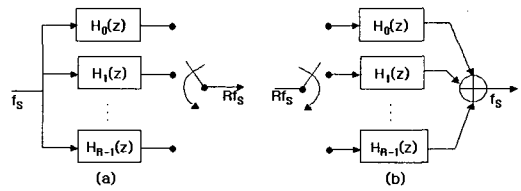


그림 4. 1단 다상 FIR 필터의 표본화 속도 변환기. (a)상향 변환기. (b)하향 변환기.

자신의 인덱스 위상에 맞추어 R 번째마다 표본화한 것과 같다. 즉, 식(3)의 FIR 필터를 R 개의 다상 필터로 구성한다 할 때, j 번째 위상의 부 필터는 다음과 같은 응답 시퀀스 $h_j(n)$ 을 갖는다.

$$h_j(n) = \{h(j), h(j+R), \dots, h(j+N-R)\}, \quad (7)$$

$$j = 0, 1, \dots, (R-1)$$

그림 4는 표본화 속도 변환기를 1단의 다상 FIR 필터로 구성할 때의 구조를 나타낸 것이다.

그림 4-(a)의 상향 변환기에서는 f_s 속도로 입력되는 표본은 R 개의 모든 부 필터에 공통적으로 공급되며, 각 부 필터는 각자의 임펄스 응답 시퀀스에 따라 출력 표본을 발생시키며, 발생된 부 필터 출력 표본들이 순서대로 출력된다. 그리하여 변환기 출력의 속도는 Rf_s 가 되어, 표본화 속도가 R 배로 높아지는 것이다. 편의상 N 이 R 의 정수배라고 가정할 때 하나의 입력 표본에 대하여 수행되는 총 연산량은, N 번의 곱셈, $(N-R)$ 번의 덧셈이 필요하다(N 이 R 의 정수배가 아니면 일부의 부 필터는 계수 수가 다른 것에 비하여 하나 부족하게 되는데, 이 결과 연산량도 하나 적게 되어, 결국 전체 연산량은 정수 배일 때와 동일한 관계식을 갖는다). 다상 필터를 사용하지 않고 그림 1-(a)와 같이 직접 구현하면 하나의 입력 표본에 대하여 zero-padding 이후 R 개의 표본이 생성되며 이들 각각에 대하여 탭 수가 N 인 필터 연산이 수행되므로 결국 RN 번의 곱셈, $R(N-1)$ 번의 덧셈이 필요하다. 그러므로 다상 필터는 R 배의 연산량 감소 효과가 있고, 필터 처리의 동작 속도 또한 R 배로 낮아지는 이점이 있다.

그림 4-(b)의 하향 변환기에서는, Rf_s 속도로 입력되는 표본들이 순번적으로 R 개의 부 필터로 분산되어 입력되며, 각 부 필터는 f_s 속도로 출력 표본을 계산한다. R 개의 부 필터 출력 표본들을 모두 합산하여 최종 출력을 얻으며, 이로써 표본화 속도가 R 배로 낮아지는 것이다. 하나의 출력 표본에 대하여 수행되는 총 연산량은, N 번의 곱셈, $(N-1)$ 번의 덧셈이 필요하다. 그러므로 이 경우에서도

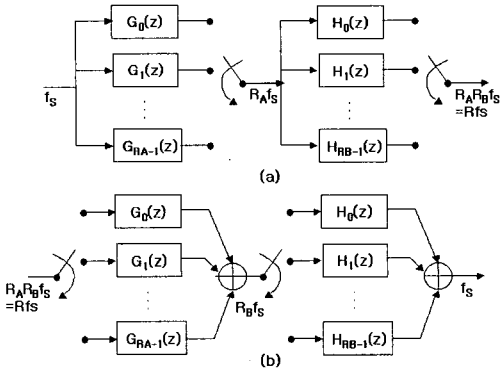


그림 5. 2단 직렬형 다상 FIR 필터의 표본화 속도 변환기 구조. (a)상향 변환기. (b)하향 변환기.

그림 2-(a)와 같이 직접 구현하는 것에 비하여 R 배의 연산량 감소 효과가 있고, 필터 처리의 동작 속도 또한 R 배로 낮아지는 이점이 있다.

IV. 2단 직렬형 다상 FIR 필터의 SRC

표본화 속도 변환율 R이 두 정수 R_A 와 R_B 의 곱으로 표현된다면 ($R=R_A \cdot R_B$), 표본화 속도 변환율이 각각 R_A 와 R_B 인 두 개의 표본화 속도 변환기를 직렬 연결하는 방식으로 구현할 수가 있다. 2단 직렬형 다상 FIR 필터의 SRC란 이와 같은 분할 구조에서 각 변환기의 저역필터가 다상 FIR 필터를 사용한 것을 의미하며, 그 구조는 그림 5와 같다. 그림 5-(a)는 상향 변환기에 대한 것이며, 그림 5-(b)는 하향 변환기에 대한 것이다. 2단으로 분할한 덕분에 각 단마다 1단 구조에 비하여 표본화 속도 변환율이 작은 값을 갖게 되고, 그 영향으로 저역필터의 천이 대역폭이 넓어져서 필터 차수가 낮아지게 된다.

그림 6은 저역필터의 전달특성을 나타낸 것이다. 이것은 상향 변환기에서 $R=6$, $R_A=2$, $R_B=3$ 인 경우에 대하여 예시한 것이다. 하향 변환기는 상향 변환기와 이원적 대응관계에 있으므로 동일한 설명이 가능하다.

그림 6-(a)는 $R_A=2$ 의 변환율을 갖는 앞단 저역필터의 전달특성을 나타낸 것이다. 필터의 표본화 속도는 $2f_s$ 이며, $-f_s \leq f \leq f_s$ 의 기본 대역에 대한 필터 특성이 $2f_s$ 주기로 반복되어 나타난다. $W \leq |f| \leq (f_s - W)$ 대역에는 신호 성분이 없다고 가정하였으므로, 천이 대역의 두 경계 주파수는 $f_{1A}=W$, $f_{2A}=(f_s - W)$ 로 놓으면 된다. 그림 6-(b)는 $R_B=3$ 의 변환율을 갖는 뒷단 저역필터의 전달특성을 나타낸 것이다. 이 필터의 표본화 속도는 $6f_s$ 이므로 기본 대역은 $-3f_s \leq f \leq$

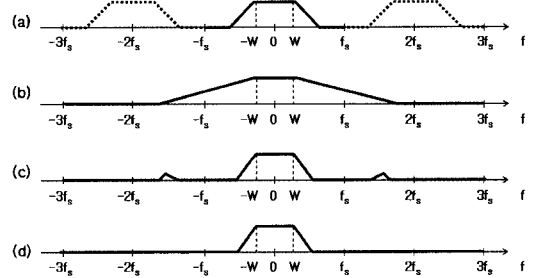


그림 6. 2단 직렬형 표본화 속도 변환기에서의 저역필터의 특성. (a)앞단 필터의 특성. (b)뒷단 필터의 특성. (c)2단 구조의 필터 특성. (d)1단 구조의 필터 특성.

$3f_s$ 이며, 필터 특성은 $6f_s$ 주기로 반복되어 나타난다. 직렬 결합된 두 변환기 전체에 대한 필터의 전달특성은 전후 단의 각 필터 특성의 곱이 되기 때문에, 뒷단 필터는 앞단 필터에 의하여 차단되지 못한 이미지 스펙트럼, 즉 중심 주파수가 $R_A f_s$ 의 정수배에 있는 것만 차단시키면 된다. 그러므로 그림의 예에서는 뒷단 필터의 천이 대역의 두 경계 주파수는 $f_{1B}=W$, $f_{2B}=(2f_s - W)$ 이면 된다. 그림 6-(c)는 변환기 전체에 대한 필터 전달특성이며, 그림 6-(a)와 (b)의 곱셈의 결과이다. 그림에서 기저대역 이외의 모든 이미지 스펙트럼은 제거되고 있음을 볼 수 있다. 그렇지만 $(f_s + W) \leq |f| \leq (2f_s - W)$ 의 주파수 대역은 완전히 차단하지 못하는 것으로 나타나는데, 그 이유는 이 대역이 두 필터 모두에서 천이 대역에 해당되기 때문이다. 이 주파수 대역에서 응답특성이 영이 되지 않더라도 이곳에는 신호 성분의 스펙트럼이 나타날 수 없으므로 문제가 되지 않는다. 그림 6-(d)는 1단 구조의 표본화 속도 변환기에 대한 저역필터의 특성을 나타낸 것이다. 그림 6-(c)와 비교하여 신호 성분 외의 대역에서 차이가 있을 수 있지만, 둘 다 식(1)에서 정의한 이상적인 저역필터의 조건을 만족하고 있다.

표 1은 2단 구조 분할필터의 설계 파라미터를 정리한 것이다. 비교를 위하여 1단 구조에 대한 것도 함께 기록하였다. 1단 구조의 리플 범위를 d_{10} 및 d_{20} 라고 하며, 2단 구조에서 앞단과 뒷단의 분할필터의 통과대역 및 차단대역 리플 범위를 각각 d_{1A} , d_{2A} , d_{1B} , d_{2B} 라고 표기하기로 한다. 또한 필터 탭 수는 단일필터는 N_0 , 분할필터는 각각 N_A 와 N_B 라고 하였다. 2단 구조의 전체 전달특성은 통과대역에서는 진폭응답의 범위가 $(1 \mp d_{1A})(1 \mp d_{1B}) \approx 1 \mp (d_{1A} + d_{1B})$ 이 되므로 리플 범위는 $(d_{1A} + d_{1B})$ 가 된다. 그리고 차단대역의 리플 특성은 그 주파수 대역이 어느 분할필터에 의하여 차단되는지에 따라 달라지므로, 2단 구조의 차단대역

표 1. 지역필터의 설계 파라미터

SRC 구조	1 단		2 단	
지역필터	단일필터	앞단(A)	뒷단(B)	
표본화 속도 변환율	1 : R	1 : R _A	1 : R _B	
필터 입력의 표본화 속도 f _{FLT}	Rf _s	R _A f _s	Rf _s	
통과대역 경계주파수 f ₁	W	W	W	
차단대역 경계주파수 f ₂	f _s -W	f _s -W	R _A f _s -W	
통과대역 리플범위 d ₁	d ₁₀	d ₁₀ /2	d ₁₀ /2	
차단대역 리플범위 d ₂	d ₂₀	d ₂₀	d ₂₀	
f _{FLT} /Δf	Rf _s /(f _s -2W)	R _A f _s /(f _s -2W)	Rf _s /(R _A f _s -2W)	
필터 탭 수	N ₀	N _A	N _B	
곱셈 수/표본	N ₀	N _A +R _A N _B		
덧셈 수/표본	N ₀ -R	N _A +R _A (N _B -R _B -1)		

리플 범위는 d_{2A}와 d_{2B}중 큰 값이 된다. 본 논문에서는 두 분할필터가 동일한 값의 리플 범위를 갖도록 하였으며, 아울러 1단 구조와 2단 구조가 최종적 리플 성능이 같게 되도록 하였다. 표에는 각 구조에 대한 연산량도 함께 제시하였다. 입력 표본 하나에 대하여 출력 표본은 R 개가 발생하게 되는데, 이 동안에 행해지는 곱셈과 덧셈 횟수로 정의하였다. 이 때 모든 필터는 다상 필터의 형태로 구성되는 것으로 전제하였다.

하향 변환기는 그림 5에서 나타낸 바와 같이 상향 변환기와 이원적 대응 관계에 있다. 표본화 속도의 변경 과정이 반대로 진행되므로, 2단 구조의 분할필터는 상향 변환기에서의 두 분할필터의 순서만 바꾸어 놓으면 표의 내용을 그대로 사용할 수 있다. 즉, 앞단은 필터-B, 뒷단은 필터-A의 파라미터를 갖도록 변경하기만 하면 된다.

V. 2단 직렬형 다상 FIR필터의 설계 예 및 효과

본 장에서는 2단 직렬형 다상 FIR필터의 구체적인 설계 과정을 예시하고, 표본화 속도 변환율을 바꾸면서 1단 구조의 단일필터에 비하여 연산량이 어느 정도 감소하는지를 실험적으로 확인한다.

지역필터의 설계 순서는 그림 7과 같다. 먼저 표본화 속도 변환기의 설계 목표치에 대한 기본 값으로서, 표본화 속도 변환율 R, 신호 성분의 대역폭 W, 입력 신호의 표본화 속도 f_s, 리플 범위 d₁₀, d₂₀ 등을 정한다. 다음으로 2단 구조의 경우에는 앞단과 뒷단의 속도 변환율 R_A, R_B의 값을 정하며, 표 1로부터 경계 주파수 f₁, f₂ 및 리플범위 d₁, d₂를 구한다. 필터의 규격에 대하여 식(6)의 Herrmann 근사식으로부터 필터 차수 N 값을 추정하고, Parks-McClellan 알고리즘을 사용하여 필터의 임펄스 응답 시퀀스를 구한다. 설계된 필터의 주파수 응답특성을 측정하여 리플 설계범위를 만족하지 못하면 필터 차수를 증가시킨 후 필터의 임펄스 응답 시퀀스를 다시 구한다.

하나의 예시로서, R=6, W=1, f_s=4, d₁₀=0.01(혹은 0.08 dB), d₂₀=0.0001(혹은 -80 dB)에 대한 상향 변환기의 설계 내용을 소개한다. 변환기 출력의 표본화 속도는 Rf_s=24가 된다.

먼저 1단 구조의 단일필터에 대한 설계 결과를 그림 8에 나타내었다. 그림 8-(a)는 주파수 전달 특성이고, 그림 8-(b)는 통과대역에 대하여 확대한 것이며, 그림 8-(c)는 임펄스 응답 시퀀스이다. 주파수 전달 특성은 0부터 12까지의 주파수 범위에 대해서만

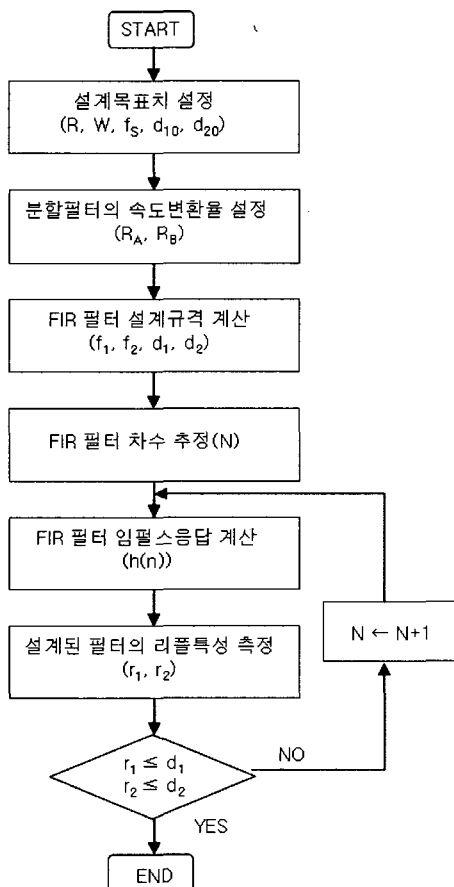


그림 7. 2단 직렬형 다상 FIR 필터의 설계 순서

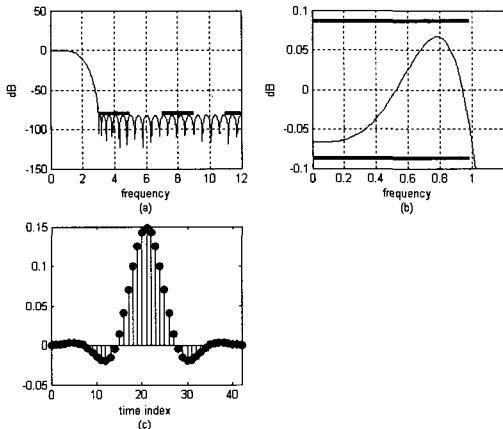


그림 8. 1단 구조의 단일필터에 대한 전달 특성. (a)주파수 특성. (b)통과대역의 주파수 특성. (c)임펄스 응답 시퀀스

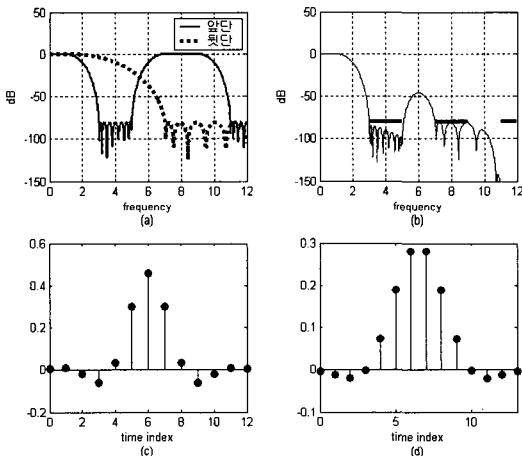


그림 9. (RA=2, RB=3)인 2단 구조의 분할필터에 대한 전달 특성. (a)앞단 및 뒷단 필터 주파수 특성. (b)전체의 주파수 특성. (c)앞단 필터의 임펄스 응답 시퀀스. (d)뒷단 필터의 임펄스 응답 시퀀스

나타내었다. $f_1=1$ 및 $f_2=3$ 영역에서 천이대역이 만들어지고 있다. 그림 8-(a) 및 (b)의 굵은 선은 차단대역과 통과대역의 범위, 그리고 이 대역에서의 리플 허용치를 나타낸 것이다. 설계된 필터는 이러한 리플 조건을 모두 만족하는 것을 볼 수 있다. 설계된 필터는 탭 수가 $N_0=43$ 으로 나타났고, 이에 따라서 연산량은 43 회의 곱셈과 37 회의 덧셈이 필요한 것으로 나왔다.

$R=6$ 이므로 2단 분할 구조에 대한 변환율의 순서 조합이 2와 3, 혹은 3과 2의 두 가지가 가능하다. 그림 9는 (RA=2, RB=3)의 경우에 대한 설계 결과이다. 그림 9-(a)는 각 단의 분할필터의 주파수 전달 특성을 겹쳐서 그린 것이다. 전체적 주파수 전달 특성은 이들 분할필터의 전달 특성을 곱한 것으로서,

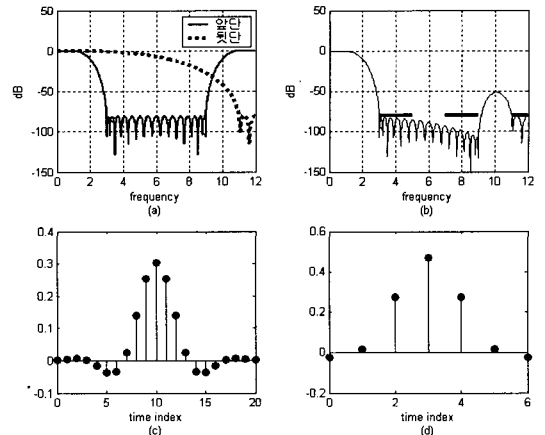


그림 10. (RA=3, RB=2)인 2단 구조의 분할필터에 대한 전달 특성. (a)앞단 및 뒷단 필터 주파수 특성. (b)전체의 주파수 특성. (c)앞단 필터의 임펄스 응답 시퀀스 (d)뒷단 필터의 임펄스 응답 시퀀스

그림 9-(b)가 된다. 차단대역에서의 리플이 -80 dB 이하로 유지됨을 볼 수 있다. 그림 9-(c) 및 (d)는 각 분할필터의 임펄스 응답 시퀀스로서, $N_A=13$, $N_B=14$ 로 나타났다. 따라서 표 1에 의하면 연산량은 41회의 곱셈과 33 회의 덧셈이 필요하다. 이 수치는 1단 구조의 연산량보다 작으며, 중요 요소인 곱셈만을 고려할 때 약 95%의 수준에 해당한다.

그림 10은 (RA=3, RB=2)인 경우에 대한 설계 결과이다. 전체적 주파수 응답특성은 그림 9와 차이를 보이고 있으나, 그것은 천이대역에 대한 것뿐이며, 통과대역과 차단대역은 모두 리플 범위를 만족하는 것을 확인할 수 있다. 필터의 탭수는 $N_A=21$, $N_B=7$ 로 나타났고, 따라서 필터의 연산량은 42 회의 곱셈과 33 회의 덧셈이 필요하다. 이 방법 또한 1단 구조보다 작은 연산량을 보인다. 그러나 (RA=2, RB=3)의 2단 분할 방법보다는 연산량이 많게 나타났다. 이 예에서 보는 바와 같이 연산량은 분할율의 순서에 의해서도 달라질 수 있다. 그러므로, 최적의 분할율을 찾아서 설계하는 것이 필요하다.

이러한 설계 방법을 표본화 속도 변환율 R의 여러 가지 값에 대하여 적용하고 최적의 분할 비율을 구하였다. 그 결과를 표 2와 그림 11에 정리하였다. 변환율 R의 값이 클수록 2단 구조에 의한 연산량 감소 효과가 큰 것으로 나타났다. R=32 정도에서는 2단 구조 방식이 단일 필터에 비하여 72% 수준까지 연산량이 감소되었다. 앞단 필터의 최적 변환율은 대체적으로 \sqrt{R} 의 경향을 갖는다. R이 22혹은 26인 경우에는 들쭉날쭉한 모습을 보이는데, 이는 R이 \sqrt{R} 근방의 분할 인수를 가질 수 없기 때문인 것이다.

표 2. 표본화 속도 변환율의 최적 분할 및 곱셈 연산량비율

R	R _A	R _B	단일필터 탭수 N ₀	분할필터탭수		곱셈 연산량 비율 (N _A +R _A N _B)/N ₀
				N _A	N _B	
4	2	2	27	13	8	1.0357
6	2	3	42	13	14	0.9535
8	2	4	57	13	20	0.9298
9	3	3	64	21	13	0.9375
10	2	5	71	13	25	0.8873
12	6	2	85	43	4	0.7882
14	7	2	98	50	4	0.7959
15	3	5	105	21	23	0.8571
16	8	2	112	57	4	0.7946
18	9	2	126	64	4	0.7937
20	10	2	140	71	4	0.7929
21	7	3	147	50	9	0.7687
22	2	11	154	13	54	0.7857
24	6	4	168	43	13	0.7202
25	5	5	175	36	21	0.8057
26	2	13	182	13	64	0.7747
27	9	3	189	64	9	0.7672
28	7	4	195	50	13	0.7231
30	6	5	209	43	18	0.7225
32	8	4	223	57	13	0.7220

VI. 결론

표본화 속도 변환기에 사용되는 FIR 저역필터를 2단 직렬형 다상 필터로써 구현하는 방안을 연구하였다. 2단 직렬형 구조에 대한 설계 방법을 제시하고, 이 때의 저역필터 신호처리 연산량을 조사하였다. 저역필터는 다상 필터 구조를 갖는 FIR 필터를 고려하였고, 필터의 설계는 Parks-McCillelan 알고리즘을 이용하였다.

2단 분할 구조는 1단의 단일필터로 구현할 때와 비교하여 신호처리 연산량이 감소되었으며, 표본화 속도 변환율이 클수록 연산량 감소 효과가 커지는 것을 확인하였다. 이로써 표본화 속도가 높은 광대역 통신 시스템에서는 본 논문에서 제시한 2단 직렬형 다상 필터가 효과적인 구현방안이 되는 것을 보였다. 이 밖에, 변환율을 2단으로 분할함에 있어서도 인수의 조합에 따라서 감소 효과가 다르게 나타나기 때문에 최적의 분할율을 조사하여 구현할 필요가 있음을 확인하였다.

앞으로의 연구로서, 현재 사용되고 있는 대표적인 통신시스템을 대상으로 2단 분할 구조의 설계 방안에 따라서 설계 구현함으로써, 디지털 신호처리량의 감소 효과를 실험적으로 확인할 필요가 있다. 아울러 다른 형식의 SRC 필터, 예를 들어서 CIC 필터 혹은 IIR 필터를 사용하는 방안과 비교하여 구현의 복잡도와 성능 관점에서 연구를 계속할 필요가 있다.

참고 문헌

- [1] Jeffrey H. Reed, *Software Radio : A Modern Approach to Radio Engineering*, Prentice-Hall, 2002.
- [2] 조권도, 김지연, 이규대, 이승환, 신민정, 김진엽, "SDR 기술개발 동향", 한국전자통신연구원, 전자통신동향분석, 2004. 6.
- [3] www.sdrforum.org
- [4] Fredric J. Harris, *Multirate Signal Processing for Communication Systems*, Pearson Education, 2004.
- [5] Walt Kester, Ed, *Mixed-Signal and DSP Design Techniques*, Analog Devices, Inc., 2003.
- [6] T. Hentschel and G. Fettweis, "Sample Rate Conversion for Software Radio," *IEEE Communication Magazine*, pp.142-150, Aug. 2000.

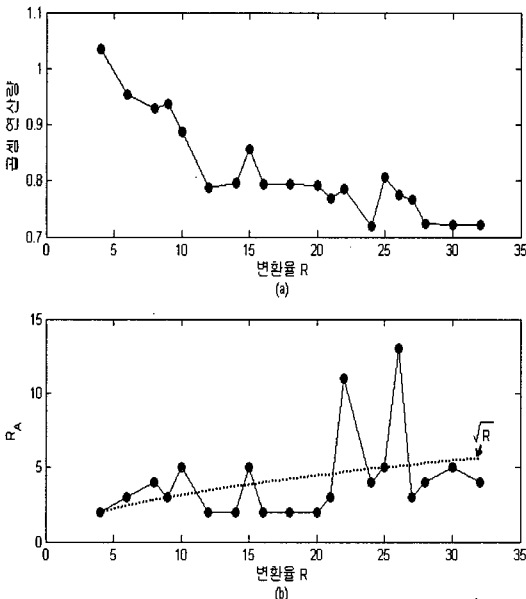


그림 11. 최적 분할된 2단 구조 SRC의 특성. (a) 곱셈 연산량(단일 필터 기준). (b) 앞단 필터의 최적 변환율 R_A.

백 제 인 (Jein Baek)

정회원



1978년 서울대학교 전자공학과
졸업
1980년 KAIST 산업전자공학과
석사
1986년 KAIST 전기및전자공학
과 박사
1984년~1988년 ETRI TDX개

발단 선임연구원

1988년~현재 한남대학교 정보통신공학과 교수

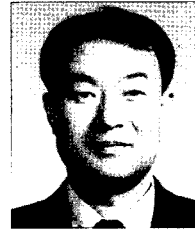
1993년 (미)Stanford Univ., Visiting Scholar

2001년 ETRI 초빙연구원

<관심분야> 디지털변복조, 모뎀 DSP, VLSI 설계

김 진 업 (Jin-Up Kim)

정회원



1985년 고려대학교 전자공학과
졸업
1987년 KAIST 전기전자공학과
석사
1996년 KAIST 전기전자공학과
박사
1987년~현재 ETRI, SDR 팀장

<관심분야> SDR, cognitive radio, 데이터 압축, 채널
코딩