

10 GHz 단일 위상 분주 방식 주파수 분배기 설계

10 GHz TSPC(True Single Phase Clocking) Divider Design

김 지 훈 · 최 우 열 · 권 영 우

Jihoon Kim · Wooyeol Choi · Youngwoo Kwon

요 약

10 GHz까지 동작하는 주파수 1/2 분배기와 주파수 1/4 분배기를 설계하였다. 회로에 사용된 설계 방법은 단일 위상 분주 방식이다. 단일 위상 분주 방식 분배기는 단 하나의 클럭 신호만을 필요로 하고 회로를 구성하는 소자도 크기가 작은 능동 소자로 이루어져 구조가 매우 간단한 장점이 있다. 측정을 통하여 바이어스 전압이 높아질수록 free running 주파수와 동작 주파수 영역이 높아짐을 확인할 수 있었다. 주파수 1/2 분배기와 주파수 1/4 분배기 회로에 바이어스 전압 3.0~4.0 V, 입력 파워 16 dBm, 오프셋 전압 1.5~2.0 V, 10 GHz 입력 신호를 가했을 때 입력 주파수의 1/2, 1/4에 해당하는 5 GHz, 2.5 GHz의 출력 신호를 각각 얻을 수 있었다. 주파수 1/2 분배기의 레이아웃 크기는 500×500 μm^2 이고 측정용 패드와 연결 부분을 제외한 순수한 레이아웃 크기는 50×40 μm^2 이다.

Abstract

Divide-by-2 and divide-by-4 circuits which can operate up to 10 GHz are designed. A design method used in these circuits is the TSPC(True Single Phase Clocking) topology. The structure of the TSPC dividers is very simple because they need only a single clock and purely consist of small sized cmos devices. Through measurements, we find the fact that in proportion to the bias voltage, the free running frequency increases and the operation region also moves toward a higher frequency region. For operating conditions of bias voltage 3.0~4.0 V, input power 16 dBm and dc-offset 1.5~2.0 V, 5 GHz and 2.5 GHz output signals divided by 2 and 4 are measured. The layout size of the divide-by-2 circuit is about 500×500 μm^2 (50×40 μm^2 except pad interconnection part).

Key words : Microwave PLL, TSPC, Divide-by-2, Free Running Frequency, Input Sensitivity

I. 서 론

주파수 분배기는 PLL(Phase Lock Loop)의 중요한 구성 요소이다. 최근에는 무선 통신 시스템의 동작 주파수가 높아지면서 microwave 대역의 PLL에 대한 수요가 커지고 있고 출력되는 높은 주파수를 낮은 주파수로 떨어뜨리는 주파수 분배기의 성능이 고주파 PLL의 성능에 큰 비중을 차지해가고 있다. 이에 따라 주파수 분배기의 설계에 있어서도 동작 주파수가 높으면서도 전력 소모가 적고 집적이 용이한 간

단한 구조의 회로에 대한 연구가 다양하게 진행되고 있다. 주파수 분배기의 설계 기법은 크게 디지털과 아날로그 방식으로 나뉘며 디지털 방식은 다시 static 구조와 dynamic 구조로 나뉜다^[6]. Dynamic 구조는 회로 구성이 간단하고 적은 수의 트랜지스터로 구현이 가능하나 static에 비해 상대적으로 속도가 느린 단점이 있다^[1]. 이러한 구조의 하나로 inverter chain을 이용하거나 TSPC 방식을 이용한 회로들이 연구되고 있다^{[4],[5]}. 최근에는 device의 size가 작아지고 디지털 cmos의 공정이 향상되어 빠른 속도의 회로 동작이

「이 연구는 2005학년도 IDEC에서 지원하는 동부아남 0.18 standard CMOS 공정으로 수행됨.」

서울대학교 전기컴퓨터공학부(Department of Electrical Engineering and Computer Sciences, Seoul National University)

· 논 문 번 호 : 20060526-05S

· 수정완료일자 : 2006년 7월 20일

가능해지면서 기존의 아날로그 방식의 설계 기법을 대체하여 디지털 방식의 static이나 dynamic 구조를 이용한 초고주파 주파수 분배기의 설계가 시도되고 있다^{[3]~[6]}. 그 중 구조가 간단하여 집적에 유리한 dynamic 방식의 설계도 주목을 받고 연구되고 있다. 본 연구에서는 이러한 경향을 반영하여 dynamic TSPC 방식의 주파수 분배기를 설계하였다. 기존 논문에서는^[1] 0.25 um cmos 공정을 이용하여 5 GHz 동작을 구현하였으나 이번에는 더욱 향상된 0.18 um cmos 공정을 이용하여 5 GHz~10 GHz의 고주파 대역에서 동작하도록 시도해 보았다. 그리하여 수십 GHz 대역에서 dynamic 구조의 divider 구현 가능성을 실험해 보는 계기가 되었다.

II. 본 론

2-1 설계 기법

본 회로는 디지털 논리 회로의 latch에 이용되고 있는 TSPC(True Single Phase Clocking) 방식을 도입하여 설계되었다. 위상이 반대인 두 클럭 신호를 이용하는 대신 하나의 클럭에 의해 스위칭 되는 두 반전기를 연결하여 클럭에 따라 출력 값이 나오도록 하는 방식이다^[2]. 하나의 클럭으로 latch가 동작하므로 클럭의 뒤틀림(clock skew) 문제가 발생하지 않아 동작 속도가 빨라지며 회로에 들어가는 트랜지스터의 수가 줄어드는 장점이 있다. 이러한 간단한 구조의 빠른 latch를 RF 시스템에 널리 이용되는 주파수 분배기에 적용할 수 있다. 기존의 size가 큰 인덕터나 캐패시터, 저항을 쓰지 않고 트랜지스터만을 가지고 회로가 구성되므로 회로의 size가 매우 작아질 수 있으며 하나의 클럭 신호만 있으면 되므로 RF 회로의 주종을 이루는 single ended type의 회로와 집적이 용이해지는 장점이 있다. 또한, static 구조의 SCL(Source Coupled Logic) 방식은 스위칭에 필요한 최소 전류 때문에 트랜지스터의 크기를 최적화할 수 없어 size가 클 수밖에 없으나 TSPC 방식은 트랜지스터 size의 최적화가 가능하다^[1].

2-2 설계

공정은 동부 아남 0.18 um standard cmos 공정을 이

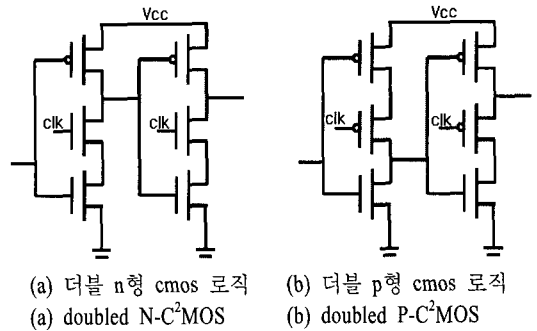


그림 1. 단일 위상 분주 방식을 이용한 래치
Fig. 1. True single-phase-clock latch stages.

용하였고 설계 tool은 애질런트사의 ADS2004A, 레이아웃은 Cadence IC5033 tool을 이용하였다. TSPC latch를 연결하여 divide-by-2 회로를 설계하고 그 회로를 다시 직렬로 연결하여 divide-by-4 회로를 설계하였다. Divide-by-2 회로의 경우, 입력 신호로 1.8 Vp-p 사인파에 0.9 V dc offset된 신호를 인가하고 1.8 V 전원 전압을 주었을 때 1 GHz~10 GHz까지 동작하는 것을 알 수 있었다. 회로도 및 시뮬레이션 결과는 다음과 같다. 레이아웃은 6개의 메탈 레이어를 이용하여 pmos와 nmos를 연결하였다. 레이아웃 사이즈는 480×500 um²이고 패드와 연결 부분을 제외한 순수 회로만의 사이즈는 50×40 um²이다(divide-by-4 회로의 경우 50×80 um²).

2-3 측정

주파수 분배 회로 측정을 위한 셋업은 그림 5와 같다.

On-wafer 상태로 GGB사의 RF 프루브를 이용하여

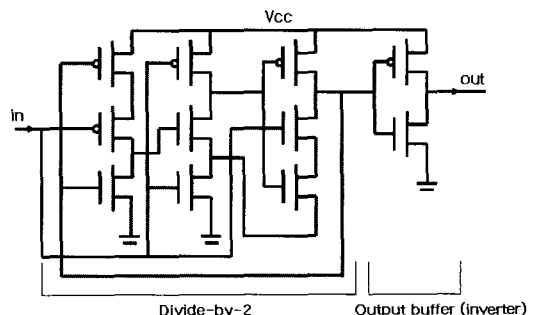
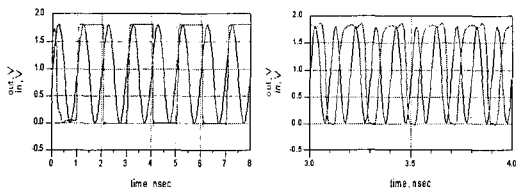


그림 2. TSPC Divide-by-2 회로도
Fig. 2. TSPC Divide-by-2 circuit schematic.



(a) 1 GHz 입력력 파형 (b) 10 GHz 입력력 파형
 (a) 1 GHz input/output signal waveform (b) 10 GHz input/output signal waveform

그림 3. Divide-by-2 시뮬레이션 결과(입력 파형은 사인파)
 Fig. 3. Divide-by-2 simulation result(sinusoidal input signal).

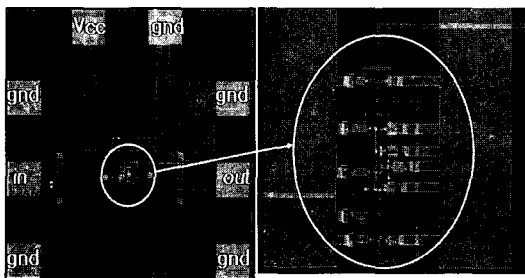


그림 4. Divide-by-2 회로 레이아웃 그림
 Fig. 4. Divide-by-2 circuit layout.

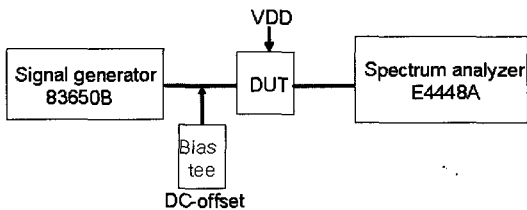


그림 5. 측정 셋업
 Fig. 5. Measurement setup.

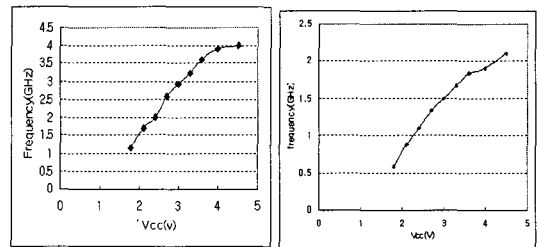
신호를 입력시켜 주었다. 먼저 외부에서 어떤 RF 신호도 주지 않고 전원 전압만 바꾸었을 때 출력되는 주파수 스펙트럼을 조사하였다. 표 1은 걸어준 전원 전압값과 DC-offset 전압을 나타낸다. 1.8 V ~ 4.5 V까지 바꾸었을 때 free running 주파수는 각각 1 GHz~4 GHz(divide-by-2)와 0.6 GHz~2.1 GHz(divide-by-4)로 점차 높아지는 경향을 보였다.

전원 전압을 증가시키며 주파수에 따른 minimum input power sensitivity도 조사되었는데 전원 전압이 높아질수록 동작 주파수 범위가 높은 주파수로 옮겨

표 1. 측정 셋업에서 인가해준 전원 전압과 dc-offset (단위: V)

Table 1. The bias voltage and dc-offset supplied by measurement setup(unit: V).

전원 전압	입력 dc-offset	전원 전압	입력 dc-offset
1.8	1.0	1.8	1.0
2.1	1.0	2.1	1.0
2.4	1.1	2.4	1.3
2.7	1.2	2.7	1.3
3.0	1.3	3.0	1.4
3.3	1.4	3.3	1.5
3.6	1.4	3.6	1.5
4.0	1.6	4.0	1.6
4.5	1.7	4.5	2.4



(a) 주파수 1/2 분배기 (b) 주파수 1/4 분배기
 (a) Divide-by-2 (b) Divide-by-4

그림 6. 전원 전압에 따른 free running 주파수
 Fig. 6. The free running frequency according to bias voltage variations.

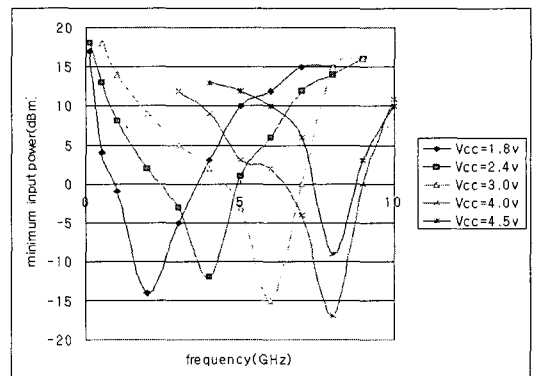


그림 7. 전원 전압의 변화에 따른 input power sensitivity 곡선분포(Divide-by-2)
 Fig. 7. The input power sensitivity curve graph according to bias voltage variations(Divide-by-2).

가는 경향을 보였으며 특히 최소 입력 파워 지점의 입력 주파수도 높아지는 것을 확인할 수 있었다. 전원 전압에 따른 최소 입력 파워 지점의 주파수는 그 전원 전압에서의 free running 주파수와 일치하는 경

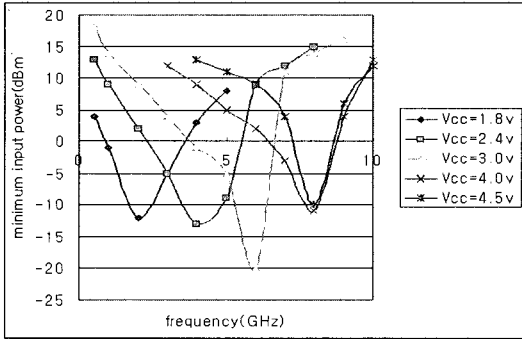


그림 8. 전원 전압의 변화에 따른 input power sensitivity 곡선분포(Divide-by-4)

Fig. 8. The input power sensitivity curve graph according to bias voltage variations(Divide-by-4).

향을 보였다. 이를 통해 전원 전압에 따른 free running 주파수가 회로의 동작 주파수 대역 및 minimum input power sensitivity 곡선을 결정짓는다는 것을 알 수 있었다.

출력 신호를 에지런트사의 스펙트럼 어널라이저 E4448A와 LeCroy사의 디지털 샘플링 오실로스코프 SD6000A로 측정하여 주파수 영역과 시간 영역에서의 출력 파형을 얻어내었는데 그림 9 및 10과 같다. 그림에서 알 수 있듯이 출력 신호에 1/2 주파수, 1/4 주파수 스펙트럼뿐만 아니라 여러 고조파 신호가 섞여 나왔으며 특히 입력 파워가 커질수록 입력 신호의 주파수 스펙트럼이 분배된 출력 신호와 비슷하거나 커지는 경향을 보였다. 이러한 현상은 회로를 구성하는 트랜지스터의 size가 작고 출력 버퍼도 단 하나의 반전기로 구성되어 입력 신호의 파워가 커지면 필터링되지 못하고 출력에 나타나기 때문이라 추측된다.

또한 시뮬레이션 결과와 달리 전원 전압 1.8 V, 입

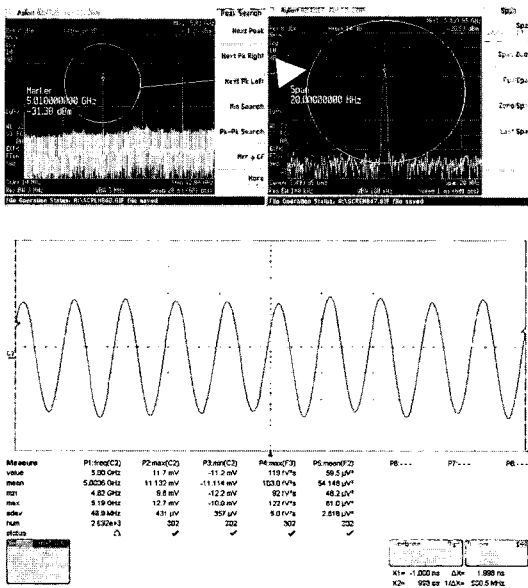


그림 9. Divide-by-2의 10 GHz 입력 신호에 대한 5 GHz 출력 신호의 주파수 영역, 시간 영역의 파형($V_{cc}=3.0$ V, dc-offset=1.6 V, input power=16 dBm)

Fig. 9. The frequency domain spectrum and time domain trigger of 5 GHz output signal according to 10 GHz input signal in the divide-by-2 circuit($V_{cc}=3.0$ V, dc-offset=1.6 V, input power=16 dBm).

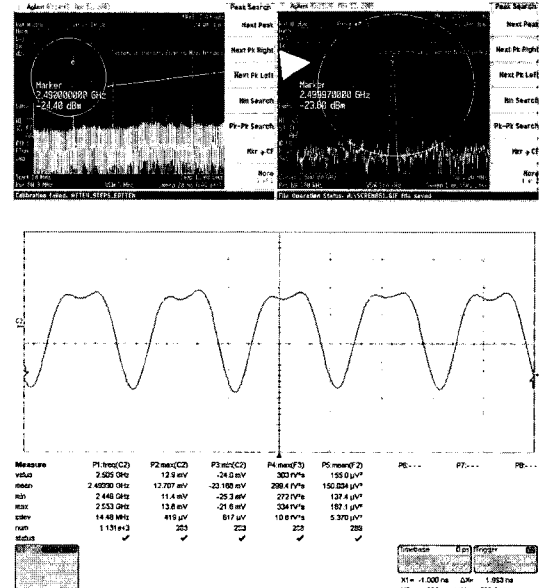


그림 10. Divide-by-4의 10 GHz 입력 신호에 대한 2.5 GHz 출력 신호의 주파수 영역, 시간 영역의 파형($V_{cc}=3.5$ V, dc-offset=1.8 V, input power=16 dBm)

Fig. 10. The frequency domain spectrum and time domain trigger of 2.5 GHz output signal according to 10 GHz input signal in the divide-by-4 circuit($V_{cc}=3.5$ V, dc-offset=1.8 V, input power=16 dBm).

력파워 1 dBm(입력 전압으로는 1.8 Vp-p), dc-offset 1 V 근방에서 4 GHz까지 동작하는데 그쳤는데 시뮬레이션에 포함하지 않은 패드 기생 캐패시터나 interconnect 라인의 기생 캐패시턴스, 그리고 트랜지스터의 고주파 기생 파라미터 성분들이 RC 시간 지연 현상을 일으켜 동작에 영향을 준 것으로 추측된다.

2.4 분석

시뮬레이션과 측정 결과와의 차이를 조사하기 위하여 레이아웃으로부터 각 node에 붙는 기생 캐패시턴스 값을 제공된 spice 모델 라이브러리로부터 계산해 보았다. 먼저 schematic의 각 node마다 적절한 크기의 캐패시터를 달고 시뮬레이션을 다시 수행해 보았다.

그림 8, 9에서와 같이 기생 캐패시턴스가 회로의 동작에 영향을 미치는 critical한 node를 찾아내었다. 그 node들을 그림 10의 schematic에 표시하였다. 이제 layout을 토대로 각 node에 붙는 기생 캐패시턴스

값들을 계산하였다. Gate poly와 interconnection line 메탈에 대한 캐패시턴스 정보는 공정에서 제공하는 spice model 라이브러리를 참고하였다. 레이아웃 및 계산 과정은 그림 13 및 14와 같다.

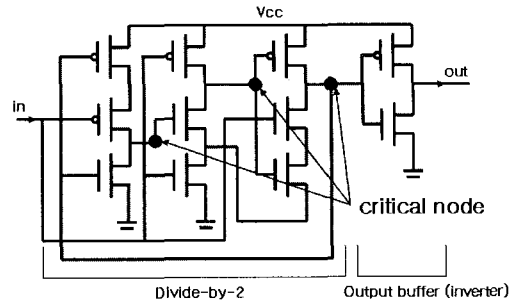


그림 13. 회로 동작에 영향을 미치는 critical node들
Fig. 13. Critical nodes influencing to circuit operation.

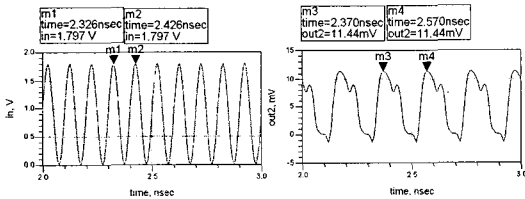


그림 11. Node에 캐패시터를 달기 전 시뮬레이션 결과(왼쪽이 입력, 오른쪽이 출력)
Fig. 11. The simulation result before capacitance is attached to the nodes(The left side represents input signal waveform, and the right side represents output signal waveform).

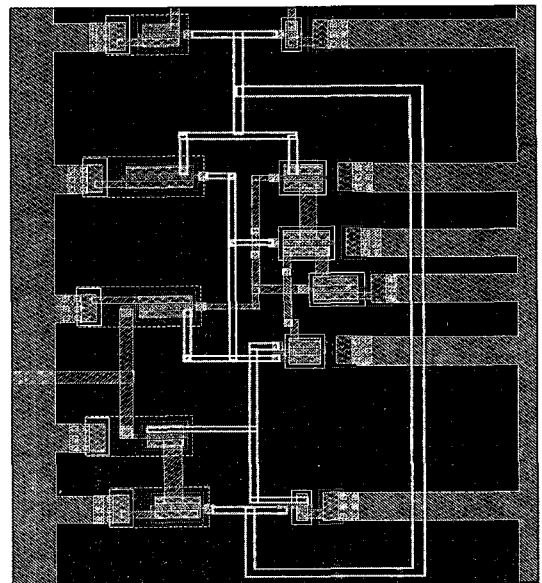


그림 14. Critical node들에 연결된 메탈라인들(굵게 표시된 부분)
Fig. 14. Metal line connected to critical nodes(thick lines).

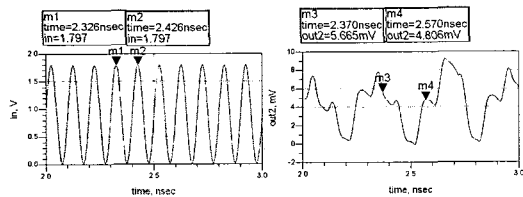


그림 12. Node에 캐패시터를 달았을 때 시뮬레이션 결과(왼쪽이 입력, 오른쪽이 출력)
Fig. 12. The simulation result after capacitance is attached to the nodes(The left side represents input signal waveform, and the right side represents output signal waveform).

gate poly capacitance: 0.161 fF/um
metal 1 capacitance: 0.249 fF/um
metal 2 capacitance: 0.223 fF/um
node ①: $13 \times 0.249 + 1.4 \times 0.161 = 3.5$ fF
node ②: $4 \times 0.249 + 5 \times 0.161 + 16 \times 0.223 = 5.37$ fF
node ③: $66 \times 0.249 + 4 \times 0.161 = 17$ fF
(그림 10에서 맨 왼쪽 노드부터 각각 ①, ②, ③)

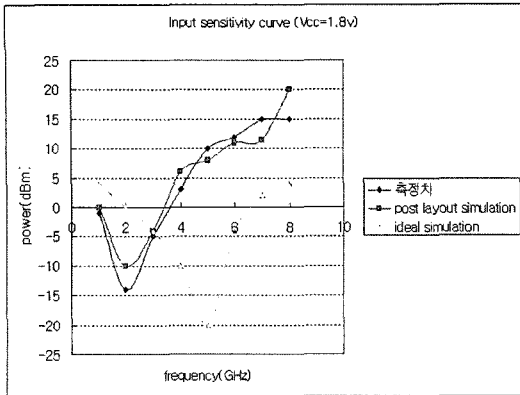


그림 15. Input sensitivity 곡선의 비교(divide-by-2)
 Fig. 15. The comparison of input sensitivity curves (divide-by-2).

계산된 각 node의 캐패시턴스 값을 simulation에 반영한 결과 측정치에 더 가까운 input sensitivity 곡선을 얻을 수 있었다. 이상의 분석으로부터 layout에서 발생하는 기생 캐패시턴스를 최소화하는 것이 본 회로의 input sensitivity를 향상시킬 수 있는 결정적인 요소가 됨을 확인할 수 있었고 앞으로 추가적인 개선이 필요한 부분임을 알 수 있었다.

III. 결 론

트랜지스터만을 이용한 간단한 회로 구조로 10 GHz 대역까지 동작하는 divide-by-2, divide-by-4 회로를 설계할 수 있었으나 전원 전압이 3~4 V로 최근 회로의 저전력화 추세에 비추어 높은 편이고 최소 입력 파워도 16 dBm 정도로 주파수가 높아지면 민감도가 떨어지는 한계를 보였다. 그러나 갈수록 집적도가 높아지고 복잡해지는 RF 시스템에서 size가 작고 간단한 구조이면서도 높은 주파수에서도 동작 가능한 TSPC 구조의 divider는 많은 장점을 가지고 있다. 앞으로 이와 관련한 최적화된 회로 설계 및 기

법의 개발은 중요한 의의가 있다고 하겠다.

참 고 문 헌

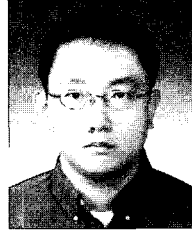
- [1] S. Pellerano, S. Levantino, C. Samori, and A. L. Lacaita, "A 13.5 mW 5 GHz frequency synthesizer with dynamic logic frequency divider", *IEEE J. Solid-State Circuits*, vol. 39, no. 2, pp. 378-383, Feb. 2004.
- [2] J. Yuan, C. Svensson, "High-speed CMOS circuit technique", *IEEE J. Solid-State Circuits*, vol. 24, pp. 62-70, Feb. 1989.
- [3] Q. Huang, R. Rogenmoser, "Speed optimization of edge-triggered CMOS circuits for gigahertz single-phase clocks", *IEEE J. Solid-State Circuits*, vol. 31, no. 3, pp. 456-465, Mar. 1996.
- [4] C. Saavedra, "A microwave frequency divider using an inverter ring and transmission gates", *IEEE Microw. Guided Wave Lett.*, vol. 15, pp. 330-332, May 2005.
- [5] J. Kim, W. Choi, and Y. Kwon, "High frequency divider using inverters and transmission gates", *ISO-CC Chip Design Contest*, Oct. 2005.
- [6] R. Mohannavelu, P. Heydari, "A novel ultra high-speed flip-flop-based frequency divider", *IEEE Int'l Symp. on Circuit and Systems*, vol. 4, pp. 169-172, May 2004.
- [7] B. Razavi, *Design of Integrated Circuits for Optical Communications*, McGraw-Hill, New York, pp. 341-349, 2003.
- [8] J. Lee, B. Razavi, "A 40 GHz frequency divider in 0.18 um CMOS technology", *IEEE J. Solid-State Circuits*, vol. 39, no. 4, Apr. 2004.
- [9] B. Razavi, *RF Microelectronics*, Upper Saddle River, NJ: Prentice-Hall, pp. 290-295, 1998.

김 지 훈



2003년 2월: 서울대학교 전기공학부 (공학사)
2003년 3월~현재: 서울대학교 전기컴퓨터공학부 석박사통합과정
[주 관심분야] MMIC 설계, 능동소자 모델링

권 영 우



1988년 2월: 서울대학교 전자공학과 (공학사)
1990년 2월: 미국 University of Michigan 전자공학과 (공학석사)
1994년 2월: 미국 University of Michigan 전자공학과 (공학박사)
1994년~1996년: Rockwell International Science Center, MTS
1996년~현재: 서울대학교 전기컴퓨터공학부 교수
1999년~현재: 3차원 밀리미터파 창의 연구단 단장
[주 관심분야] MMIC 설계, 밀리미터파 회로 및 시스템, 능동소자 모델링, RF MEMS, Microwave cancer detecting

최 우 열



2001년 2월: 연세대학교 기계전자공학부 (공학사)
2003년 2월: 서울대학교 전기컴퓨터공학부 (공학석사)
2003년 3월~현재: 서울대학교 전기컴퓨터공학부 박사과정
[주 관심분야] MMIC 설계 및 측정, 공간적 전력 결합