

Feedforward와 Defected Ground Structure를 이용한 주파수 체배기 설계

A Novel Design of Frequency Multiplier Using Feedforward Technique and Defected Ground Structure

박상근 · 임종식* · 정용채 · 김철동**

Sang-Keun Park · Jong-Sik Lim* · Yong-Chae Jeong · Chul-Dong Kim**

요 약

Feedforward와 defected ground structure(DGS)를 이용한 새로운 주파수 체배기를 제안하였다. 제한된 주파수 체배기는 feedforward 구조에 의해 기본 주파수(f_0)가 제거되고, 아령 또는 나선형 모양의 DGS 구조에 의해 2차, 3차 또는 4차의 원하지 않는 고조파 성분들을 제거할 수 있었다. 결국 feedforward와 DGS 구조에 의해서 체배하고자 하는 성분을 제외한 나머지 고조파들이 제거되었다. 기본 주파수를 1 GHz로 하여 주파수 체배기를 설계하고, 측정하였다. 입력 전력을 0 dBm으로 하였을 때 2체배기, 3체배기와 4체배기의 출력 전력은 각각 -2.59 dBm, -5.36 dBm과 -4.57 dBm이었다.

Abstract

A novel design of frequency multiplier using a feedforward technique and a defected ground structure(DGS) is proposed. The feedforward loop in the proposed frequency multiplier suppresses the fundamental component(f_0), the dumb-bell or spiral shaped DGS diminish unwanted harmonics such as second, third and fourth. Due to the combination of the feedforward structure and the DGS, only the multiplied frequency component($2f_0, 3f_0, 4f_0$) appears at the output port and the other unwanted components are suppressed excellently. The frequency multiplier is designed at 1 GHz of f_0 , by the proposed technique and measured. The measured output power of $2f_0, 3f_0$ and $4f_0$ is -2.59 dBm, -5.36 dBm and -4.57 dBm, respectively, when the input power is 0 dBm.

Key words : Frequency Multiplier, Defected Ground Structure(DGS), Asymmetric Spiral DGS, Harmonic Suppression, Feedforward

I. 서 론

마이크로파 및 밀리미터파 통신 시스템에서 사용하는 신호원은 높은 안정도와 저잡음 신호원을 요구하며 높은 신호원을 안정화시키기 어렵기 때문에 저주파 신호를 체배하여 사용한다. 이러한 주파수 체배기는 기본 주파수 신호를 두 배 혹은 그 이상으로

곱해주는 회로이다. 주로 비선형 소자의 고조파 성분을 이용하기 때문에 원하는 출력 특성에 맞도록 비선형 소자의 입, 출력 매칭 회로를 설계한다. 일반적인 능동 체배기는 낮은 차수의 고조파 체배의 경우에 변환 이득을 얻을 수 있으며 리액턴스 성분의 비선형 요소를 사용하여 고조파를 발생시킨다. 이러한 체배기는 불필요한 고조파 성분들을 포함하고 있

전북대학교 정보통신공학과(Department of Information & Communication Engineering, Chonbuk National University)

*순천향대학교 정보기술공학부(Division of Information Technology Engineering, Soonchunhyang University)

** (주)세원텔레텍(Sewon Teletech Inc.)

· 논문 번호 : 20060526-04S

· 수정완료일자 : 2006년 8월 3일

어서 다른 주파수와 혼합이 되어 사용될 때 혼변조 신호가 많이 발생하므로 원하지 않는 신호를 효과적으로 제거해야 한다. 기존의 체배기는 기본 주파수 신호를 제거하기 위해서 $\lambda/4$ 오픈 스테르브나 평형 체배기 구조를 이용하였다^{[1]~[3]}. 하지만 이러한 방법은 일반적으로 20~25 dB의 제거 효과를 갖는다. 또한 기본 주파수 신호와 원하지 않는 고조파 성분들을 제거하기 위해서 대역 통과 여파기를 사용하는데 대역 통과 여파기의 삽입 손실로 인해 체배 주파수의 불필요한 신호 감쇄를 피할 수 없게 된다. 더욱이 집적 회로에서 높은 Q 값을 갖는 대역 통과 여파기를 만들기가 쉽지 않아 집적화하기가 어려운 문제점이 있다.

본 논문에서는 이러한 문제점들을 개선하기 위하여 전력 증폭기의 선형화에 많이 쓰이는 feedforward 기술과 원하지 않는 고조파 성분들을 제거하기 위하여 마이크로스트립의 접지면에 특정 모양의 식각을 통해 만들어지는 결함 접지 구조(defected ground structure)를 이용하였으며^[4], 이 구조는 이미 방향성 결합기, 여파기와 전력 증폭기에 적용되고 있다^{[5]~[7]}. 제작된 체배기는 feedforward 기술을 이용하여 기본 주파수 성분을 효과적으로 제거할 수 있었고, 체배하고자 하는 고조파 성분을 제외한 나머지 고조파 성분을 제거하기 위해서 아령 모양과 나선형 모양의 DGS를 사용하였다. 기본 주파수 1 GHz 신호를 각각 2 GHz, 3 GHz와 4 GHz 신호로 체배하도록 설계하였다.

II. 이 론

트랜지스터의 입력 전압에 따른 출력 전류 파형은 바이어스 조건과 전도각에 따라서 설명할 수 있다. 바이어스 전압에 따른 DC 전류 소비와 고조파 신호는 식 (1)과 (2)에서와 같이 나타낼 수 있다. 직류 성분과 각 고조파 성분들의 크기를 전도각에 따라 그림 1과 같이 나타낼 수 있다^[8]. 그림 1에서 2차, 3차와 4차 고조파 성분의 크기가 가장 클 때의 전도각은 각각 120도, 75도와 60도라는 것을 알 수 있다.

$$I_{dc} = \frac{1}{2\pi} \int_{-a/2}^{a/2} \frac{I_{max}}{1 - \cos(a/2)} [\cos \theta - \cos(a/2)] d\theta \quad (1)$$

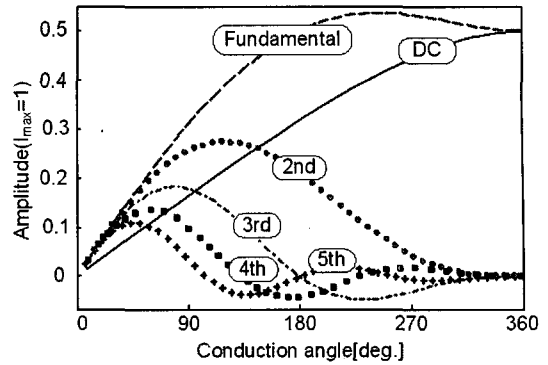


그림 1. 전도각에 따른 기본 신호 성분과 고조파 성분의 크기 비교

Fig. 1. Amplitude comparison of the fundamental and harmonic components versus conduction angle.

$$I_n = \frac{1}{\pi} \int_{-a/2}^{a/2} \frac{I_{max}}{1 - \cos(a/2)} [\cos \theta - \cos(a/2)] \cdot \cos n\theta d\theta \quad (2)$$

Feedforward 구조는 전력 증폭기의 혼변조 왜곡 성분을 효과적으로 제거하는 기술로 널리 사용되고 있으며 다른 선형화 방식에 비해 넓은 주파수 특성과 발전 가능성이 거의 없다는 것이 특징이다.

본 논문에서는 기본 주파수 성분을 제거하기 위한 방법으로 사용되었으며 그림 2는 기본 주파수 신호 상쇄를 위해 사용된 feedforward 구조를 이용한 제안된 주파수 체배기의 블록도이다. 보통 능동 주파수 체배기는 체배 후에 기본 주파수 신호 레벨이 감쇠되므로, 체배기 전후에 있는 결합기의 결합 계수와 가변 위상 변환기의 위상을 제어함으로써 원하지 않는 기본 주파수 신호 성분을 억압할 수 있다^[9]. 그러나 선형 전력 증폭기를 feedforward 구조로 구현할 때, 주 신호 제거 루프에서는 주 신호만 제거되었듯이

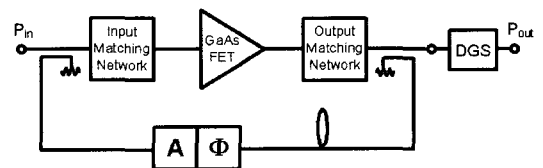
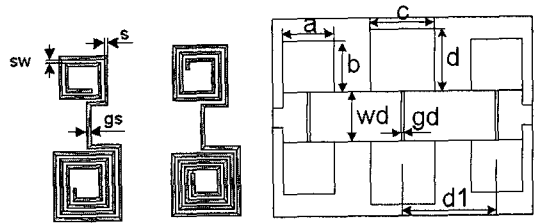


그림 2. 제안된 주파수 체배기의 블록도
Fig. 2. Block diagram of the proposed frequency multiplier.

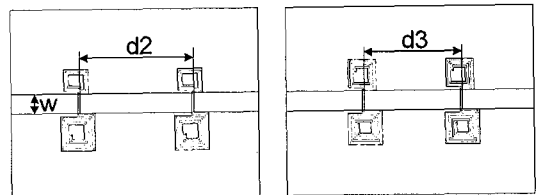
feedforward 구조를 적용한 주파수 체배기에서는 원하지 않는 고조파 성분들을 제거할 수 없게 된다. Feedforward만으로 제거하지 못하는 원하지 않는 고조파 성분들을 제거하기 위해서 체배기 출력단에 DGS 구조를 사용하였다. 이러한 구조의 접지면의 결합은 전송 선로의 임피던스를 증가시킴으로써 임피던스 변화로 인한 전파 지연 특성을 갖는다. 결합의 크기와 모양, 개수를 변화시킴으로써 전송 선로의 임피던스를 조정하고 고유전율, 높은 임피던스로 구현이 가능하게 된다. 일반적으로 마이크로스트립 선로에서는 무한대의 임피던스를 갖는 선로를 구현하기가 어렵다. 하지만 DGS 구조를 이용하면 높은 임피던스를 갖는 선로도 비교적 넓은 폭으로 구현할 수 있다. 그리고 같은 50 Ω 선로에 대해 DGS를 적용하면 유전율이 더 커짐으로써 길이는 더 짧아지게 되어 전체 크기가 줄어드는 장점을 지닌다. DGS는 아령 모양은 저역 통과 여파기, 나선형 모양은 대역 저지 여파기로 동작한다. 본 논문에서는 2체배기에는 아령 모양의 DGS를 3체배기와 4체배기에는 나선형 모양의 DGS를 사용하였다. 유전율 2.2, 두께 31 mil의 RT/duroid 5880 기판을 사용하였고, 그림 3에서 DGS 구조의 크기는 $s=sw=0.2$ mm, $gs=0.25$ mm, $a=b=6$ mm, $c=7.6$ mm, $d=7.4$ mm, $w=2.4$ mm, $wd=5.8$ mm, $gd=0.3$ mm, $d_1=11$ mm, $d_2=14$ mm, and $d_3=12$ mm 이다. 각 체배기의 DGS 구조는 Ansoft HFSS V9.0을 이용하여 설계하였다.

일반적으로 대칭의 나선형 DGS를 사용하게 되면 협대역 저지 특성이 나타난다. 나선형 모양의 크기에 따라 저지대역 주파수 특성을 조절할 수 있는데 크기가 커질수록 낮은 주파수에서, 크기가 작아질수록 높은 주파수에서 저지대역이 나타난다. 이러한 특성은 나선형 모양의 한 쪽 크기에 의해 크게 좌우되므로 양쪽 크기를 서로 달리하면 동시에 두 개의 대역저지 특성을 얻을 수 있다. 또한 두 개의 나선형 DGS를 사용하여 더 깊은 저지 특성을 얻어내었다.

이러한 특성을 이용하여 3체배기와 4체배기에서 원하지 않는 2개의 하모닉을 동시에 제거할 수 있었다. 그림 4와 표 1에 각 체배기에 사용된 DGS는 체배하고자 하는 주파수 성분과 기본 주파수 성분을 제외하고 최소 -24.6 dB에서 최대 -36.4 dB까지 원하지 않는 고조파 성분들의 억압 특성을 나타내었다.



(a) 3체배기의 나선형 단일 DGS (b) 4체배기의 나선형 단일 DGS (c) 2체배기의 아령 DGS
 (a) Spiral DGS for tripler (b) Spiral DGS for quadrupler (c) For frequency doubler unit for tripler



(d) 3체배기의 나선형 DGS (e) 4체배기의 아령 DGS
 (d) For frequency tripler (e) For frequency quadrupler

그림 3. 주파수 체배기에 사용된 DGS 레이아웃
 Fig. 3. Layout of DGS for frequency multiplier.

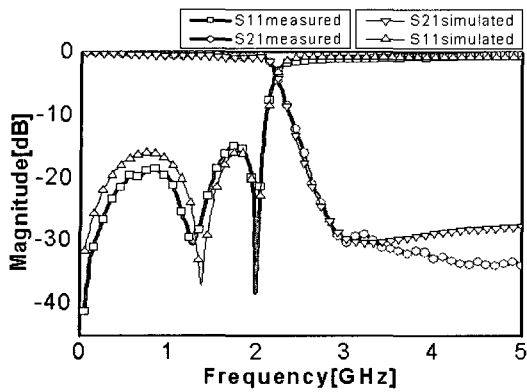
표 1. DGS 측정 결과

Table 1. DGS measurement results.

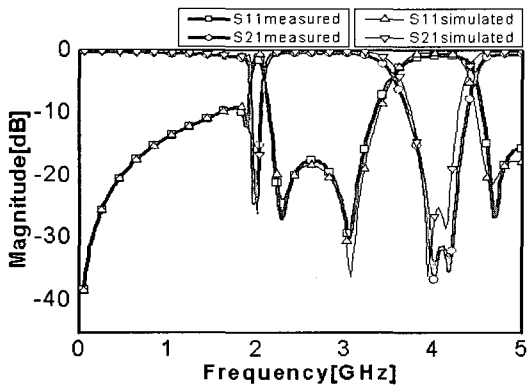
$f_0=1$ GHz	S_{21} [dB]			
	f_0	$2f_0$	$3f_0$	$4f_0$
DGS(@doubler)	-0.41	-0.49	-30.17	-32.78
DGS(@tripler)	-0.41	-26.14	-0.36	-36.47
DGS(@quadrupler)	-0.30	-24.62	-25.19	-0.47

III. 측정 결과

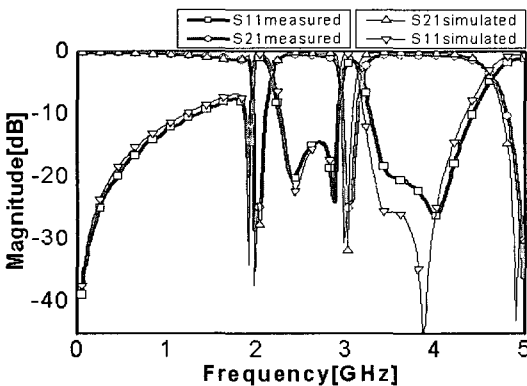
2차, 3차와 4차 주파수 체배를 목적으로 GaAs MESFET인 HP사의 ATF10136을 사용하였고, 2체배기의 드레인과 게이트 전압을 각각 1.25 V와 -1.3 V, 3체배기는 1.2 V와 -1.25 V, 그리고 4체배기는 1.3 V와 -1 V로 설정하여 2차, 3차와 4차 하모닉 성분이 많이 발생하도록 B급과 C급 사이의 pinch-off 전압 근처에서 동작하도록 하였고, 이때 주파수는 1 GHz, 입력 전력이 0 dBm인 입력 신호를 인가하였다. 측정을 위해 HP사의 E4432B signal generator와 Agilent사



(a) 2체배기에 사용된 DGS
(a) For frequency doubler



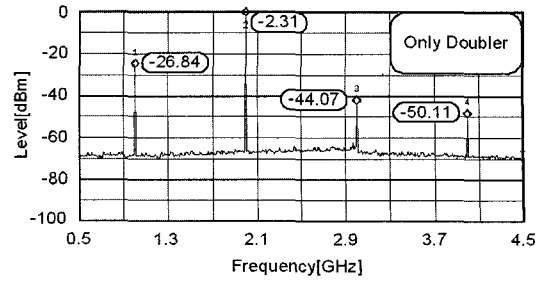
(b) 3체배기에 사용된 DGS
(b) For frequency tripler



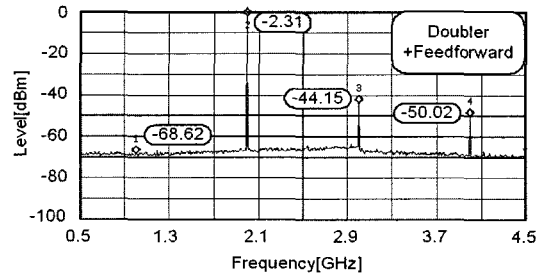
(c) 4체배기에 사용된 DGS
(c) For frequency quadrupler

그림 4. DGS의 시뮬레이션과 측정 결과
Fig. 4. Simulated and measured results of the DGS.

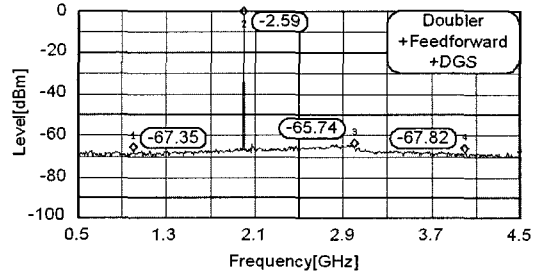
의 E4407B spectrum analyzer를 사용하였다. 그림 5~7과 표 2에서는 feedforward 구조만 적용하였을 경우



(a)



(b)

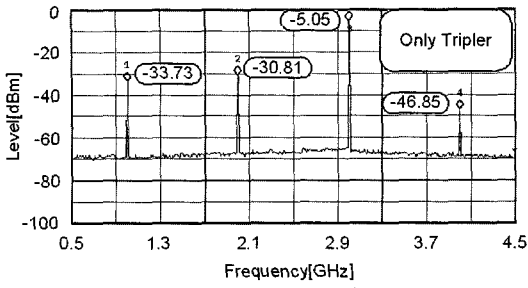


(c)

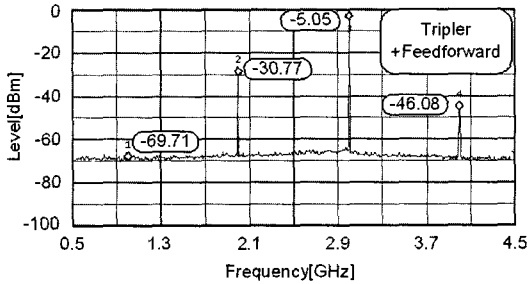
그림 5. 2체배기 스펙트럼 측정 결과 ($P_{in}=0$ dBm)
Fig. 5. Measured spectrum of the frequency doubler ($P_{in}=0$ dBm).

표 2. 주파수 체배기의 출력 신호 비교 [dBm]
Table 2. Output signal comparison of frequency multiplier structures [dBm].

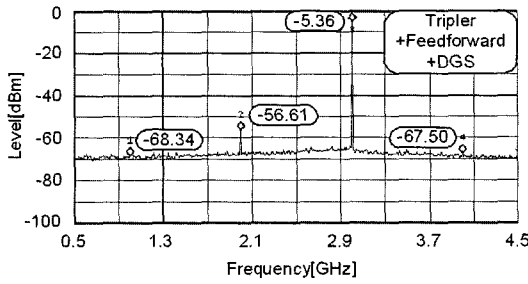
$P_{in}=0$ dBm, $f_0=1$ GHz	P_{f_0}	P_{2f_0}	P_{3f_0}	P_{4f_0}
Only Doubler	-26.84	-2.31	-44.07	-50.11
Doubler+FF	-68.62	-2.31	-44.15	-50.02
Doubler+FF+DGS	-67.35	-2.59	-65.74	-67.82
Only Tripler	-33.73	-30.81	-5.05	-46.85
Tripler+FF	-69.71	-30.77	-5.05	-46.08
Tripler+FF+DGS	-68.34	-56.61	-5.36	-67.50
Only Quadrupler	-47.59	-45.43	-44.62	-4.22
Quadrupler+FF	-67.11	-45.92	-44.49	-4.24
Quadrupler+FF+DGS	-66.91	-66.43	-65.11	-4.57



(a)



(b)

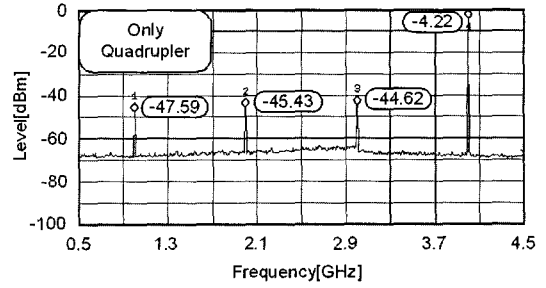


(c)

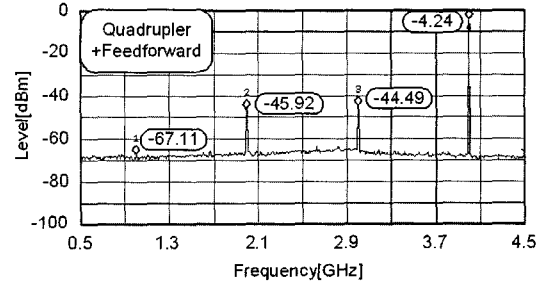
그림 6. 3체배기 스펙트럼 측정 결과($P_{in}=0$ dBm)
Fig. 6. Measured spectrum of the frequency tripler ($P_{in}=0$ dBm).

와 feedforward와 DGS 구조를 모두 적용하였을 경우를 비교하고 있다. 모두 적용하였을 때에 체배하고자 하는 신호 외의 고조파 성분들은 대부분 노이즈 레벨까지 제거된 것을 확인할 수 있다.

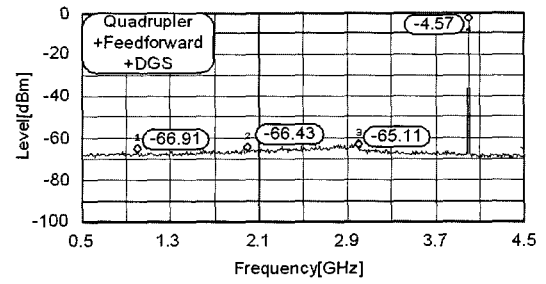
측정된 출력 신호($2f_0$, $3f_0$, $4f_0$)의 위상 잡음은 각각 10-KHz 오프셋에서 -94.06 dBc/Hz, -93.90 dBc/Hz와 -92.2 dBc/Hz로 측정되었고, 이때 입력 신호(f_0)의 위상 잡음은 -94.98 dBc/Hz이었다. 이것은 $20\log(2)=6$ dB, $20\log(3)=9.5$ dB과 $20\log(4)=12$ dB과 같이 이론적인 값보다 각각 5.08 dB, 8.42 dB와 9.22 dB 향상된 결과이다. 이 결과는 기본 주파수 신호와 원하지 않는 고조파 성분들이 확실하게 제거되었음을 나



(a)



(b)



(c)

그림 7. 4체배기 스펙트럼 측정 결과($P_{in}=0$ dBm)
Fig. 7. Measured spectrum of the frequency quadrupler ($P_{in}=0$ dBm).

타내고 있다.

IV. 결론

높은 안정도와 저위상 잡음의 신호원을 얻기 위한 주파수 체배기 설계 기법을 제시하였다. 일반적으로 증폭기의 혼변조 왜곡 성분들을 제거하기 위해 사용되는 feedforward 기법을 사용하여 일반적인 주파수 체배기의 기본 주파수 성분을 억압하였다. 또한 마이크로스트립 선로의 접지면을 아령 모양으로 식각하면 저역 통과 여파기의 특성을 얻을 수 있는데 이를 2차 주파수 체배기의 출력단에 부착함으로써

3차 이상의 고조파 성분들을 억압할 수 있었고, 나선형 모양으로 식각하면 대역 저지 특성을 얻을 수 있는데 이를 이용하여 3체배기와 4체배기에서 각각 2, 4차와 2, 3차의 원하지 않는 고조파를 효과적으로 제거할 수 있었다.

본 논문에서 제시한 모든 회로들은 높은 Q값을 요구하지 않는 회로들로 구현되었으므로 모두 집적화가 가능하며 이를 집적회로화 한다면 시스템 소형화에 기여할 것으로 판단되며 향후 연구 과제이다.

참 고 문 헌

- [1] D. G. Thomas Jr., G. R. Branner, "Optimization of active microwave frequency multiplier performance utilizing harmonic terminating impedances", *IEEE Trans. Microwave Theory Tech.*, vol. 44, pp. 2617-2624, Dec. 1996.
- [2] S. P. O. Bruce, F. J. Beiβwanger, J. F. Luy, and U. Erben, "Design and realization of a millimeter-wave Si/SiGe HBT frequency multiplier", *IEEE Trans. Microwave Theory Tech.*, vol. 46, pp. 695-700, May 1998.
- [3] S. A. Mass, *The RF and Microwave Circuit Design Cookbook*, Boston, MA., Artech House, 1998.
- [4] C. S. Kim, J. S. Park, D. Ahn, and J. B. Lim, "A novel 1-D periodic defected ground structure for planar circuits", *IEEE Microwave Guided Wave Lett.*, vol. 10, pp. 131-133, Apr. 2000.
- [5] J. S. Lim, C. S. Kim, J. S. Park, D. Ahn, and S. W. Nam, "Design of 10 dB 90 branch line coupler using microstrip line with defected ground structure", *Electron. Lett.*, vol. 36, pp. 1784-1785, Oct. 2000.
- [6] J. S. Lim, C. S. Kim, D. Ahn, Y. C. Jeong, and S. W. Nam, "Design of low-pass filters using defected ground structure", *IEEE Trans. Microwave Theory Tech.*, vol. 53, no. 8, pp. 2539-2545, Aug. 2005.
- [7] Y. C. Jeong, S. G. Jeong, J. S. Lim, and S. W. Nam, "A new method to suppress harmonics using $\lambda/4$ bias line combined by defected ground structure in power amplifiers", *IEEE Microwave Wireless Component Lett.*, vol. 13, pp. 538-540, Dec. 2003.
- [8] S. C. Cripps, *RF Power Amplifiers for Wireless Communications*, Boston, MA., Artech House, 1999.
- [9] Y. C. Jeong, "A feedforward power amplifier with loops to reduce RX band noises and intermodulation distortion", *Microwave Journal*, vol. 45, no. 1, pp. 80-91, Jan. 2001.

박 상 근



2005년 2월: 전북대학교 전자공학과 (공학사)
 2005년 3월~현재: 전북대학교 정보통신공학과 석사과정
 [주 관심분야] RF Power Amplifier, DGS

정 용 채



1989년 2월: 서강대학교 전자공학과 (공학사)
 1991년 2월: 서강대학교 전자공학과 (공학석사)
 1996년 8월: 서강대학교 전자공학과 (공학박사)
 1991년 2월~1998년 2월: 삼성전자 정보통신본부 선임연구원
 1998년 3월~현재: 전북대학교 전자정보공학부 부교수
 [주 관심분야] RF 및 Microwave 회로 해석 및 설계

임 중 식



1991년 2월: 서강대학교 전자공학과 (공학사)
 1993년 2월: 서강대학교 전자공학과 (공학석사)
 2003년 2월: 서울대학교 전기컴퓨터공학부 (공학박사)
 1993년 2월~1999년 3월: 한국전자통신연구원 위성통신기술연구단 무선방송기술연구소 선임연구원
 2003년 3월~2003년 7월: 서울대학교 BK21 정보기술사업단 박사후 연구원
 2003년 7월~2004년 9월: 특허청 특허심사관
 2004년 9월~2005년 2월: 한국전자통신연구원 디지털방송연구단 전파기술연구그룹 선임연구원
 2005년 3월~현재: 순천향대학교 정보기술공학부 교수
 [주 관심분야] 초고주파 무선 회로/부품 설계, 능동/수동 소자 모델링 및 회로 응용, 주기 구조의 모델링 및 회로 응용 등

김 철 동



1971년 2월: 서울대학교 전자공학과 (공학사)
 1985년 5월: 미국 Wisconsin-Madison 전기공학과 (공학박사)
 1985년~1990년: 미국 AT&T Bell Labs. MTS
 1990년 2월~1997년 11월: 삼성전자 정보통신사업본부 상무이사
 1997년 3월~현재: 세원텔레텍(주) 대표이사
 [주 관심분야] 선형증폭기 설계, 초고주파 회로설계, 이동통신시스템 기술