
ISM 대역 무선데이터 통신용 송수신 모듈 설계

김영진*

Design of the Transceiver Module for RF Data Communication in ISM Frequency Band

Yung-Jin Kim*

이 논문은 2005년도 동의대학교 연구비를 지원받았음

요 약

본 논문에서는 근거리의 기계나 장치들을 무선으로 원격 제어 하기 위한 무선 데이터 통신용 송수신기 모듈을 설계하였다. 개발된 모듈은 ISM 대역에서 424MHz 주파수를 이용하고, 153.6Kbps의 전송속도로 데이터를 전송할 수 있다. 모듈에서 데이터를 전송할 때, 데이터를 인식하고 제어하기 위한 프로세서는 알테라사의 CPLD 칩을 사용하여 VHDL로 프로그래밍하여 구현한다. 향후, 모듈의 소형화와 높은 전송속도 등에 대한 연구를 계속하여 무선식 별장치(RFID) 기술에 적용할 것이다.

ABSTRACT

In this paper, we designed radio data transceiver to control the machine or equipments for automation in local areas. The designed module can transmit data with 153.6Kbps and uses 424MHz RF carrier to transmit data in the ISM band regulation. It has a processor, CPLD chip of the Altera Company, to control the data in transmitting and receiving. The processor is implemented by programming with VHDL. We will make this module with compact in dimension and higher data rate and apply to RFID technology.

키워드

ISM band, CPLD, VHDL, RFID

I . 서 론

서론 최근 전파통신 기술의 급속한 발전과 경제적 수준의 향상에 따라 다양한 무선국에 대한 수요가 증가하고 있는 가운데 저전력의 전파를 발사하는 미약 무선국은 전파사용에 따른 별도의 허가를 필요로 하지 않는다. 따라서 짧은 구역 내의 음성 및 데이터 전송용, 장비의 원격제어용 등 산업 활동 뿐만 아니라 일상생활에 이르기까지 이용범위가 확산되어가고 있는 추세이다.

통신 기술의 급속한 발전과 경제적 수준의 향상에 따라 다양한 무선국에 대한 수요가 증가하고 있는 가운데 저전력의 전파를 발사하는 미약 무선국은 전파사용에 따른 별도의 허가를 필요로 하지 않는다. 따라서 짧은 구역 내의 음성 및 데이터 전송용, 장비의 원격제어용 등 산업 활동 뿐만 아니라 일상생활에 이르기까지 이용범위가 확산되어가고 있는 추세이다.

본 논문에서는 무선 원격 감시 및 제어 시스템에 적용

* 동의대학교 전자공학과 교수

접수일자 : 2006. 4. 25

RF 모듈의 주변 회로 구성은 그림 2와 같다. 데이터 처리와 송수신 절환 스위치 회로(1ms 이내)를 내장하고 있어 최대 153.6Kbps 속도로 반이중 통신 방식을 제공한다. FSK 변조방식을 사용하고 있으며 사용주파수 범위는 402~470MHz이고, 출력은 10mW, 수신감도는 19.2kbps에서 -110dBm, 전원은 5V이며, 안테나는 헬리컬 안테나를 사용한다. CC1020에서의 주요 포트는 1, 2, 3, 7, 8, 32번이다. 1, 2, 3, 32번 포트는 CPLD와 연결되어 주파수나 채널, 변조방식 등을 결정짓게 된다. 1번 포트는 주파수나 채널 등을 결정할 때 동기를 맞춰 주기 위한 클릭이고, 2번 포트는 CPLD에서 CC1020으로 설정된 데이터를 보내주게 되는 포트이다. 3번 포트는 CC1020에서 설정된 데이터를 CPLD로 보여주기 위해 데이터를 전송하게 되는 포트이고, 이 3개의 포트는 32번 포트가 0일 때 동작을 하게 된다. 7, 8번 포트는 CPLD와 연결되어 실제적으로 주고받을 데이터를 송수신 하는 포트이다. 7번 포트는 실제 데이터 송수신시 동기를 맞춰주기 위한 클릭이고, 8번 포트는 실제적으로 통신 할 데이터를 주고받는 포트이다.

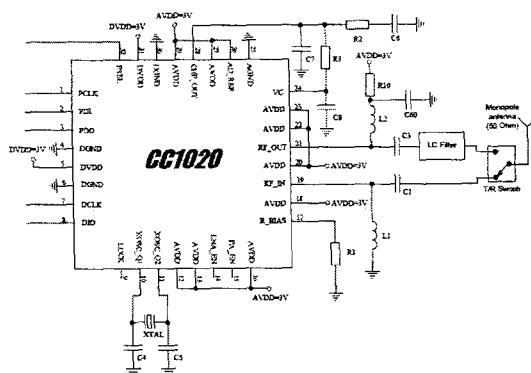
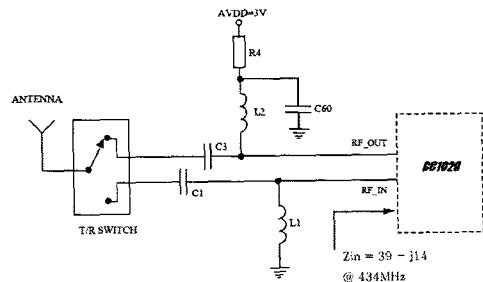


그림 2. RF 모듈과 주변회로 설계
Fig. 2. RF Module and Application Circuit

3.2. 안테나 임피던스 정합 회로 설계

안테나와 RF 모듈의 임피던스 부정합으로 인해 생긴 Return loss를 줄이기 위해 그림 3과 같이 임피던스 정합 회로를 설계하였고, 그림 4는 안테나와 RF 모듈 사이에 정합회로를 삽입한 상태의 임피던스 정합 결과를 스미스 차트에 나타내었다.



Item	434 MHz
C1	10 pF
C3	8.2 pF
C60	220 pF
L1	33 nH
L2	12 nH
R4	50 Ω

그림 3. 임피던스 정합 회로
Fig. 3. Impedance Matching Circuit

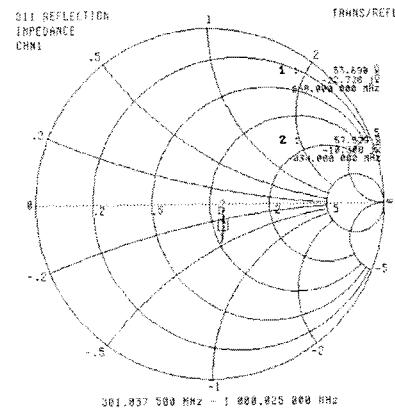


그림 4. 스미스차트 – 임피던스 정합 결과
Fig. 4. Impedance Matching Result on the Smith Chart

3.3. RF 모듈과 CPLD 인터페이스

그림 5에 RF 모듈과 CPLD 인터페이스 관계를 나타내었다. 사용된 RF 모듈은 데이터의 코딩이나 디코딩 기능을 포함하지 않기 때문에 데이터 전송시 데이터의 포맷과 데이터의 인식 등을 위해 마이크로 컨트롤러를 이용하여야 한다. 마이크로 컨트롤러에는 마이크로프로세서, PIC, CPLD 등이 있으나 본 논문에서는 보다 소형화가 가능하고, 언어의 구현이 쉬운 VHDL이라는 프로그램이 지닌 장

점 때문에 Altera사의 CPLD칩을 사용하여 VHDL 언어로 프로그래밍 하였다.

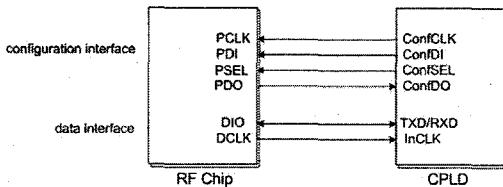


그림 5. RF 모듈과 CPLD 인터페이스
Fig. 5. RF Module and Interface with CPLD

RF 모듈과 CPLD 인터페이스는 크게 두 부분으로 나뉜다. 주파수와 채널 등을 결정짓게 되는 configuration 인터페이스와 데이터를 주고받는 data 인터페이스로 나뉜다. configuration 인터페이스에서는 주파수나 채널 등을 결정짓게 되는 write 모드와 결정된 주파수나 채널 등을 CPLD로 전해주는 read 모드로 구분된다. 그림 6은 write 모드일 때의 파형도이다. PSEL이 활성화 상태에서 PCLK의 동기에 맞춰 PDI를 통해 주소 7비트와 write 모드 1비트, 데이터 8비트 즉, 총 16비트를 33프레임동안 전해주게 되면 주파수나 채널 등을 결정짓게 된다.

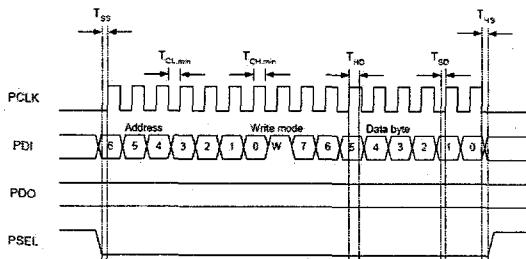


그림 6. Write 모드일 때의 파형도
Fig. 6. Waveform while Writing mode

그림 7은 read 모드에서의 파형도이다. PSEL이 0일 때 활성화되어 PCLK의 동기에 맞춰 PDI를 통해 CPLD에서 주소 7비트와 read 모드 1비트를 전송하게 되면 RF 모듈에서는 주파수나 채널 등의 데이터 8비트를 CPLD로 PDO 포트를 통해 전송하게 된다.

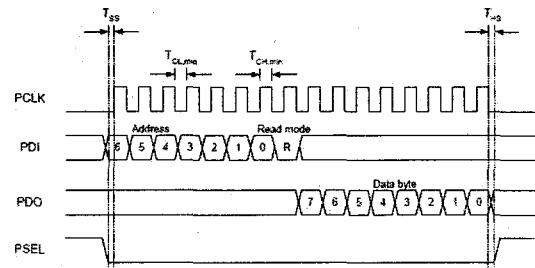


그림 7. Read 모드일 때의 파형도
Fig. 7. Waveform while Reading mode

그림 8은 데이터 인터페이스에서 NRZ 모드 송수신 상태에서의 DIO 포트와 안테나의 파형을 나타낸다. 송신부에서는 DCLK에 맞춰서 DIO포트를 통해 CPLD에서 RF 모듈로 데이터를 전송하게 되면 안테나를 통해 전송이 되고, 수신부에서는 안테나를 통해 들어온 데이터를 DCLK에 맞추어 DIO 포트를 통해 CPLD로 전해준다.

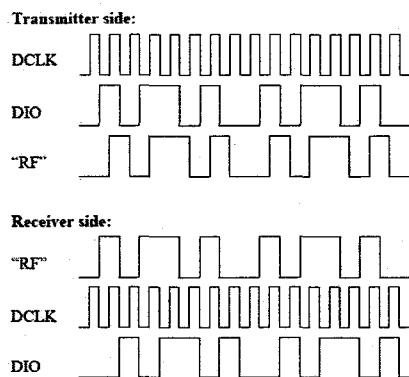


그림 8. NRZ 모드의 송수신 데이터 파형도
Fig. 8. Data Communication Waveform of NRZ mode

3.4. VHDL에 의한 CPLD 설계

송신측은 제어부에 4개의 제어 스위치에 의해 각각 8비트의 데이터를 생성하고 RF 모듈을 통해 원격지의 수신측에 전송한다. 전송에서 데이터의 구성은 그림 9와 같이 '0'으로 구성된 스타트 비트 1bit, 데이터 8bit, '1'로 구성된 스톱 1bit로 총 10비트 패키지로 이루어진다. 외부 클럭을 1MHz를 사용하고 데이터 전송 속도가 19.2kbps로 설정하면 데이터 1비트당 소요되는 클럭은 52.08개이다. Process 문에서 처음 대기 상태 (High)에서 입력이 1에서 0으로 떨어질 때 start bit('0')인지 노이즈인지의 인식은 클

력의 1비트에 대한 클럭 카운터 값인 52에서 중간 값인 25 카운터에서 입력값을 체크하여 1이면 노이즈로 판단하여 대기 상태로 머물고 0이면 스타트 비트로 판단하여 데이터의 입력 받는 다음 상태로 넘어간다.

그림 10에 송신부의 구성을 나타내었다. 하나의 입력이 들어오게 되면 그 입력에 해당되는 8비트가 CPLD 내부 구성의 오른쪽으로 넘어가게 된다. 이때 다음 데이터를 받을 준비가 되었다는 TI 시그널을 왼쪽 부분으로 넘겨주게 된다. 이와 동시에 오른쪽 부분에서는 스타트 비트와 스톱 비트를 데이터 8비트와 붙여서 RF 모듈로 보내게 된다.

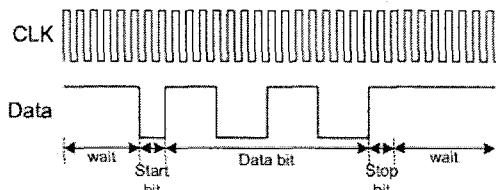


그림 9. 데이터의 구성
Fig. 9. Data Configuration

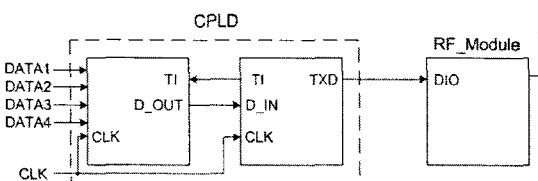


그림 10. 송신부의 구성
Fig. 10. Configuration of Transmitter

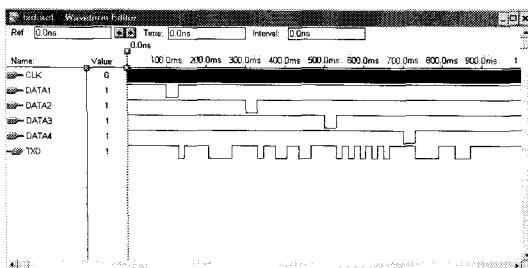


그림 11. 송신측 파형 시뮬레이션 결과
Fig. 11. Simulation Result of Transmitting

그림 11은 VHDL로 프로그래밍 한 것을 MAX+PLUS II를 이용해 송신측 파형을 시뮬레이션 한 결과이다. DATA1~4중의 하나를 입력하게 되면 거기에 해당되는 8비트의 데이터와 스타트비트, 스톱비트가 전송되는 것

을 알 수 있다. 그림 12에 수신부의 구성을 나타내었다. 안테나를 통해 들어온 데이터는 RF 모듈의 DIO 포트를 통해 CPLD로 전송이 된다. CPLD로 들어온 10비트의 데이터는 스타트 비트와 스톱 비트를 제거하고 CPLD 내부의 왼쪽부분으로 8비트가 전송되게 된다. 이때 다음 데이터를 받을 준비가 되었다는 RI 시그널을 보내게 됨과 동시에 8비트에 해당되는 출력을 보내게 된다. 그림 13은 MAX+PLUS II를 이용한 수신부의 파형을 시뮬레이션한 결과이다. RXD를 통해 들어온 데이터는 각각 해당 포트가 활성화됨을 볼 수 있다.

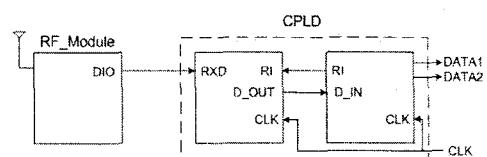


그림 12. 수신부의 구성
Fig. 12. Configuration of Receiver

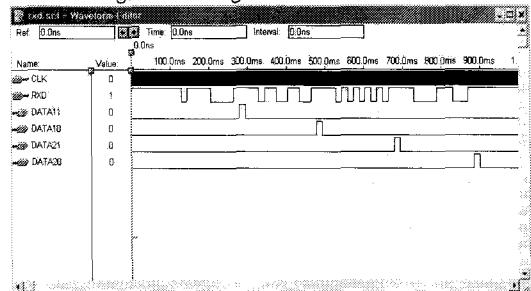


그림 13. 수신측 파형 시뮬레이션 결과
Fig. 13. Simulation Result of Receiving

IV. 실험 결과 및 고찰

본 논문은 Chipcon사의 CC1020 RF 모듈과 CPLD의 인터페이스, 그리고 주변회로를 구성하여 424MHz의 ISM 대역을 통하여 최대 153.6kbps의 속도로 무선 통신망을 통하여 데이터를 송수신하는 것을 설계하였다. 그림 14는 데이터 송수신 테스트 장치이다. 그림 15는 NRZ 모드에서 FSK방식과 GFSK방식의 스펙트럼 비교 결과이다.

그림 16은 디지털 오실로스코프로 측정한 파형이며, 위 파형은 송신측이고, 아래 파형은 수신측이다. 두 파형을 비교해 볼 때 거의 일치하다는 것을 알 수 있다.

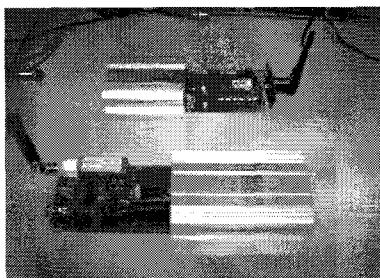


그림 14. 데이터 통신 테스트 장치
Fig. 14. Communication Testing

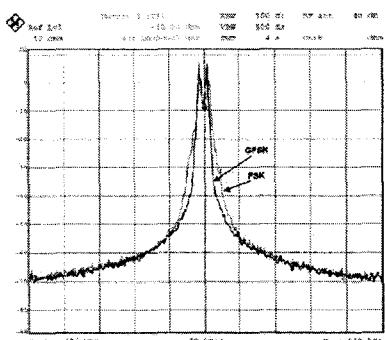


그림 15. FSK, GFSK 스펙트럼 비교 결과
Fig. 15. FSK, GFSK Spectrum Results

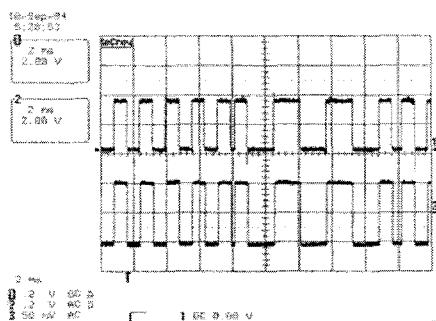


그림 16. 데이터 송수신 파형 측정 결과
Fig. 16. Test Result of Data Communication

그림 17은 NRZ 모드에서의 FSK방식과 GFSK방식의 아이 다이어그램을 나타낸 것이며, 그림 18은 434MHz에서 입력전력 대 RSSI 값을 나타낸 그래프이다. 그림 19는 입력전력 대 BER(Bit error rate)를 나타낸 그래프이다.

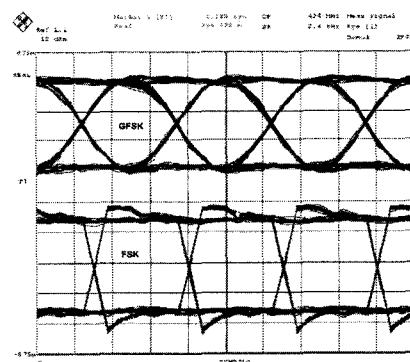


그림 17. FSK, GFSK의 아이 다이아그램
Fig. 17. FSK vs. GFSK eye diagram

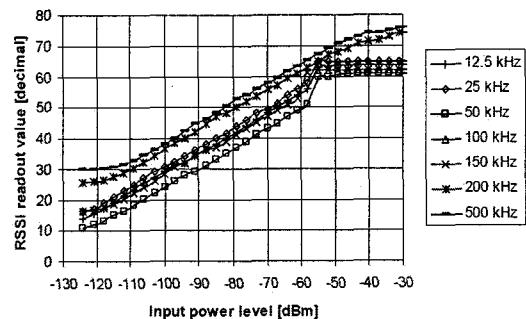


그림 18. 입력전력 대 RSSI 값
Fig. 18. RSSI and Input Power

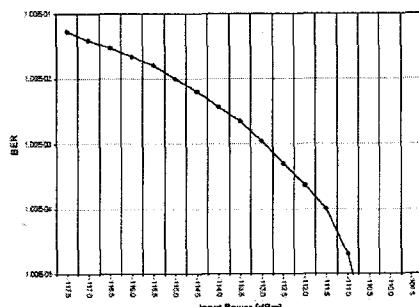


그림 19. 입력전력 대 BER
Fig. 19. BER and Input Power

그림 20은 Data Rate에 따른 수신감도를 나타낸 그래프이며, 19.2kbps에서 약 -110dBm이 될을 알 수 있다.

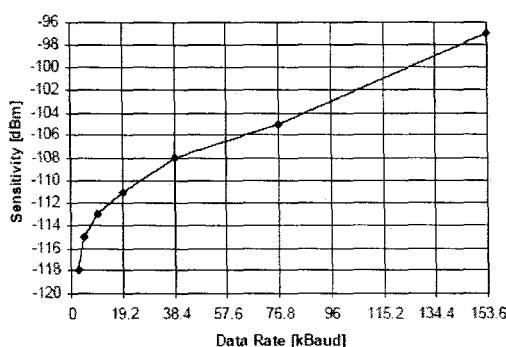


그림 20. Data Rate에 따른 수신감도
Fig. 20. Receiving Sensitivity regarding to Data Rate

저자소개



김 영 진(Yung-Jin Kim)

1997년 8월 경남대학교 대학원 전자
공학과 (공학박사)
1980년 3월 - 2006년 현재 동의대학
교 전자공학과 교수

※ 관심분야 : 회로 및 시스템, 통신시스템

V. 결 론

본 논문에서는 수십 미터 이내의 근거리 영역에서 흄 오토메이션 등의 용도로 기계나 장치들을 무선으로 원격 제어하기 위한 무선 데이터 송수신기를 설계하였다. 개된 모듈은 ISM 대역의 주파수 중에서 424MHz 주파수를 이용한다. 실험 결과 최대 153.6Kbps의 전송속도로 데이터를 전송할 수 있었다. 데이터를 전송할 때, 데이터를 인식하고 제어하기 위한 프로세서는 Altera사의 CPLD 칩을 사용하여 VHDL로 프로그래밍하여 구현하였다.

향후 데이터 통신용 모듈의 수요는 지속적으로 증가할 것으로 예측되며, 데이터의 신뢰성을 높이기 위한 연구, 모듈의 소형화와 높은 전송속도 등에 대한 연구를 계속하여 무선식별장치(RFID) 기술에 적용할 것이다.

참고문헌

- [1] 중앙전파관리소 전파법 시행령 자료실, <http://crmo.mic.go.kr/data1/initdata.jsp>
- [2] 松下溫, 無線 LAN 技術 講座, Ohm社.
- [3] Chipcon(주), Single Chip RF Transceiver Applications Note, pp.19~37.
- [4] Proakis, "Digital Communications", McGrawHill, 2000
- [5] 월간 전자기술, "무선 데이터 통신 연구", 특집 자료, pp.90~99, 2000년 4월호
- [6] 박신호, "무선전송제어 시스템", 국제테크노 정보연구소, pp.211~239. 1999.