

# IEEE 802.16e OFDMA-TDD 시스템 Digital Front End의 Fixed-point 설계 최적화

준회원 강승원\*, 신태형\*, 종신회원 장경희\*,  
정회원 임인기\*\*, 어익수\*\*

## Optimization of Fixed-point Design on the Digital Front End in IEEE 802.16e OFDMA-TDD System

SeungWon Kang\*, TaeHyoung Sun\* *Associate Members*,  
KyungHi Chang\* *Lifelong Member*, In-Gi Lim\*\*, IkSoo Eo\*\* *Regular Members*

### 요 약

본 논문에서는 IEEE 802.16e OFDMA(Orthogonal Frequency Division Multiplexing-FDMA) TDD(Time Division Duplexing) 시스템 단말 수신기의 입력 신호에 대하여 DC 오프셋 보상, 자동 주파수 조정, 자동 이득 조절을 수행하는 DFE(Digital Front End)의 동작 원리와 Fixed-point 설계 방법에 대하여 설명하고, DFE의 성능을 ITU-R M. 1225 Veh-A 60km/h 채널 환경에서 시뮬레이션 결과를 통해 분석한다. DFE의 Fixed-point 설계시, 시스템의 성능에 영향을 주지 않는 범위 내에서 연산을 통해 출력되는 bit의 크기를 줄임으로서 H/W 동작의 복잡도를 줄이고, Acquisition time과 안정도 간의 Trade-off를 고려하여 Loop Filter를 설계함으로써 DFE의 Fixed-point 설계를 최적화 한다.

**Key Words** : IEEE 802.16e OFDMA, Digital Front End, DC Offset Compensation, AFC, AGC

### ABSTRACT

In this paper, we explain the operation scheme and fixed-point design method of DFE (Digital Front End), which performs DC offset compensation, automatic frequency control, and automatic gain control over the input signal to the UE (User Equipment) receiver of IEEE 802.16e OFDMA-TDD system. Then, we analyze the performance of DFE under ITU-R M. 1225 Veh-A 60km/h channel environment. To optimize the fixed-point design of DFE, we reduce the number of bit resulted from calculation without performance degradation, leading to the decreased complexity of the operation in H/W, and design the Loop filter with considering trade-off between the Acquisition time and the Stability

### I. 서론

OFDM 시스템은 인접한 부 반송파간의 직교성을 이용하여 주파수 사용 효율이 높고, 연속된 심볼 사이에 보호 구간을 삽입하여 다중 경로 채널에 강인

한 특성을 갖는다. 이러한 OFDM 시스템의 장점을 기반으로 하여 다중 사용자에게 서로 다른 부반송파를 할당하는 OFDMA-TDD 시스템에 대한 연구가 활발히 진행되고 있다. OFDMA-TDD 시스템 단말의 수신 신호에 아날로그 단 및 ADC에서 발생

\* 인하대학교 정보통신대학원 (khchang@inha.ac.kr), \*\* 한국전자통신연구원  
논문번호 : KICS2006-04-167, 접수일자 : 2006년 4월 10일, 최종논문접수일자 : 2006년 6월 30일

하는 DC 오프셋이 존재하는 경우에 수신 신호의 이득을 조정하는 AGC (Automatic Gain Controller)가 동작하게 되면 Clipping 현상으로 인하여 수신기의 성능 열화가 발생하게 되므로 DC 오프셋을 제거하는 DC 오프셋 보상기가 필요하다. 또한, 다수의 부반송파를 사용하는 OFDMA-TDD 시스템의 경우 주파수 오프셋이 발생하게 되면 부반송파간의 직교성이 유지되지 못하여 수신기의 성능 열화가 발생하게 되므로 주파수 오프셋을 제거하는 AFC (Automatic Frequency Controller)가 필요하다.

본 논문에서는 2장, 3장 그리고 4장에서 각각 DC 오프셋 보상기, AFC, AGC의 동작 원리 및 Fixed-point 설계 방법에 대하여 설명하고 시뮬레이션 결과를 통해 성능을 분석한다. 그리고 5장에서 결론을 맺는다.

## II. DC 오프셋 보상기

아날로그 단 및 ADC에서 발생하는 DC 오프셋은 신호 레벨이 전체적으로 일정 수준으로 오르거나 내려가는 현상을 유발한다. 만일 DC 오프셋을 제거하지 않고 AGC가 동작하게 되면 전체적인 신호 레벨이 한 방향으로 Clipping 되어 Decision 에러 발생률이 높아지게 되므로 DC 오프셋 보상기가 요구된다. 그림 1은 표 1의 기본적인 시스템 변수를 사용하는 시스템 단말의 수신기에 사용되는 DC 오프셋 보상기의 블록 다이어그램으로서 DC 오프셋 검출이 디지털 단에서 이루어지는 반면 DC 오프셋 보상은 검출된 DC 오프셋이 Loop Filter를 거쳐 PDM 형태로 Analog RC Filter에 전달되어 아날로그 그 신호를 발생시켜 아날로그 단에서 이루어진다.

표 1. 기본적인 시스템 변수.

Table 1. Fundamental system parameters.

| Parameters         | Values  |
|--------------------|---------|
| Carrier frequency  | 2.3 GHz |
| FFT size           | 1024    |
| Cyclic Prefix Size | 128     |
| ADC                | 12 Bit  |

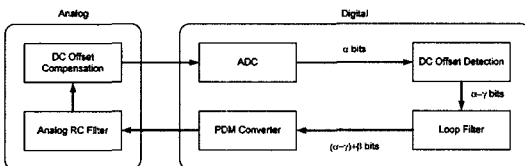


그림 1. DC 오프셋 보상기의 블록 다이어그램.  
Fig 1. DC offset compensator block diagram.

## 2.1 DC 오프셋 검출

DC 오프셋 검출은 그림 2의 Downlink frame preamble에서 Cyclic prefix를 제거한 뒤, Preamble를 레지스터에 누적하여 누적된 Preamble의 평균값을 계산하여 DC 오프셋을 검출한다<sup>[1,2]</sup>. ADC는 12 bit를 사용하므로 레지스터에 누적된 Preamble는  $(\alpha+10)$  bit로 표현 되고, 평균 DC 오프셋은  $\alpha$  bit로 표현된다.

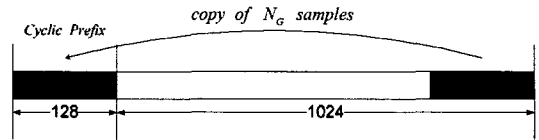


그림 2. Downlink frame preamble 구조.  
Fig 2. Downlink frame preamble structure.

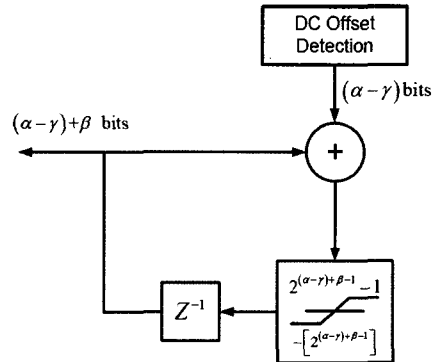


그림 3. Loop filter 구조.  
Fig 3. Loop filter structure.

## 2.2 Loop Filter

그림 3은 Loop Filter의 구조를 나타낸다<sup>[3]</sup>. Loop Filter는 현재의 Loop Filter 입력과 이전의 Loop Filter 출력을 더하는 Accumulator로서 Long term averaging을 수행한다. Loop Filter의 Long term averaging은 DC 오프셋 보상기의 동작이 채널의 변화에 순간적으로 반응하지 않도록 하여 DC 오프셋 보상기의 안정도 특성을 우수하게 해준다. Fixed point 설계시 H/W 동작의 복잡도를 고려하여 검출된 DC 오프셋 출력 bit를 모두 Loop Filter의 입력으로 사용하지 않고 DC 오프셋 보상기의 성능을 열화 시키지 않는 범위에서 사용빈도가 매우 낮은 MSB  $\gamma$  bit를 Shift 방법으로 제거하여 Loop Filter의 입력으로  $(\alpha-\gamma)$  bit만을 사용한다. Loop Filter의 입력과 출력 bit의 크기는 식 (1)의 조건을 만족하여야 한다.

$$Bit_{Loop-in} \leq Bit_{Loop-out} \quad (1)$$

$$Bit_{Loop-depth} = Bit_{Loop-out} - Bit_{Loop-in} \quad (2)$$

식 (1)의  $Bit_{Loop-in}$ ,  $Bit_{Loop-out}$ 은 각각 Loop Filter의 입력과 출력 bit의 크기를 나타내며  $Bit_{Loop-in}$ 은  $(\alpha - \gamma)$  bit이다. 만일 Loop Filter가 식 (1)을 만족하지 않으면, 검출된 DC 오프셋의 유효 정보를 버리는 것이므로 정확한 DC 오프셋 보상이 불가능하게 된다. 식 (2)의  $Bit_{Loop-depth}$ 는 Loop Filter depth를 나타내며, 그림 1에서  $\beta$ 로 표현된다.  $Bit_{Loop-depth}$ 가 작을수록 Loop Filter 입력이 Loop Filter 출력에 영향을 끼치는 비율이 커지게 되어 Loop Filter 입력이 짧은 시간 내에 Loop Filter 출력에 반영되므로 Acquisition time은 줄어들지만 DC 오프셋 보상기의 동작이 채널의 변화에 순간적으로 반응하게 되어 DC 오프셋 보상기의 안정도 특성이 저하된다. 반면에  $Bit_{Loop-depth}$ 가 클수록 Loop Filter 입력이 Loop Filter 출력에 반영되는 비율이 적어져 Acquisition time은 길어지지만, DC 오프셋 보상기의 동작이 채널의 변화에 순간적으로 반응하지 않게 되어 DC 오프셋 보상기의 안정도 특성이 향상된다. 그림 4는 표 2의 시뮬레이션 변수를 사용하여 DC 오프셋이 0.09인 경우의 Loop Filter depth에 따른 DC 오프셋 보상 신호를

표 2. 시뮬레이션을 위한 기본적인 변수.  
Table 2. Fundamental simulation parameters.

| Parameters      | Values             |
|-----------------|--------------------|
| Channel Model   | ITU-R M.1225 Veh A |
| Vehicular Speed | 60 km/h            |

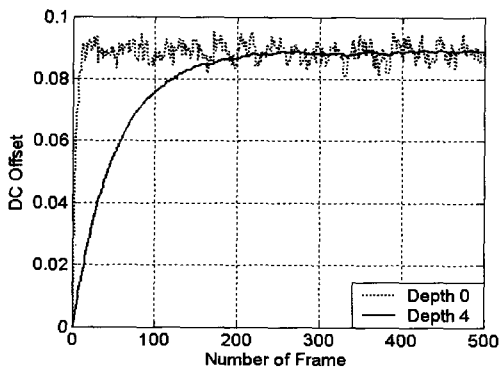


그림 4. Loop filter depth에 따른 DC offset 보상 신호.  
Fig 4. DC offset compensation signals corresponding to loop filter depth.

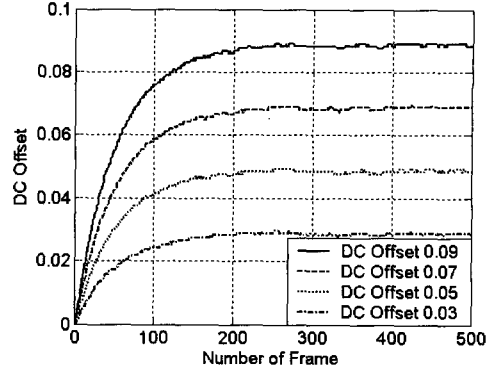


그림 5. DC offset에 따른 DC offset 보상 신호.  
Fig 5. DC offset compensation signal corresponding to each DC offset.

보여준다. 그림 4로부터 Loop Filter depth가 0인 경우에는 Loop Filter depth가 4인 경우에 비해 Acquisition time은 매우 짧으나 Fluctuation의 정도가 심하기 때문에 안정도 특성이 매우 좋지 않음을 알 수 있다. 따라서 Loop Filter의 Fixed-point 설계시 출력 bit의 크기를 결정 할 때는 Acquisition time과 안정도간의 Trade-off를 고려해야 함을 알 수 있다. 그림 1의 DC 오프셋 보상기의 블록 다이어그램에 표시된 bit의 크기는 H/W동작의 복잡도와 Acquisition time과 안정도간의 Trade-off를 고려하여 결정되었다.

DC 오프셋 보상기의 Loop Filter는 3장의 AFC와 4장의 AGC의 Loop Filter와 동일한 기능을 수행한다.

## 2.2 시뮬레이션 결과

그림 5는 그림 1의 DC 오프셋 보상기의 블록 다이어그램에 표시된 bit를 사용하는 DC 오프셋 보상기의 성능을 표 2의 시뮬레이션 변수를 사용하여 시뮬레이션을 통해 보여주는 것으로서, 각각의 DC 오프셋에 따른 DC 오프셋 보상 신호를 보여준다. 시뮬레이션 결과에 의하면, 약 150 Frame을 수신하게 되면 DC 오프셋을 제거할 수 있고, Loop Filter depth로  $\beta$  bit를 사용함으로써 안정도 특성이 좋은 것을 알 수 있다.

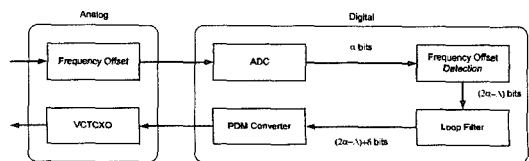


그림 6. AFC 블록 다이어그램.  
Fig 6. AFC block diagram.

### III. Automatic Frequency Controller

주파수 오프셋은 시스템 송수신기의 Local oscillator간의 주파수 오차와 Doppler 현상에 의해 발생한다. 다수의 부반송파를 사용하는 OFDMA-TDD 시스템의 경우 주파수 오프셋이 발생하면 부반송파간의 직교성을 유지할 수 없으므로 수신기의 심각한 성능 열화가 발생한다. 그림 6은 표 1의 기본적인 시스템 변수를 사용하는 시스템 단말의 수신기에 사용되는 AFC의 블록 다이어그램으로서 검출된 주파수 오프셋은 Acquisition time과 안정도간의 Trade-off를 고려하여 결정된  $\delta$  bit의 Loop Filter depth를 갖는 Loop Filter를 거쳐 PDM 형태로 VCTCXO에 전달되어 반송파 주파수를 제어한다.

#### 3.1 주파수 오프셋 검출

주파수 오프셋은 I/Q 입력 신호의 위상 변화를 유발시킨다. 따라서 주파수 오프셋은 그림 2의 Preamble의 Cyclic prefix를 이용하여 위상 변화를 측정함으로써 검출된다. 식 (3), (4)의  $\omega$ ,  $h(k)$ , CP,  $k$ , arg, \*,  $t$ 는 각각 위상의 변화량,

Cyclic prefix, Cyclic prefix의 크기, Cyclic prefix 샘플의 인덱스, Angle, Conjugation, 주파수 오프셋이 발생하는 시간 구간을 나타내며, 식 (5)의  $f_{off}$ 는 주파수 오프셋을 나타낸다.

$$\omega = \frac{1}{CP} \sum_{k=0}^{CP} [\arg(h(k)) - \arg(h(k-n))] \quad (3)$$

$$\omega = \frac{1}{CP} \sum_{k=0}^{CP} [\text{Im}(h(k)*h(k-n)^*)] \quad (4)$$

$$\omega = 2\pi f_{off} \Delta t \quad (5)$$

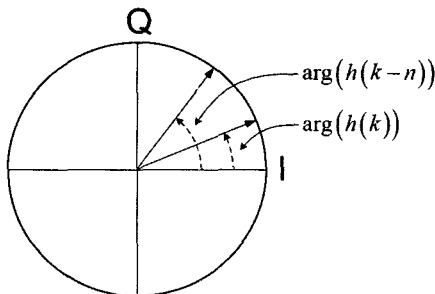


그림 7. Frequency offset에 따른 위상 변화.  
Fig 7. Phase rotation corresponding to frequency offset.

식 (3), (4)는 그림 7과 같이  $n$ 개의 샘플만큼 떨어져 있는 Cyclic prefix의 각각의 샘플간의 위상 변화를 산출하여 레지스터에 누적시킨 뒤, 평균 위상 변화를 산출한다. 식 (3)은 Angle을 구하기 위해  $\tan^{-1}$ 을 사용해야 하지만 H/W 에서  $\tan^{-1}$  연산은 LUT (Look-Up Table)을 이용해야 한다. 반면에 식 (4)는 위상 변화를 산출하기 위해 근사화 방법을 사용한다.

$$\begin{aligned} & \text{Im}(h(k)*h(k-n)^*) \\ &= \text{Im}\{[\cos(\omega_k) + j\sin(\omega_k)] * [\cos(\omega_{k-n}) - j\sin(\omega_{k-n})]\} \\ &= \text{Im}\{[\cos(\omega_k) * \cos(\omega_{k-n}) + \sin(\omega_k) * \sin(\omega_{k-n})] \\ & \quad + j[\sin(\omega_k) * \cos(\omega_{k-n}) - \cos(\omega_k) * \sin(\omega_{k-n})]\} \quad (6) \\ &= \sin(\omega_k) * \cos(\omega_{k-n}) - \cos(\omega_k) * \sin(\omega_{k-n}) \\ &= \sin(\omega_k - \omega_{k-n}) \end{aligned}$$

where,  $h(k) = e^{j\omega_k}$ ,  $h(k-n) = e^{j\omega_{k-n}}$   
 $\omega_k = 2\pi f_k$ ,  $\omega_{k-n} = 2\pi f_{k-n}$

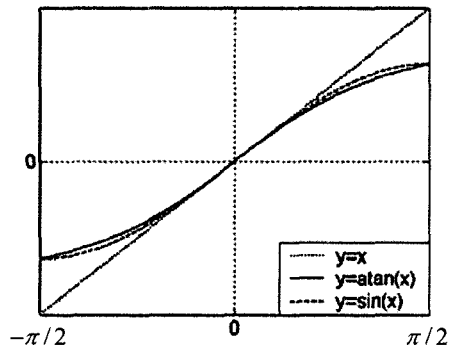


그림 8. 위상 Approximation.  
Fig 8. Phase approximation.

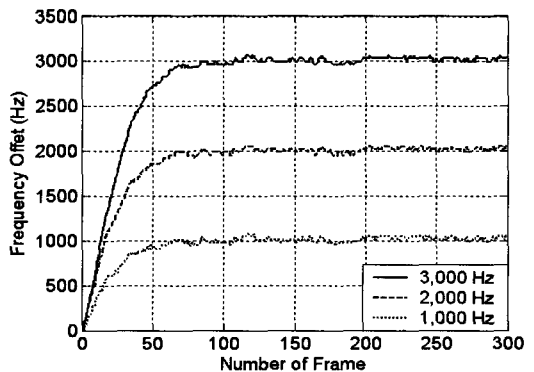


그림 9. Frequency offset에 따른 AFC 보상 신호  
Fig 9. AFC compensation signal corresponding to each frequency offset.

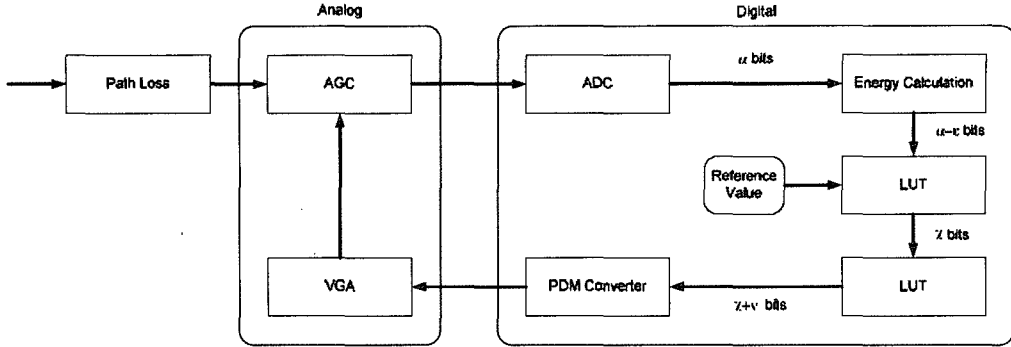


그림 10. AGC 블록 다이어그램.  
Fig 10. AGC block diagram.

3.1.1 근사화 방법에 의한 주파수 오프셋 검출

식 (6)은 식 (4)를 전개한 식으로서 식 (4)는 위상 변화를  $\sin$  값으로 표현한다. 그림 8은  $\tan^{-1}$ 과  $\sin$ 의 곡선의 유사함을 보여주는 것으로서 반복되는 AFC의 동작으로 인하여 주파수 오프셋이 줄어들면  $\tan^{-1}$  대신  $\sin$ 을 이용할 수 있음을 알 수 있다. 또한  $\sin$ 의 출력값은  $[-\pi/4, \pi/4]$  구간에서 선형적인 특성을 보임으로서 식 (4)의 결과는 바로 위상으로 근사화가 가능함을 알 수 있다. 주파수 오프셋은 식 (4)의 결과를 식 (5)에 적용하여 검출된다. 따라서 ADC 12 bit를 사용하는 Downlink frame preamble의 Cyclic prefix간의 곱셈 연산과 누적 그리고 평균 연산을 통해 검출되는 주파수 오프셋은  $2\alpha$  bit로 표현된다. Fixed point 설계시 H/W 동작의 복잡도를 고려하여 주파수 오프셋 출력 bit를 모두 사용하지 않고 AFC의 동작에 영향을 주지 않는 범위에서 사용 빈도가 매우 낮은 MSB  $\lambda$ 를 Shift 방법으로 제거하여  $(2\alpha - \lambda)$  bit를 Loop Filter의 입력으로 사용한다. 그림 6의 AFC의 블록 다이어그램에 표시된 bit의 크기는 H/W 동작의 복잡도와 Acquisition time과 안정도간의 Trade-off를 고려하여 결정되었다.

3.2 시뮬레이션 결과

그림 9는 그림 6의 AFC의 블록 다이어그램에 표시된 bit를 사용하는 AFC의 성능을 표 2의 시뮬레이션 변수를 사용하여 시뮬레이션을 통해 보여주는 것으로서, 각각의 주파수 오프셋에 따른 주파수 오프셋 보상 신호를 보여준다. 시뮬레이션 결과로부터 약 50 Frame 을 수신하게 되면 주파수 오프셋을 제거할 수 있고 Loop Filter depth로  $\delta$  bit를 사용함으로써 안정도 특성이 좋은 것을 알 수 있다.

IV. Automatic Gain Cotroller

무선 채널을 통해 전송된 신호는 Path loss로 인하여 수신 신호의 Magnitude는 매우 작아진다. AGC는 Path loss를 겪은 수신 신호의 이득을 조절하여 ADC 출력이 원하는 레벨을 유지하도록 한다. 그림 10은 표 1의 시스템 변수를 사용하는 시스템 단말의 수신기에 사용되는 AGC의 블록 다이어그램으로서 ADC 입력 신호의 Magnitude의 평균을 LUT를 사용하여 dB 값으로 변환한 후에 dB 값과 참조 값과의 차를 Acquisition time과 안정도간의 Trade-off를 고려하여 결정된  $\nu$  bit의 Loop Filter depth를 갖는 Loop Filter를 거쳐 PDM 형태로 VGA (Variable Gain Amplifier)를 제어하여 이득 조절을 수행한다.

4.1 Magnitude Calculation

수신된 신호의 레벨은 그림 2의 Downlink frame preamble을 이용하여, 전력 계산<sup>[2, 4-6]</sup>과 Magnitude 계산<sup>[7]</sup> 두 가지의 방법으로 판단할 수 있다. 전력 계산의 경우 곱셈 연산이 사용되므로 Magnitude 계산보다 2배 크기의 bit가 필요하다. 따라서 H/W 동작의 복잡도를 줄이기 위하여 Fixed-point 설계 시 수신 신호의 레벨을 판단하기 위하여 Magnitude 계산 방법을 사용한다. 또한, Magnitude는 모두 0 이상의 값으로 표현되므로 부호 bit가 필요 없게 되어 부호 bit를 제거함으로써 bit의 크기를 줄일 수 있다. Magnitude 계산은 ADC를 통과한 그림 2의 Downlink frame preamble에서 Cyclic prefix를 제거한 뒤, Preamble의 Magnitude를 레지스터에 누적하여 누적된 Preamble의 Magnitude의 평균값을 산출한다.

### 4.2 Look-Up Table

H/W에서는 dB연산을 수행할 수 없으므로, LUT를 사용하여 수신 신호의 평균 Magnitude의 dB 값을 산출한다.

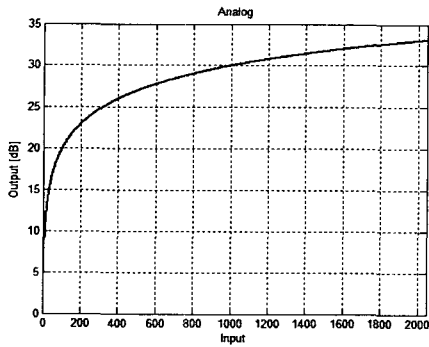


그림 11. Analog 입력에 대한 dB 출력.  
Fig 11. Output value in dB corresponding to analog input.

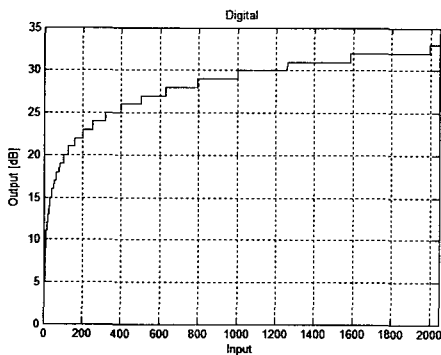


그림 12. 정수만 고려한 Digital 입력에 대한 dB LUT 출력.  
Fig 12. Output integer valued in dB corresponding to digital input through LUT.

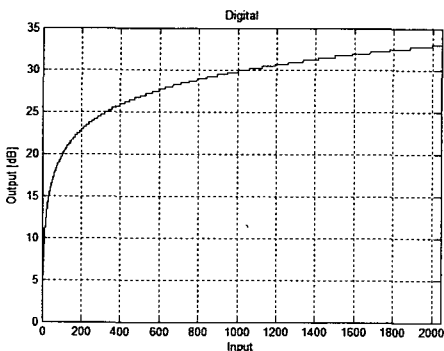


그림 13. 소수점 2bit 고려한 Digital 입력에 대한 dB LUT 출력.  
Fig 13. Output with two bits decimal points in dB corresponding to digital input through LUT.

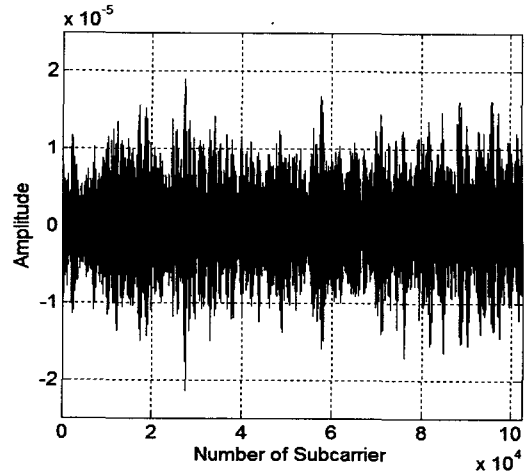


그림 14. Path-loss를 겪은 수신신호의 Amplitude.  
Fig 14. Amplitude of received signal under path-loss.

LUT를 구현함에 있어서 H/W의 복잡도를 줄이기 위해 Magnitude 계산 출력  $\alpha$  bit를 모두 LUT의 입력으로 사용하지 않고 시스템의 성능을 열화시키지 않는 범위에서 MSB  $\epsilon$  bit를 Shift 방법으로 제거하여 Loop Filter의 입력으로  $(\alpha - \epsilon)$  bit를 사용한다. LUT의 출력이 dB 값의 정수와 소수점까지 고려할 경우, 보다 정확한 이득 조절을 수행할 수 있다. 그림 11은 아날로그 입력에 대한 dB 출력값을 나타내고, 그림 12와 13은 각각 LUT를 이용한 디지털 입력에 대한 dB 출력값을 나타내는 것으로서, 그림 12의 LUT 출력 bit는 정수만을 나타내고, 그림 13의 LUT 출력 bit의 2 bit는 소수점을 표현한다. 그림 12와 13에서 알 수 있듯이 LUT의 dB 출력이 정수만을 고려하는 경우보다 소수점까지 고려하는 경우가 그림 11과 더욱 유사함을 알 수 있다. 그림 10의 AGC의 블록 다이어그램에 표시된 bit의 크기는 H/W동작의 복잡도와 Acquisition time 과 안정도간의 Trade-off를 고려하여 결정되었다.

### 4.3 시뮬레이션 결과

이득 조절은 참조 값에 의해 결정 되므로 시스템의 성능 열화를 최소화 하는 참조 값을 찾아야 하며 ADC 입력 신호가 과도하게 증폭되어 ADC 출력의 Overflow 가 발생하거나 ADC 입력 신호가 과도하게 작아 ADC의 MSB가 낭비되지 않도록 하는 것이 중요하다. 그림 14는 표 2의 시뮬레이션 변수를 이용하여 IEEE 802.16e OFDMA-TDD 시스템의 최대 셀 반경인 1km 상황의 Path loss를 겪은 수신 신호를 나타낸다. 그림 15, 16은 그림 10

에 표시된 bit을 사용하는 AGC의 성능을 표 2의 시뮬레이션 변수를 사용하여 시뮬레이션을 통해 보여주는 것으로서, 각각의 참조 값에 따라 이득 조정된 신호를 보여준다. 시뮬레이션 결과로부터 약 10 Frame을 수신하면 Path loss를 겪은 신호의 이득을 조절할 수 있고, Loop Filter depth로  $\nu$  bit를 사용함으로써 안정도 특성이 좋은 것을 알 수 있다.

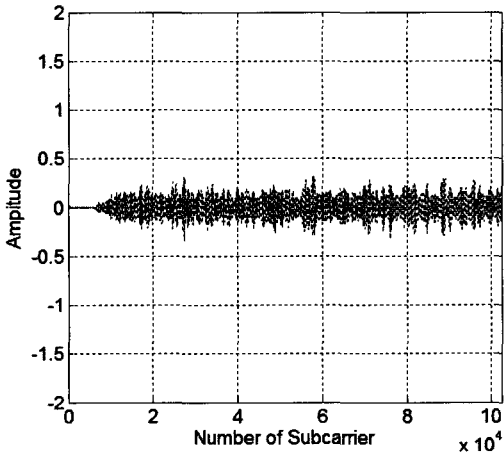


그림 15. Reference value A를 이용하여 이득 조절된 수신 신호의 Amplitude.  
Fig 15. Amplified amplitude of the received signal with reference value A.

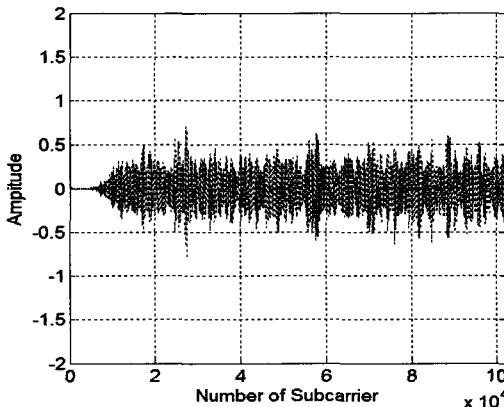


그림 16. Reference value A+3을 이용하여 이득 조절된 수신 신호의 Amplitude.  
Fig 16. Amplified amplitude of the received signal with reference value A+3.

## VI. 결론

본 논문에서는 IEEE 802.16e OFDMA-TDD 시스템 단말 수신기의 입력 신호에 대하여 DC 오프셋 보상, 자동 주파수 조정, 자동 이득 조절을 수행

하는 DFE의 동작 원리와 Fixed-point 설계 방법에 대하여 설명하고, DFE의 성능을 ITU-R M.1225 Veh-A 60km/h 채널 환경에서 시뮬레이션 결과를 통해 분석하였다. Fixed-point 설계 방법론을 통해, 시스템의 성능에 영향을 주지 않는 범위 내에서, 연산을 통해 출력되는 bit의 크기를 줄임으로서 H/W 동작의 복잡도를 줄일 수 있고, Loop Filter 설계시 Acquisition time과 안정도 간의 Trade-off를 고려해야 함을 알 수 있다. 또한 시뮬레이션 결과를 통해, DC 오프셋은 약 150 Frame 수신 시 보상되고, 주파수 오프셋은 근사화 방법을 이용하여 약 50 Frame 수신 시 보상되며, 약 10 Frame 수신 시 ADC 출력이 원하는 레벨로 이득을 조절할 수 있음을 알 수 있다.

## 참고 문헌

- [1] 이용수, 박윤옥, 유창완, 김준우, 김대호, “직교 주파수 분할 다중 시스템의 디씨 오프셋 제거 장치 및 그 방법,” 한국전자통신연구원, Patent Nr. 10-0507521, 2005. 08.
- [2] 김기윤, 최형진, “케이블 모뎀을 위한 AGC 및 DC Offset Remover 설계,” 대한전자공학회 논문지, 22권 2호, pp. 775-779, 1999.
- [3] John G. Proakis, “Wiley Encyclopedia of Telecommunication,” Wiley-Interscience, pp 2243-2247, 2003.
- [4] 김남태, 황운선, 박광량, “RF/IF 자동 이득조절 루프 해석 및 설계,” 한국통신학회 논문지, 20권 3호, 1995. 03.
- [5] K.H. Chang, I.S. Eo, X.D. Lin, and J.S. Kim, “Frequency selective Rayleigh fading channel and AGC loop modeling for CDMA system,” in Proc. Asia-Pacific Conf. on Comm., June 1995, pp. 240-244.
- [6] Victor P. Gil Jimenez, Julia Fernandez-Getino Garcia, Francisco J. Gonzalez Serrano, and Ana Garcia Armada, “Design and implementation of synchronization and AGC for OFDM-based WLAN receivers,” IEEE Trans. On Consumer Electronics, vol. 50, pp. 1016-1025, Nov. 2004.
- [7] 이용수, 박윤옥, 김준우, 김대호, “직교 주파수 분할 다중 시스템의 자동 이득 조절 장치 및 그 방법,” 한국전자통신연구원, Nr. 10-2005-0060635, 2005. 06.

강 승 원 (SeungWon Kang)

준회원



2005년 2월 인하대학교 전자공학과 (공학사)  
2005년 3월~현재 인하대학교 정보통신대학원 석사과정  
<관심분야> 4세대 이동통신 무선 전송방식, MIMO 시스템 및 WiBro 시스템 무선 전송규격,

Wavelet-based OFDM 시스템, Turbo Equalizer

선 태 형 (TaeHyong Sun)

준회원



2005년 2월 인하대학교 컴퓨터공학과 (공학사)  
2005년 3월~현재 인하대학교 정보통신대학원 석사과정  
<관심분야> 4세대 이동통신 시스템, MIMO 시스템 및 WiBro 시스템 무선 전송규격, Cognitive

Radio

장 경 희 (KyungHi Chang)

종신회원



1985년 2월 연세대학교 전자공학과 (공학사)  
1987년 2월 연세대학교 전자공학과 (공학석사)  
1992년 8월 Texas A & M Univ., EE Dept. (Ph.D.)  
1989년~1990년 삼성종합기술

원 주임연구원

1992년~2003년 한국전자통신연구원, 이동통신연구소 무선전송방식연구팀장 (책임연구원)

2003년~현재 인하대학교 정보통신대학원 부교수  
<관심분야> 4세대 이동통신 및 3GPP LTE 무선전송방식, WMAN 및 DMB 시스템 무선전송기술, Cognitive Radio, Cross-layer Design

임 인 기 (In-Gi Lim)

정회원



1987년 2월 한양대학교 전자공학과 (공학사)  
1989년 2월 한양대학교 전자공학과 (공학석사)  
2005년 8월 충남대학교 전자공학과 박사  
1989년 2월~현재 한국전자통신

연구원 책임연구원

<관심분야> 전자공학, 통신공학, VLSI 설계

어 의 수 (IkSoo Eo)

정회원



1985년 2월 부산대학교 전자공학과 (공학사)  
1987년 8월 한국과학기술원 전기 및 전자공학과 (공학석사)  
1987년 10월~현재 한국전자통신연구원 IT융합부품연구소 책임연구원

<관심분야> VLSI 설계, 무선모뎀 구현, 통신신호처리