

# 0.35 $\mu$ m 표준 CMOS 공정에서 제작된 저전력 다중 발진기

|         |
|---------|
| 論 文     |
| 55C-8-4 |

## A Low Power Multi Level Oscillator Fabricated in 0.35 $\mu$ m Standard CMOS Process

蔡湧雄<sup>†</sup> · 尹光烈<sup>\*</sup>  
(Yong-Yoong Chai · Kwang-Yeol Yoon)

**Abstract** - An accurate constant output voltage provided by the analog memory cell may be used by the low power oscillator to generate an accurate low frequency output signal. This accurate low frequency output signal may be used to maintain long-term timing accuracy in host devices during sleep modes of operation when an external crystal is not available to provide a clock signal. Further, incorporation of the analog memory cell in the low power oscillator is fully implementable in a 0.35 $\mu$ m Samsung standard CMOS process. Therefore, the analog memory cell incorporated into the low power oscillator avoids the previous problems in a oscillator by providing a temperature-stable, low power consumption, size-efficient method for generating an accurate reference clock signal that can be used to support long sleep mode operation.

**Key Words** : Multi Level Oscillator, Analog Memory, PLL, VCO

### 1. 서 론

셀룰러 폰과 같은 모바일 단말 및 휴대용 정보기기를 구동시키기 위해 정상모드에서의 발진을 위한 마스터 발진기(master oscillator)와 스테이팅모드(sleeping mode)를 위한 저전력 크리스탈 발진기가 일반적으로 사용된다. 그러나 이와 같은 부가적인 크리스탈 발진기의 사용은 휴대용 시스템의 크기와 전력소모에 영향을 주게 되고, 모바일 단말기의 경쟁력을 약화시키는 요인이 된다.

본 논문에서 제안되는 발진기는 정상모드에서는 PLL(Phase Locked Loop)로 구성된 발진기로 동작하고, 스테이팅모드에서는 상기 PLL의 VCO(Voltage Controlled Oscillator) 입력단에 아날로그 메모리(analog memory)를 위치시키고 PLL의 다른 기능 블록들을 발진기로부터 분리시킴으로써 PLL(Phase Lock Loop)에서 VCO를 제외한 나머지 블록에서 발생하는 전력소모를 근본적으로 제거하도록 설계하였다. 이와 같은 다중 발진기 구성은 스테이팅모드를 위한 별도의 저전력 크리스탈을 제거함으로써 시스템의 구성을 단순화시킬 것이다. 또한 제안되는 다중 발진기는 발진기의 전력소모가 차지펌프(charge pump)에서 대부분 발생한다는 점에서 시스템의 전력소모 감소에 기여할 것이다. 본 논문에서는 동작모드와 스테이팅모드에서 기준 클럭 신호를 발생시키는 표준 CMOS 공정에서 제작 가능한 효과적인 발진기 방식을 제안하고자

한다.

본 논문에서 아날로그 메모리는 스테이팅모드에서 VCO의 입력단자에 사용된다. 지금까지 로직 하이(high)와 로우(low)의 두가지 상태를 나타내는 디지털 메모리가 대부분의 시스템에 저장장치로서 채택되어 왔다. 최근 들어 디지털 메모리의 저장 능력 확대 방안의 일환으로 디지털 대신에 아날로그 정보를 저장하는 아날로그 메모리가 관심을 끌고 있다[1]~[6]. 디지털 메모리에서는 하나의 정보를 나타내기 위하여 다수개의 비트가 사용되는 반면에 이상적인 아날로그 메모리에서는 한 셀로 어떠한 상태의 표현도 가능하기 때문에 이를 이용하게 될 경우 메모리의 저장 능력은 획기적으로 개선될 것으로 기대된다. 아날로그 메모리의 기본 셀인 EEPROM에 정보를 저장한다는 것은 미세한 양의 전하를 부유게이트(floating gate)에 주입시키거나 제거함으로써 특정양의 전하를 부유게이트에 존속 보관시키는 것을 의미한다[6]. 본 논문에서 아날로그 메모리는 스테이팅모드에서 PLL의 VCO 입력전압을 일정하게 유지하고 저주파 발진을 가능하게 한다.

### 2. 아날로그 메모리로 구현된 다중 발진기

그림 1에 일반적인 PLL로 구성된 발진기의 블록도가 나타나 있다. 그림에서 외부의 마스터 크리스탈에서 만들어진 정확한 클럭 기준신호는 PFD(Phase Frequency Detector)의 입력이 되고, PFD는 차지펌프 입력신호를 만들며, 차지펌프는 다시 VCO의 입력신호를 만든다. VCO는 발진기로서 PLL의 출력신호를 만들고, 출력신호는 다시 주파수 합성을 위해 주파수분배기(frequency divider)를 통해 PFD로 부귀환된다. 이 때 PFD는 주파수분배기로부터 입력되는 부귀환

<sup>†</sup> 교신저자, 正會員 : 啓明大 工大 電子工學科 副教授 · 工博  
E-mail : yychai@kmu.ac.kr

<sup>\*</sup> 正會員 : 啓明大 工大 電子工學科 助教授 · 工博  
接受日字 : 2006年 5月 30日  
最終完了 : 2006年 6月 21日

신호와 클럭 기준신호의 주파수와 위상이 일치하도록 한다. 이러한 구성의 PLL을 이용한 발진기는 온도나 가변적인 공정 환경으로부터 정교한 발진기신호를 만들고 유지하는데 사용되어 왔다[7][8].

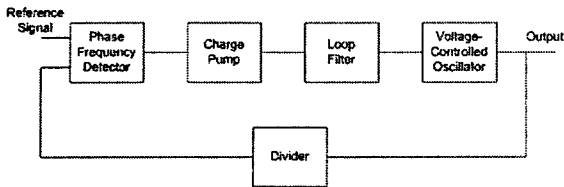


그림 1 PLL 구성의 발진기.

Fig. 1 Block diagram of a oscillator implemented with PLL.

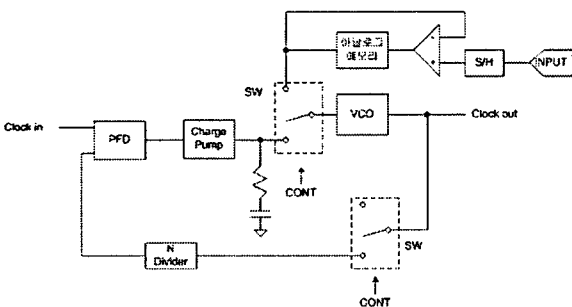


그림 2 저전력 다중 발진기.

Fig. 2 Block diagram of a low power multi-level oscillator.

본 논문에서 제안되는 시스템의 블럭도가 그림 2에 나타나 있다. 그림 2의 SW는 스텝모드와 동작모드를 구분하기 위해 사용된다. CONT가 하이(high)가 되면 스위치는 동작모드(operating mode)가 되고, 이 때 발진기는 고주파의 동작모드를 위한 발진 주파수를 합성한다. 반면에 그림 2의 CONT가 로우가 되면 스위치는 스텝모드(sleeping mode)로 동작하게 된다.

동작모드에서 발진기는 위상 차이를 전하로 충전하는 전하펌프 PLL이다. PFD에서 두 입력신호를 비교해서 up/down 신호를 차지펌프 회로로 내보낸다. 외부 클럭신호가 내부 클럭신호 보다 크면 up 신호에 의해 루프필터가 충전되고, VCO의 출력이 크면 down 신호에 의해 루프필터가 방전된다. 충전전에 의해 루프필터는 VCO 제어전압을 만들고, 이 제어전압에 비례하는 발진을 통하여 내부클럭을 만든다.

반면에 CONT가 로우(low)가 되면 SW는 아날로그 메모리의 출력단자에 연결되며, PFD, 차지펌프, 주파수분배기 등은 시스템에서 분리되는 스텝모드가 된다. 이 때 아날로그 메모리의 출력 신호는 동작전에 저장된 메모리의 문턱전압(threshold voltage)이다. 이 문턱전압은 S/H(sample and hold)회로, 비교기와 아날로그 메모리로 구성된 아날로그 저장장치에 의해 발진기 동작전에 프로그래밍 과정을 통해 결정된다. 문턱전압의 크기는 특정 시스템의 스텝모드에서의 발진 주파수를 위한 VCO 입력값으로 등록되어야 한다. 아날로그 메모리에 저장된 특정 문턱전압은 외부에서 인가되는 프로그래밍 전압이 없으면 그 상태를 유지하는 불휘발성 소자(non-volatile device)이다. 이러한 구성은 발진기의 구

성에서 전력소모를 최소화 시키면서 스텝모드 시에 발진기의 동작을 가능하게 할 것이다.

### 3. 표준 CMOS 공정의 아날로그 메모리

아날로그 메모리는 단지 디지털 메모리가 “0”과 “1”의 두 가지 상태만을 갖는 반면 아날로그 메모리는 부유게이트에 저장되는 전하량으로 정보를 구분한다. 이것은 한 셀이 표현할 수 있는 논리상태가 무수히 많을 수 있다는 것을 의미한다. 아날로그 메모리의 이러한 상태 변화는 프로그래밍에 의해 부유게이트에 유입된 전자의 양에 의해 결정된다. 일단 부유게이트에 트랩된 전자는 충분한 에너지가 외부에서 인가되지 않는 한은 부유게이트에 잔류하게 되어 비휘발성 특성을 나타내게 된다.

본 논문에서 사용된 아날로그 메모리 셀[4]는 삼성의 0.35  $\mu\text{m}$  표준 CMOS공정에서 제작되었다. 표준 CMOS 공정의 사용은 발진기의 저비용 원 칩 제작을 가능하게 한다. 아날로그 메모리에 특정한 데이터를 저장하기 위해서는 부유게이트에 전하를 쓰거나 소거하는 프로그래밍 과정이 필요하며, 이 프로그래밍에는 쓰기(writing), 소거(erasing)라는 동작이 있다. 쓰기동작은 부유게이트(Floating gate)에 전하를 추가하는 과정이며 이것은 셀을 구성하고 있는 MOSFET의 문턱전압을 상승시키며, 본 논문에서 사용된 쓰기는 Fowler-Nordheim 터널링 방식이다[3]. 반대로 소거동작이란 부유게이트의 전하를 제거하는 동작을 나타내는 것으로서 이것은 트랜지스터의 문턱전압을 낮추는데 사용된다. 본 논문에서 사용된 소거 동작은 핫 캐리어 인젝션 방식[4]이다. 상기의 쓰기와 소거 동작에 의해 부유게이트의 전자수가 결정되고 이 양에 따라 해당 트랜지스터의 문턱전압이 결정된다. 이러한 문턱전압은 읽기 동작에 의해 출력된다.

표 1 동작 간의 아날로그 메모리 셀 단자의 프로그래밍 전압.

Table 1 Programming voltage for cell's terminals during three different operations.

| 동작 구분 | Source | Drain  | C_gate | E_gate   | Test     |
|-------|--------|--------|--------|----------|----------|
| 소거    | 0V     | 0V     | 0V     | 8        | Floating |
| 쓰기    | 0V     | 4V     | 3-7.5V | Floating | Floating |
| 읽기    | 0V     | Output | 1.5V   | Floating | 3.3V     |

표 1에는 제작된 셀의 지우기, 프로그램, 읽기동작 시에 셀의 각 부분에 인가되어야 하는 프로그래밍 전압을 나타낸다. 이와 같은 프로그래밍 전압의 크기는 실리콘 옥사이드(SiO<sub>2</sub>)의 두께, 폴리 공정의 신뢰성[4] 등에 의해 결정된다.

### 4. 실험 결과

PFD는 그림 3과 같이 플립플롭과 간단한 게이트로 구성된다. up, down, non - operation의 세 가지 상태를 가지고 데드존(dead zone)이 발생하지 않도록 설계하였다. 이 회로는 입력 기준 클럭의 천이와, VCO 클럭의 천이 시간차를

이용하여 위상차와 주파수차를 비교하고 검출한다. 두 입력의 차에 따라 UP, DOWN 신호 형태로 출력한다. 동기가 되어 두 입력 신호의 차이가 동시에 이루어지면 UP, DOWN 신호는 발생하지 않는다.

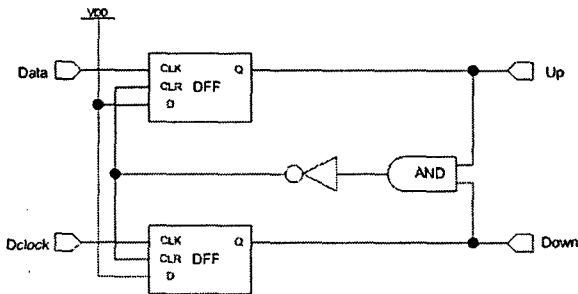


그림 3 PFD 회로도  
Fig. 3 Schematic of PFD.

그림 4는 차지펌프와 루프필터를 나타낸다. 그림에서 차지펌프는 PFD의 세 가지 상태에 따른 정확한 제어 전압을 형성한다. 즉 UP 신호가 들어오면 제어 전압을 기준치만큼 올리고, DOWN 신호가 들어오면 내린다. 또한 NORMAL 상태에서는 제어 전압에 변화가 없도록 해야 한다.

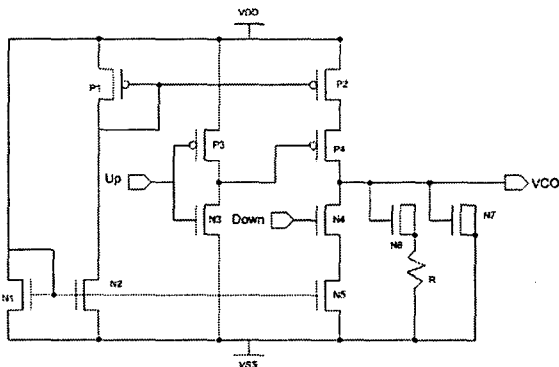


그림 4 차지펌프와 필터 회로도  
Fig. 4 Schematic of charge pump and loop filter.

그림 4의 루프필터는 차지 펌프회로의 전류 출력을 전압으로 바꾸고 PFD에서 발생하는 글리치를 제거해 준다. VCO의 입력 다이내믹 레인지를 극대화하기 위해 수동 2차 시스템의 PLL이 주고 사용되며 수동소자로 저항과 캐피터를 이용하여 구현하였다. 집적화를 위해 캐피터와 저항은 PMOS 캐피터와 N-well을 각각 사용하였다.

그림 5의 VCO는 인버터를 홀수 개만큼 직렬로 연결한 Current-starved VCO 이다. 이와 같은 VCO는 발진 주파수를 조절할 수 없기 때문에 가변 전류원이 더해진 형태의 VCO가 주로 사용된다. 발진 주파수는 기본 셀의 게이트 캐피터가 충전전되는 속도와 관계가 있다. 따라서 게이트 노드에 공급되는 전류의 양을 조절하거나, RC 지연시간을 변화시켜 충전 전 속도를 조절함으로써 VCO의 주파수를 변화시킬 수 있다. 이러한 VCO는 구조적으로 간단하고, 높은 주파수도 쉽게 얻을 수 있으며, 튜닝 영역도 넓은 뿐만 아니라 레이아웃 면적도 작다는 장점이 있다. 그러나 외부 전원

의 잡음에 민감하게 반응하기 때문에 위상 잡음이 생겨 주파수의 안정도가 떨어지는 문제가 있다.

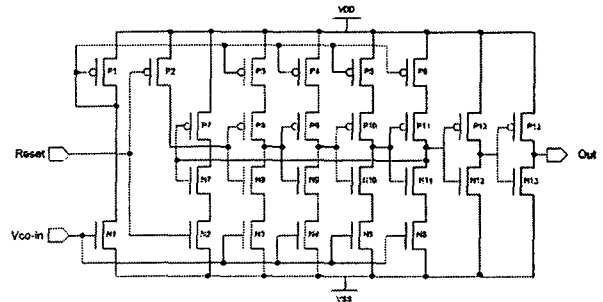


그림 5 Current-starved VCO의 회로도  
Fig. 5 Schematic of current-starved VCO.

그림 6은 PLL이 락인(lock in)되는 과정을 보여준다. 그림에서 첫 번째 파형은 입력 기준클럭과 내부 클럭이 일정한 시간이 지난 후 동기화되는 것을 나타내고 있다. 두 번째 파형은 PFD의 출력인 up, down 신호를 나타내며, 동기 후에는 up, down 신호가 거의 없음을 알 수 있다. 세 번째 파형은 필터의 출력이 락인되기까지 변화하는 파형을 보여준다. 네 번째 파형은 VCO의 출력 파형을 보여준다. 본 실험에서 알 수 있는 바와 같이 150MHz의 출력주파수가 락인에 경과되는 시간이 1us 정도이다.

그림 6의 다섯 번째 파형은 스리핑모드에서의 VCO 출력인 1.25MHz의 발진주파수를 나타낸다. 스리핑모드에서는 스위치 동작에 의해 차지펌프는 VCO의 입력으로부터 분리되고 아날로그 메모리의 출력이 VCO의 입력단자와 연결된다. 이 때 아날로그 입력의 프로그래밍 전압은 0.58V이다.

그림 7은 아날로그 메모리의 선형성을 보여주기 실험 결과이다. 그림에서 x축은 아날로그 메모리의 입력 기준파형을 나타내며 y축은 프로그래밍 후에 읽혀진 문턱전압의 크기를 나타낸다. 그림 7에서 나타난 바와 같이 입력시키고자 하는 입력파형과 프로그래밍 후의 출력파형 간에 선형성이 잘 나타나는 것을 알 수 있다. 기준전압은 1Volt와 2Volt 구간에서 0.1Volt 씩 변화를 주면서 4개의 각기 다른 시료에 대하여 관찰하였으며 기준전압과 문턱전압 간의 최대 오차는 10mVolt 이하인 것을 확인하였다(그림 8).

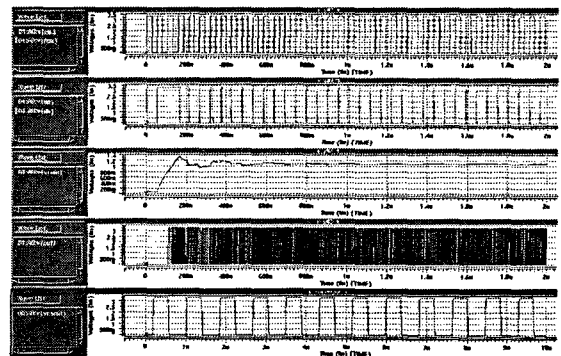


그림 6 동작모드와 스리핑모드에서의 파형.  
Fig. 6 Output waveform during normal and sleeping mode operations.

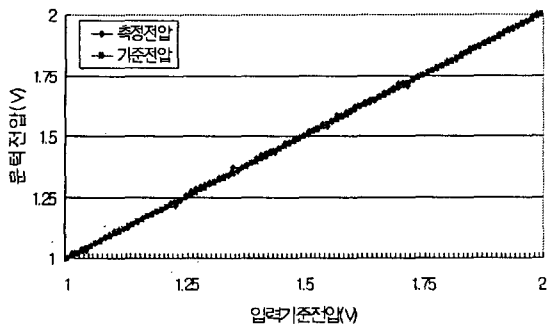


그림 7 아날로그 메모리의 선형성.  
Fig. 7 Linearity of analog memory.

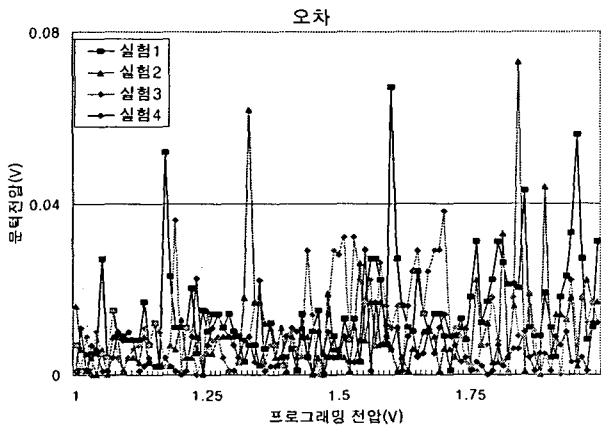


그림 8 기준전압과 프로그래밍 후의 문턱전압 비교.  
Fig. 8 Comparison between input and threshold voltage after programming.

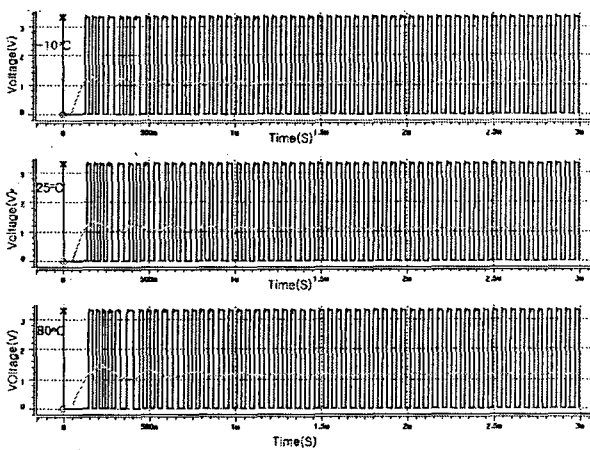


그림 9 온도에 따른 클럭 발생기 동작.  
Fig. 9 Operation of oscillator according to different temperature.

그림 9의 첫 번째 파형은 정상모드에서의 클럭 발생기 전력소모를 나타내며, 두 번째 파형은 스리핑모드에서의 전력 소모를 나타낸다. 리스트 파일에서 클럭발생기의 소비전력은 13.7mW이고, VCO의 소비전력은 257W임을 확인하였다.

그림 10은 클럭 발생기의 온도에 따른 동작을 나타낸다. 위에서부터 순서대로 -10°C, 25°C, 80°C일 때의 클럭발생기의 출력파형과 VCO의 입력 전압을 나타낸다. 모두 일정시간이 흐른 후에 클럭발생기의 VCO 입력전압이 일정하게 유지하며 정상적인 클럭을 발생시키는 것을 확인할 수 있다.

아래의 표 2는 다중 발진기의 전기적인 규격을 나타낸다.

표 2 다중 발진기 규격.

Table 2 Specification of a multi level oscillator.

| Specification       | Value                           |        |
|---------------------|---------------------------------|--------|
| VCO Operation range | 100MHz ~ 400MHz                 |        |
| Input Frequency     | 18.75MHz                        |        |
| Output Frequency    | 150MHz                          |        |
| Lock-in time        | 1us                             |        |
| Power Dissipation   | Operation mode                  | 13.7mW |
|                     | Idle mode                       | 257μW  |
| Layout size         | 250um × 250um                   |        |
| Technology          | 0.35um CMOS technology, 4 metal |        |
| Power supply        | 3.3v                            |        |

### 5. 결 론

본 논문에서는 정상모드와 스리핑모드에서 모두 동작 가능한 다중 발진기를 제안하였으며 이러한 구성은 칩의 면적과 저전력 측면에서 휴대용 단말기의 경쟁력 향상에 기여할 것으로 기대된다. 본 발진기는 삼성 0.35μm 표준 CMOS 공정에서 설계하고 제작하였다. 제작된 발진기는 외부 기준 클럭에 의해 전체 발진기가 동작하는 동작모드시의 전력소모는 13.7mW이며, 스리핑모드에서 전력 소모는 257W 임을 확인하였으며, 온도특성은 -10~80°C에서 주파수가 흔들리지 않고 일정하게 동작모드와 스리핑모드에서 모두에서 신호를 재생하는 것을 확인하였다.

상기 발진기에서 아날로그 메모리는 스리핑모드 시에 동작하며 제안되는 발진기의 저전력 설계에 필수적인 구성요소이다. 이를 위해 발진기가 제작된 삼성공정에서 아날로그 메모리가 설계되고 구현되었다. 아날로그 메모리는 본 논문에서와 같이 발진기의 응용에서 뿐만 아니라 시스템 레벨의 객체로서 그리고 혼성모드 설계에서 연산증폭기의 DC 어프셋 트리밍이나 A/D 혹은 D/A의 INL, DNL 트리밍에도 활용 가능한 주요한 설계 블록이라고 할 수 있다. 본 논문에서 제작된 아날로그 메모리 셀은 표준 CMOS 공정에서 제작되었다는 점에서 기존의 FLOTOX 구조의 아날로그 메모리와 차별화된다.

### 감사의 글

본 연구는 2004년도부터 계명대학교 비사연구기금과 IDEC으로부터 장비지원을 받아 이루어진 연구로서, 관계 기관에 감사드립니다.

## 참 고 문 헌

- [1] R. Harrison, P. Hasler, B. A. Minch, "Floating-Gate CMOS Analog Memory Cell Array," in Proc. Int. Symp. Circuits and Systems, Monterey, CA, 1998.
- [2] R. Harrison, A. Bragg, and P. Hasler, "A CMOS Programmable Analog Memory-Cell Array Using Floating-Gate Circuits," IEEE Trans. on circuits and systems, Vol. 48, No. 1, pp. 4-11, Jan. 2001.
- [3] Y. Y. Chai, "A 2x2 Analog Memory Implemented with a Special Layout Injector," IEEE Journal of Solid-State Circuits, Vol. 32, pp.856-859, June 1996.
- [4] 채용웅, 정동진, "0.35 $\mu$ m 싱글폴리 표준 CMOS공정에서 제작된 아날로그 메모리 셀의 프로그래밍 특성", 전기학회논문지, VOL.53D, NO.6, pp.425-432, June 2004.
- [5] W. D. Brown and J. E. Brewer, "Nonvolatile Semiconductor Memory Technology: A Comprehensive Guide to Understanding and Using NVSM Devices," IEEE New York, pp.6-9, 1998.
- [6] K. Ohsaki, N. Asamoto, and S. Takagaki, "A Single Poly EEPROM Cell Structure for Use in Standard CMOS Processes," IEEE J. Solid State circuit, Vol. 29, No. 3, pp. 311-316, Mar. 1994.
- [7] D. H. Wolaver, "Phase-Locked Loop Circuit Design", Prentice Hall, New Jersey, pp.9-106, 1991.
- [8] 이승훈, 김범섭, 송민규, 최중호, CMOS 아날로그/혼성 모드 집적시스템 설계(下), 시그마프레스, pp.257-304, 1999.

## 저 자 소 개



## 채용웅 (蔡湧雄)

1958년 8월 16일생. 1985년 서강대학교 전자공학과 졸업. 1991년 Oklahoma State Univ. 전자공학전공 석사. 1994년 Oklahoma State Univ. 전자공학전공 공학박사. 1998년~현재 계명대학교 전자공학과 부교수.

Tel : +82-53-580-5923

Fax : +82-53-580-5923

E-mail : yychai@kmu.ac.kr



## 윤광렬 (尹光烈)

1966년 2월 16일생. 1994년 후쿠오카 공업대학교 정보공학과 졸업. 1996년 동 대학원 정보공학과 공학석사. 2001년 큐슈대학교 시스템정보과학 연구과 공학박사. 2001년~현재 계명대학교 전자공학과 조교수.

Tel : +82-53-580-5344

Fax : +82-53-580-5344

E-mail : yoonky@kmu.ac.kr