

논문 2006-43CI-4-9

사후확률 최적화를 이용한 터보코드 복호기 구현

(An Implementation of Turbo -Code Decoder using Posteriori Probability Optimization)

노진수*, 이강현**

(Jin Soo NOH and Kang Hyeon RHEE)

요약

터보 코드는 강력한 에러정정 성능 때문에 W-CDMA(Wideband Code Division Multiple Access), CDMA2000 등의 통신 알고리즘에 적용되고 있으며, 여러 분야에서 하드웨어로 구현되어졌다. 여러 가지의 개선 알고리즘과 하드웨어 구조가 제안되었으나 아직까지 하드웨어 면적, 동작속도 및 소비전력 등의 문제가 연구되어지고 있다. 본 논문에서는 하드웨어 면적과 동작속도를 향상시키기 위하여 사후확률 최적화로부터 유도된 MAX-SCALE 알고리즘을 이용한 터보코드 복호기를 설계하였으며, 제안된 회로는 Matlab과 MaxPulsII를 사용하여 성능 측정 및 FPGA 보드상에 구현되었다. 결과적으로 제안된 구조를 사용하여 FPGA에 구현했을 때, 616개의 로직 요소(Logic Element)를 가지며 MAP(Maximum a Posteriori) 복호 알고리즘에 비해 동작속도는 56.48MHz로 약 40% 향상되었으며, 6.12%의 BER(Bit Error Rate) 성능이 향상되었다.

Abstract

Due to the powerful correcting performance, turbo codes have been adopted in many communication standards such as W-CDMA(Wideband Code Division Multiple Access), CDMA2000, etc., and implemented by hardware in many kind of fields. Although several hardware structures and improved algorithm have been proposed, these problems such as hardware area, operating speed and power consumption are still a major issue to be solved in practical implementations. In this paper, we designed the turbo-code decoder using MAX-SCALE operation derived from the posterior probability optimization. The proposed circuit has been measured their performance on Matlab and MaxPlusII and implemented on the FPGA. As a result, when implementing the proposed algorithm on the FPGA, this circuit only occupies 616 logic elements. And comparing the performance with the MAP(Maximum a Posteriori) decoding algorithm, the operating speed was increased by about 40%(56.48MHz) and BER(Bit Error Rate) was increased by 6.12.

Keywords: Turbo code, MAP, MAX-SCALE, Posterior Probability, FPGA

I. 서론

최근 무선 통신 서비스에 대한 사용자의 요구 증대와 멀티미디어 전송을 위한 통신수단이 급격히 발전함에 따라 대용량의 데이터를 고속으로 전송할 수 있는 즉, 전송 신호의 대역폭과 전송전력 및 에러정정기술이 중요한 문제로 대두 되어지고 있다^[1]. 이에 따라, 최근 연구되어지는 디지털 통신 시스템에서는 비트신호의 전송 에너지를 감소시키며 뛰어난 에러정정효율을 가지는 전

방에러수정(FEC: Forward Error Correction) 알고리즘의 중요성이 강조되어지고 있으며, 전방에러수정 채널 코딩 알고리즘 중 성능이 뛰어난 터보코드에 대한 응용 연구가 활발히 진행 중이다^[2-4].

Berrou에 의해 제안된 터보코드^[5]는 샤논의 채널 용량 한계에 근접하는 에러정정률을 보여주는 뛰어난 에러정정기술로, 최근 2~100Mbit/s 전송대역을 가지는 3GPP와 3CPP2, CCSDS 및 W-CDMA, CDMA2000, DVB-RCS, IEEE 802.16 (WiMax) 등의 모바일 고주파 시스템의 표준으로 채택됨으로써 응용 알고리즘 및 최적화된 하드웨어 회로 구현에 대해 연구의 초점이 맞춰지고 있다^[6-8]. 터보코드를 하드웨어로 구현하기 위해서는

* 학생회원, ** 정회원, 조선대학교 전자공학과
(Dept. of Electronic Engineering, Chosun University)

접수일자: 2006년6월5일, 수정완료일: 2006년6월28일

확률연산에 의한 반복적인 복호 횟수와 소비전력 및 비트에러율(BER: Bit Error Ratio)간의 트레이드-오프(trade off)문제 및 반복적인 연산에 따른 하드웨어의 동작 속도 문제가 발생하므로 이 문제를 해결 하기위한 연구가 많은 분야에서 진행되어지고 있다^[9,10].

본 논문에서는 터보 복호기의 하드웨어 면적과 동작 속도를 향상시키기 위하여 사후 확률 최적화로부터 유도된 MAX-SCALE 알고리즘을 통한 2차원 코드생성 터보코드 복호기 구조를 제안하였다. 제안된 터보코드 복호기는 터보코드로 부호화된 후 전송 중 백색 가우시안 잡음(AWGN: Additive White Gaussian Noise)이 추가된 비트열을 $N \times N$ 으로 배열시킨 후 열과 행을 교대로 반복연산 함으로써 사후 확률값을 계산하여 오류를 정정하는 구조를 가지고 있다.

본 연구에서는 제안된 구조의 성능 비교를 위하여 MAP, MAX, MAX-SCALE 알고리즘을 각각 하드웨어 언어를 사용하여 구현한 후 에러정정률, 하드웨어 면적, 동작 성능을 비교하였다.

본 논문의 구성은 다음과 같다. II장에서 사후 확률 값 계산과정을 통한 제안된 복호화 알고리즘에 대해 설명하고, III장에서는 제안된 복호화 알고리즘의 하드웨어 구조 및 FPGA 구현에 대하여 다루겠다. IV장에서는 시뮬레이션 실험결과 및 다른 알고리즘과의 성능 비교를 하겠으며 V장에서 결론을 맺는다.

II. 복호화 알고리즘

2차원 코드생성 복호기는 8비트로 이루어진 $R=\{Ry0, Ry1, Ry2, Ry3, Rr0, Rr1, Rr2, Rr3\}$ 값을 수신 받아 원 신호인 $\{y0, y1, y2, y3\}$ 을 판별하는 구조로 되어있는데 이때 $y0$ 값은 '0' 또는 '1'이 될 수 있으며 이를 판별하기 위해서는 사전확률(Priori Probability)과 사후확률(Posteriori Probability) 값을 비교해야한다.

1. 사전확률과 사후확률

신호 R 을 수신하였을 때 $y0=0$ 일 확률은 $P(y0=0|R)$ 와 같이 표현하며 $y0=1$ 일 확률은 $P(y0=1|R)$ 와 같이 표현한다. 이때, 신호 R 을 수신받기 전 초기 확률값은 $P(y0=0|R) = P(y0=1|R) = 0.5$ 이다. 하지만 신호 R 을 수신 받은 후에는 확률 값이 변화하게 된다. 이때 신호 R 을 수신받기 전의 확률을 사전확률이라고 하며, 신호 R 을 수신받은 후의 확률을 사후확률이라고 정의한다.

2. 사후확률값(Λ : Postriori Value)

두 확률을 비교하기 위해서는 사후확률값이 계산되어야하며 사후확률값의 부호(+/-)에 따라 두 확률의 크기가 결정되어진다. 사후확률값 Λ 는 식(1)에서와 같이 로그우도비(LLR : Log Likelihood Ratio)로 정의되어진다.

$$\Lambda(y0) = \ln \left(\frac{P(y0=0|R)}{P(y0=1|R)} \right) \quad (1)$$

식 (1)을 최적화 하기위하여 베이즈 정리(Bayes Theorem)를 적용시켜 $P()$ 를 전개하면 식 (2)와 같이 표현되며 결과적으로 식(1)은 식(3)과같이 정리할 수 있다.

$$P(y0=0(\text{or}1)|R) = \frac{P(y0=0(\text{or}1), R)}{P(R)} \quad (2)$$

$$\begin{aligned} \Lambda(y0) &= \ln \left(\frac{\frac{P(y0=0, R)}{P(R)}}{\frac{P(y0=1, R)}{P(R)}} \right) \\ &= \ln \left(\frac{P(y0=0, R)}{P(y0=1, R)} \right) \end{aligned} \quad (3)$$

식 (3)에서 $P(y0=0, R)$ 는 신호 R 을 수신 받았을 때 $y0=0$ 이 될 확률을 의미한다. 이때 수신된 신호 R 중에서 패리티 비트 $r0$ 와 $y0$ 는 식 (4)와 같이 계산되어지며, 식 (4)를 적용시켜 사후확률값 Λ 는 식 (5)와 같이 유도되어진다.

$$\begin{aligned} r0 &= y0 \oplus y1 \\ y0 &= r0 \oplus y1 \end{aligned} \quad (4)$$

$$\begin{aligned} \Lambda(y0) &= \ln \left(\frac{P(y0=0, Ry0)}{P(y0=1, Ry0)} \right) + \\ &\quad \ln \left(\frac{P(r0 \oplus y1=0, Rr0, Ry1)}{P(r0 \oplus y1=1, Rr0, Ry1)} \right) \\ &= \ln \left(\frac{P(Ry0|y0=0)}{P(Ry0|y0=1)} \right) + \ln \left(\frac{P(y0=0)}{P(y0=1)} \right) \\ &\quad + \ln \left(\frac{P(r0 \oplus y1=0, Ry0, Ry1)}{P(r0 \oplus y1=1, Ry0, Ry1)} \right) \end{aligned} \quad (5)$$

식 (5)의 각 항의 의미는 다음과 같다.

- 1) 첫 번째 항(L_{ch}) : $y0=0$ 또는 '1'일 때의 $Ry0$ 의 확률에 대한 로그확률비로서 전송채널의 잡음에 의해 결정된다.
- 2) 두 번째 항(L_{pri}) : $y0=0$ 일 확률과 $y0=1$ 일 확률 간의 로그확률비로서 송신기에 의해 결정되는 사전확률값이다.

3) 세 번째 항(L_e) : 패리티 비트에 대한 로그확률비

신호 R 은 전송 채널을 통과하면서 AWGN이 더해져 -1.0과 1.0 사이에 분산하게 된다. 즉, 가우시안 분포 함수에 의해 채널의 분포 확률은 식 (6)으로 유도되며, L_{ch} 는 식 (7)과 같이 정의되어진다.

$$P(R_{y0}|y_0 = 0/1) = \frac{1}{\sqrt{2\pi\sigma}} \exp\left(-\frac{(R_{y0} \mp 1)^2}{2\sigma^2}\right) \quad (6)$$

$$L_{ch}(R_{y0}) = \ln\left(\frac{P(R_{y0}|y_0 = 0)}{P(R_{y0}|y_0 = 1)}\right) = \frac{2R_{y0}}{\sigma^2} \quad (7)$$

그림 1은 식 (6), (7)에서 계산된 AWGN이 더해져 전송된 신호의 분산정도와 L_{ch} 값을 나타낸다.

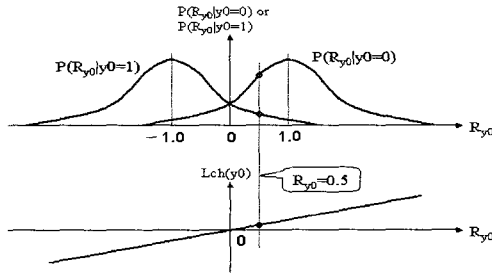


그림 1. 전송된 신호의 분산과 분포와 L_{ch} 값
Fig. 1. The deviation of received signal and L_{ch} value.

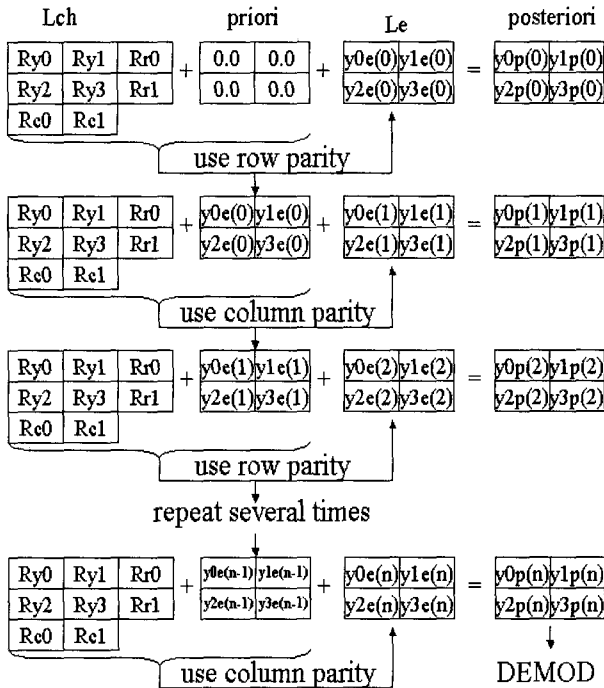


그림 2. 식 (8)의 계산과정
Fig. 2. Calculating process of equation (8).

결과적으로 사후확률값 Λ 는 식 (8)과 같이 쓸 수 있으며, 본 논문에서는 L_e 의 최적화를 통하여 복호기의 성능을 향상 시켰다.

$$\Lambda = L_{ch} + L_{pri} + L_e \quad (8)$$

식 (8)의 계산과정을 그림 2로 표현하였으며 본 논문에서는 그림 2를 하드웨어로 구현하였고 또한 L_e 블록의 최적화를 통하여 전체회로의 성능을 향상 시켰다.

3. L_e 의 최적화

식 (5)에서 유도된 L_e 는 식 (9)의 조건을 만족하므로 식 (10)으로 전개되어진다.

$$r_0 = y_1 = 0 \quad \text{or} \quad r_0 = y_1 = 1 \\ \text{if} \quad r_0 \oplus y_1 = 0 \\ r_0 = 0, \quad y_1 = 1 \quad \text{or} \quad r_0 = 1, \quad y_1 = 0 \\ \text{if} \quad r_0 \oplus y_1 = 1 \quad (9)$$

$$L_e = \ln\left(\frac{1 + \frac{P(r_0 = 0|Rr_0)}{P(r_0 = 1|Rr_0)} \cdot \frac{P(y_1 = 0|Ry_1)}{P(y_1 = 1|Ry_1)}}{\frac{P(r_0 = 0|Rr_0)}{P(r_0 = 1|Rr_0)} + \frac{P(y_1 = 0|Ry_1)}{P(y_1 = 1|Ry_1)}}\right) \quad (10)$$

여기서 식 (10)을 전개하여 간략화 하기 위해서 Ar_0 와 Ay_1 을 각각 식 (11), (12)로 정의하여 식 (10)에 적용하면 식 (13)과 같이 간략화 시킬 수 있다.

$$Ar_0 = \left(\frac{P(r_0 = 0|Rr_0)}{P(r_0 = 1|Rr_0)}\right) \\ = \ln\left(\frac{P(Rr_0|r_0 = 0)}{P(Rr_0|r_0 = 1)}\right) + \ln\left(\frac{P(r_0 = 0)}{P(r_0 = 1)}\right) \quad (11) \\ = \left(\frac{P(Rr_0|r_0 = 0)}{P(Rr_0|r_0 = 1)}\right) = \frac{2Rr_0}{\sigma^2}$$

$$Ay_1 = \ln\left(\frac{P(y_1 = 0|Ry_1)}{P(y_1 = 1|Ry_1)}\right) = \frac{2Ry_1}{\sigma^2} \quad (12)$$

$$L_e = \ln\left(\frac{1 + \exp(Ar_0 + Ay_1)}{\exp(Ar_0) + \exp(Ay_1)}\right) \quad (13) \\ \approx \text{sgn}(Ar_0 \cdot Ay_1) \cdot \min(|Ar_0|, |Ay_1|)$$

$$L_e = \max(0, Ar_0 + Ay_1) - \max(Ar_0, Ay_1) \quad (14)$$

$$L_e = 0.75 \cdot (\max(0, Ar_0 + Ay_1) - \max(Ar_0, Ay_1)) \quad (15)$$

하드웨어 구현 시 소요되는 연산량을 줄이기 위하여 식(13)을 식(14)와 (15)로 근사화시켰으며 각각 MAX,

MAX-SCALE 알고리즘으로 표기하고, 이 두 식을 기존의 MAP 복호 알고리즘과 비교하여 성능을 분석하였다.

III. 하드웨어 구현

1. 시뮬레이션 레벨 회로구현

제안된 알고리즘은 그림 3과 같이 크게 다섯 부분으로 구성되어진다.

- Serial to Parallel Conversion : 입력되어지는 부호화된 데이터로부터 사후확률값을 계산하기 위하여 2차원으로 배열화 시킨다.
- Row/Column Extval : 입력되어지는 부호화된 데이터에 포함 되어있는 패리티 비트를 이용하여 행과 열에 대한 외부정보값(L_e)을 구한다.
- Shifting Buffer : 반복연산을 위하여 Extval에서 계산된 데이터를 보관한다.
- MSB : Extval에서 계산된 확률값의 부호비트를 체크하여 입력 데이터의 에러를 수정한다.

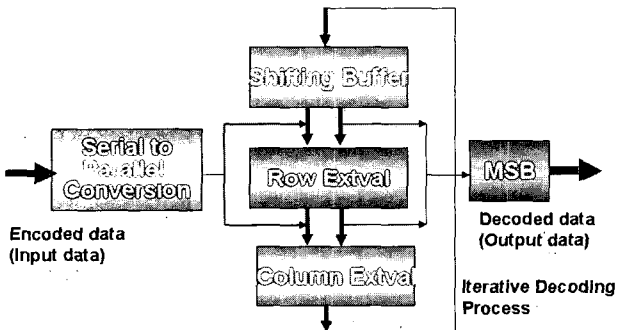


그림 3. 제안된 복호기의 블록도
Fig. 3. Block diagram of the proposed decoder.

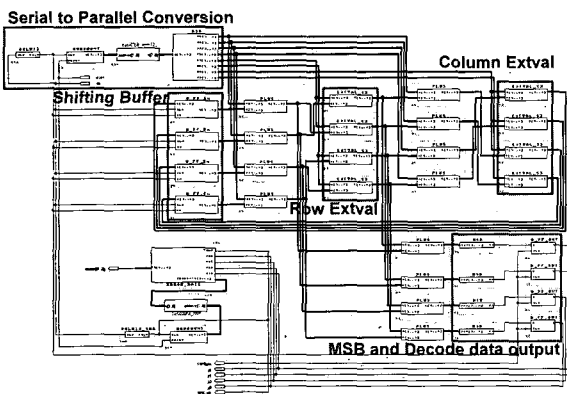


그림 4. 제안된 알고리즘의 RTL레벨 회로도
Fig. 4. RTL circuit diagram of the proposed algorithm.

제안된 복호기에서 입력되어지는 정보비트는 외부정보값(L_e)을 구하는 블록인 "Extval"에 입력되어지며 매 클럭마다 배열의 각 행, 열에 해당하는 "Extval" 블록을 통해 데이터가 반복순환 되어짐으로써 연산이 이루어진다. 반복연산의 횟수가 많을수록 사후확률값이 증가하여 비트의 에러율이 적어지지만 복호 소요시간이 길어지게 된다.

그림 4는 본 논문에서 제안한 MAX-SCALE 알고리즘을 적용시켜 하드웨어 틀에서 설계한 전체회로도이며, 이 회로를 이용하여 FPGA 구현 및 다른 알고리즘과 성능을 비교하였다.

2. FPGA 회로구현

제안된 알고리즘의 에러 정정 성능을 확인하기 위하여 Matlab 7.0에서 그레이레벨의 영상 데이터에 AWGN 잡음을 첨가한 후 구현된 FPGA회로를 사용하여 에러를 정정하였다. 시리얼 통신(RS232) 케이블을 통하여 FPGA 보드 상의 SRAM에 이미지 데이터를 전송한 후 제안된 복호기 회로를 통하여 에러 정정 및 BER을 측정후 다시 시리얼 통신 케이블을 통하여 컴퓨터로 전송한 후 이미지 뷰 프로그램을 사용하여 영상의 변화 정도를 관측하였다.

그림 5는 Altera FPGA 보드상에 구현된 제안된 복호기 회로이며, 세븐 세그먼트(Seven Segments)를 사용하여 전송 패킷의 수와 에러 비트의 수를 표시하였다.

그림 6은 FPGA를 통하여 전송된 데이터를 이미지 뷰 프로그램을 사용하여 나타낸 그림으로 첨가된 AWGN의 SNR(Signal-to-Noise Ratio)은 0dB이다.

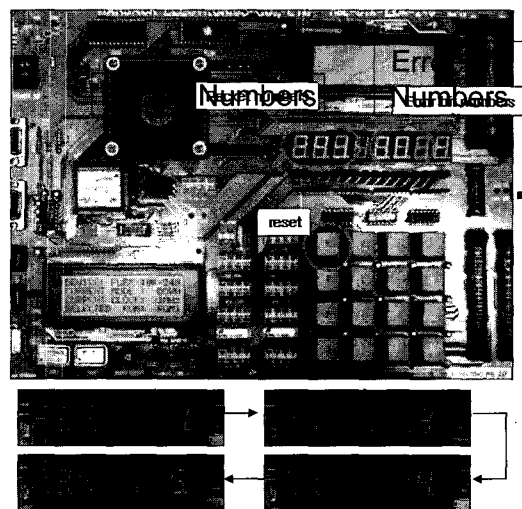


그림 5. FPGA 회로 시뮬레이션
Fig. 5. FPGA circuit simulation.

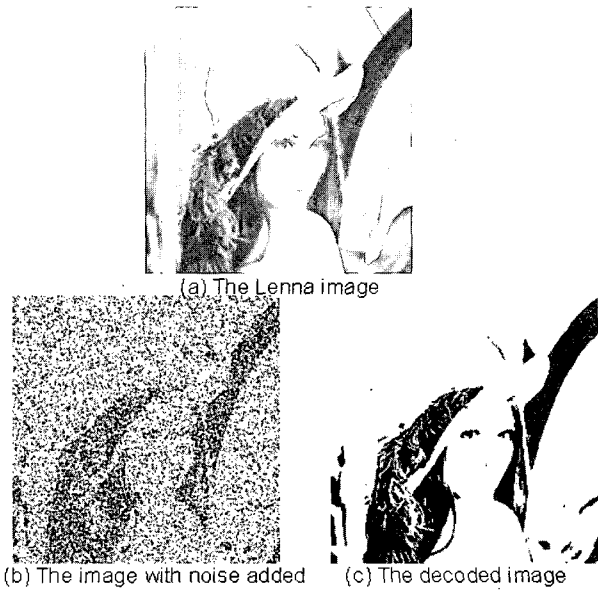


그림 6. Lenna 영상 데이터의 시뮬레이션 과정
Fig. 6. Simulation process of the Lenna image data.

IV. 성능 측정 및 실험 결과

성능 측정을 위하여 현재 많은 분야에서 사용되어지는 MAP 방식의 복호기와 식(14), (15)의 MAX 그리고 MAX-SCALE 방식의 복호기를 설계하여 BER, 하드웨어 면적, 동작 속도를 비교하였다.

그림 7은 제안된 MAX-SCALE 방식을 이용하여 설계한 복호기의 시뮬레이션 웨이브로 복호 반복 횟수에 따라 에러정정 성능의 변화를 보여주고 있으며 12번의 복호 반복과정을 진행시켰을 때 발생하는 에러 비트의

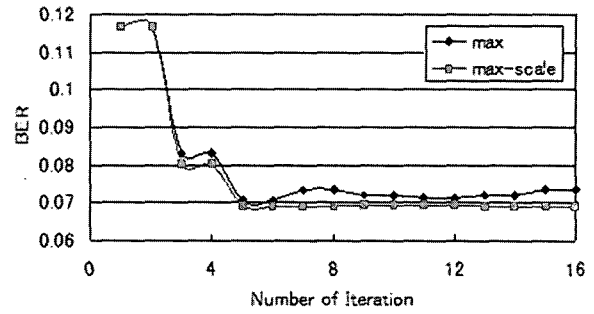


그림 8. MAX와 MAX-SCALE 알고리즘의 성능 비교
Fig. 8. Performance comparing with MAX and MAX-SCALE algorithm.

수가 0으로 수렴됨을 확인 할 수 있었으며, 표 1은 채널의 SNR과 복호 반복 횟수에 따른 신호의 BER 특성을 나타낸다. 표 1에서 채널의 SNR이 12dB 이상이면 에러 비트 발생률이 0에 수렴됨을 알 수 있었다.

그림 8은 MAX 알고리즘과 MAX-SCALE 알고리즘을 사후확률 연산에 적용시켰을 때 복호 반복 횟수와 복호된 신호의 BER 특성을 나타내는 그래프로 반복 횟수가 증가 할수록 MAX-SCALE 알고리즘의 특성 값이 좋아짐을 알 수 있다.

표 2는 터보코드로 부호화된 10000개의 데이터를 전송시켜 MAP, MAX 그리고 MAX-SCALE 알고리즘을 사용하여 복호 했을 때의 에러정정 성능, 그리고 FPGA 상에서 구현했을 때 소모되는 논리소자(LE: Logic Elements)의 수와 동작속도를 나타낸다.

결과적으로 제안된 MAX-SCALE 알고리즘은 기존의 MAP 복호 알고리즘에 비해 채널 SNR 0dB를 기준

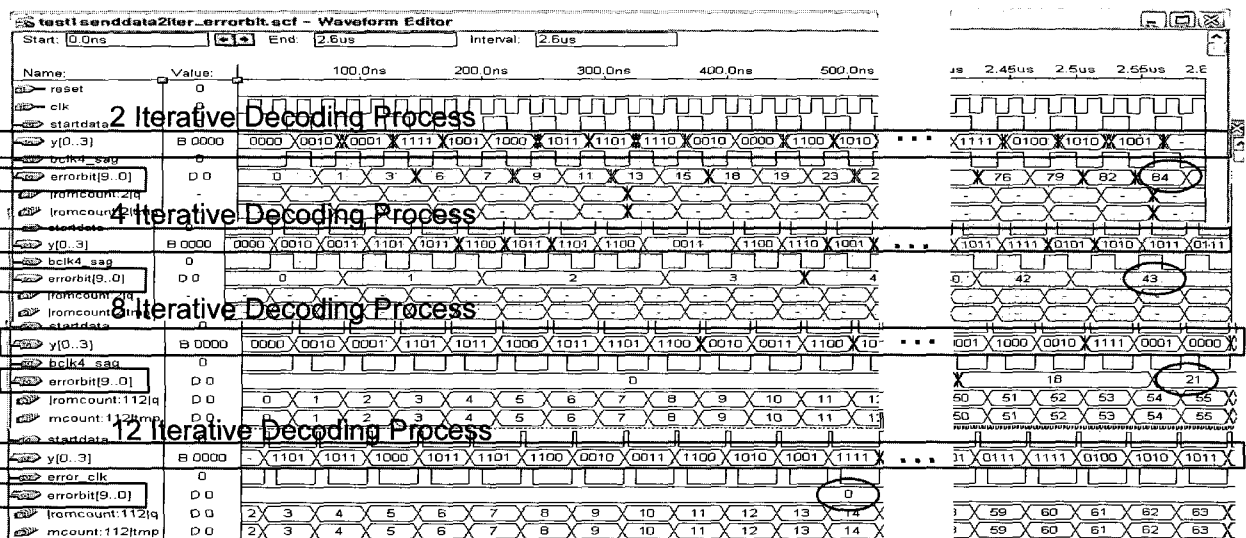


그림 7. MAX-SCALE이 적용된 복호기의 시뮬레이션 파형
Fig. 7. Simulation Waveform of the decoder applied MAX-SCALE.

표 1. 채널의 SNR과 복호 반복 횟수에 따른 신호의 BER 특성
Table 1. BER character of signal by channel's SNR and iterative times.

복호횟수 채널의 SNR	0	2	4	8	12
0 dB	0.1000	0.0800	0.0600	0.0500	0.0400
3 dB	0.0900	0.0633	0.0423	0.0352	0.0248
6 dB	0.0800	0.0347	0.0247	0.0137	0.0107
9 dB	0.0700	0.0098	0.0038	0.0029	0.0010
12 dB	0.0000	0.0000	0.0000	0.0000	0.0000

표 2. 10000개의 전송 데이터 중 에러의 수와 Altera FLEX10K 상에서의 합성 결과
Table 2. Number of mismatch of 10000 decoded data and synthesis results using Altera FLEX10K.

Design	10000개의 전송데이터 중 전체 에러 수					Altera FLEX 10K	
	0 dB	3 dB	6 dB	9 dB	12 dB	LE(of 10570)	Freq.(MHz)
MAX	690	132	4	0	0	684	42.01
MAP	735	141	2	0	0	717	33.98
MAX-SCALE	703	129	2	0	0	616	56.48

으로 에러비트가 6.12% 감소했으며 LE는 약 14%의 감소를 보였다. 또한 최대 동작속도는 56.48MHz로 약 40%증가했다.

V. 결 론

본 논문에서는 사논의 채널용량 한계에 근접하는 뛰어난 에러정정률을 가지는 터보코드의 하드웨어 구조 최적화를 위하여 사후확률 최적화를 통한 터보코드 복호기를 제안하고 FPGA로 구현하여 기존의 MAP 알고리즘 구조를 가지는 회로와 성능을 비교하였다.

사후확률 최적화를 통해 제안된 MAX-SCALE 알고리즘은 입력되는 부호화된 데이터를 $N \times N$ 의 비트 시프트 레지스터를 이용하여 행과 열 간의 반복연산을 취한 후 이때 구해지는 사후확률 값을 가지고 에러를 정정하는 복호기로, 기존의 MAP 알고리즘과 같이 LLR을 이용하지만 전용 덧셈기(Shift-Adder)를 설계하여 계산 지연시간을 줄였다. 또한 출력 레지스터를 제어하는 반복연산제어기를 출력단에 적용시켜 하드웨어상에 구현해 본 결과 MAP 복호 알고리즘에 비해 뛰어난 성능을 가짐을 확인할 수 있었다.

앞으로 진행되어야 할 연구는 정해진 복호횟수에 의한 복호가 아닌 가변적 반복횟수로 복호를 하여 최적화된 계산량과 동작 시간을 갖는 반복복호 제어 모델에 대한 연구가 이루어져야 한다.

참 고 문 헌

- [1] Jin Soo NOH, Kang Hyeon RHEE, "Multi Channel UWB Data Transmission System for Multimedia Communication," Journal of The Institute of Electronics Engineers of Korea, Vol. 42-CI, NO. 6, Nov. 2005.
- [2] Frank Gilbert. et.al., "Advanced Architectures for High Throughput Turbo-Decoders," STJ Journal of System Research Vol. 1, pp.81-95, Feb. 2004.
- [3] Jing Sun, Oscar Y. Takeshita, "Interleavers for Turbo Codes Using Permutation Polynomials Over Interger Rings," IEEE Trans. on Informatin Theory, VOL. 51, NO. 1, Jan. 2005
- [4] M. Ferrari, S. Bellini, "Weight Spectrum Evaluation for Multi-Binary Tailbiting Turbo Codes," IEEE COMMUNICATIONS. LETTER, Vol. 9, No. 7, July 2005
- [5] C. Berrou, A. Glavieux, and P. Thitimajshima, "Near Shannon Limit Error-Correcting Coding and Decoding: Turbo-Codes," In PROC. 1993 INTERNATIONAL CONFERENCE ON COMMUNICATIONS (ICC'93), pp.1064-1070, Geneva, Switzerland, May 1993.
- [6] M. A. Bickerstaff, L. M. Davis, C. Thomas, D. Garrett, and C. Nicol, "A 24 Mb/s radix-4 logMAP Turbo decoder for 3GPP-HSDPA mobile wireless," IEEE International Solid State Circuits Conference(ISSCC), pp.150-151 Feb. 2003.
- [7] G. Masera, G. Piccinini, M. R. Roch, and M.

- Zamboni, "VLSI architectures for turbo-codes," IEEE Trans. VLSI Syst., Vol. 7, No. 3, pp. 369-379, Sept. 1999.
- [8] Z. Wang, H. Suzuki, and K. K. Parhi, "VLSI implementation issues of turbo decoder design for wireless applications," in Proc. IEEE Int. Workshop Signal Processing Syst., 1999, pp. 503-512.
- [9] B. Bougard, A. Giuliatti, V. Derudder, J. W. Weijers, S. Dupont, L. Hollevoet, F. Catthoor, L. V. der Perre, H. De Man, and R. Lauwereins, "A scalable 8.7nJ/bit 75.6Mb/s parallel concatenated convolutional (turbo-) codec," IEEE International Solid-State Circuits Conference (ISSCC), pp. 152-153, Feb. 2003.
- [10] J. Kwak, S. M. Park, and K. Lee, "Reverse tracing of forward state metric in log-MAP and MAXlog-MAP decoders," in Proc. of 2003 IEEE International Symp. On Circuits and Systems, Vol. 2, pp. 25-28, 2003.

 저 자 소 개



노진수(학생회원)
 2002년 조선대학교 전자공학과
 학사졸업.
 2004년 조선대학교 전자공학과
 석사졸업.
 2006년 조선대학교 전자공학과
 박사과정.

<주관심분야 : UWB, 생체인식, 양자컴퓨팅>



이강현(평생회원)-교신저자
 1979년, 1981년 조선대학교 전자
 공학과 공학사 및 석사
 1991년 아주대학교 대학원
 공학박사
 1977년~현재 조선대학교 교수
 1991년, 1994년 미 스탠포드대
 CRC 협동연구원.

1996년 호주 시드니대 SEDAL 객원교수
 2000년~현재 한국 멀티미디어기술사협회 이사
 2002년 영국 런던대 객원 교수
 2002년 대한전자공학회 멀티미디어연구회전문
 위원장

2003년 한국 인터넷 방송/TV 학회 부회장
 2003년~현재 대한전자공학회 상임이사
 2005년~현재 조선대학교 RIS 사업단장

<주관심분야 : 멀티미디어 시스템설계, Ubiquitous
 convergence>