

논문 2006-43SD-7-5

고속/고밀도 VLSI 회로의 공진현상을 감소시키기 위한 효율적인 파워/그라운드 네트워크 설계

(Effective Power/Ground Network Design Techniques to suppress
Resonance Effects in High-Speed/High-Density VLSI Circuits)

류 순 결*, 어 영 선*, 심 종 인*

(Soonkeol Ryu, Yungseon Eo, and Jongin Shim)

요 약

본 논문에서는 온칩 디커플링 커패시터에 의한 파워/그라운드 라인에서의 RLC 공진현상을 감소시키기 위한 해석적인 모델을 제시한다. 패키지 인덕턴스와 온칩 디커플링 커패시터 및 출력 드라이버로 인하여 형성되는 RLC 공진 회로의 공진주파수를 정확하게 예측하였다. 예측된 공진주파수를 이용하여 회로 동작에 필요한 적절한 디커플링 커패시터의 크기를 결정할 수 있다. 본 논문에서 제시한 공진현상을 감소시킬 수 있는 새로운 설계 방법의 타당성은 0.18 μ m 공정 HSPICE 모델을 사용한 시뮬레이션을 통하여 검증하였다.

Abstract

This paper presents a new analytical model to suppress RLC resonance effects which inevitably occur in power/ground lines due to on-chip decoupling capacitor and other interconnect circuit parasitics (i.e., package inductance, on-chip decoupling capacitor, and output drivers, etc.). To characterize the resonance effects, the resonance frequency of the circuit is accurately estimated in an analytical manner. Thereby, a decoupling capacitor size to suppress the resonance for a suitable circuit operation is accurately determined by using the estimated resonance frequency. The developed novel design methodology is verified by using 0.18 μ m process-based-HSPICE simulation.

Keywords : resonance, ground bounce, on-chip decoupling capacitor, signal integrity

I. 서 론

최근 CMOS 공정기술의 발달로 인하여 회로가 점점 고속, 고집적화 되어감에 따라 파워/그라운드의 안정화가 주요한 문제로 대두되고 있다^[1-3]. 파워(그라운드)에 기인한 주요한 문제는 IR-drop, SSN (simultaneous switching noise: 동시스위칭 노이즈), 및 공진현상이 대표적이다. 특히, 빠른 클럭속도와 다량의 입/출력 드라이버는 결과적으로 파워/그라운드 평판에 동시 스위칭으로 인하여 노이즈(SSN)를 증가시킨다^[2]. SSN은 파

워/그라운드 회로 동작시 원하지 않는 글리치(glitch)를 발생시키거나 드라이버의 유효 구동능력을 감소시킬 수 있으며 출력신호 왜곡을 야기시키기 때문에 설계자의 입장에서는, 노이즈 마진을 감소시키는 주요한 요인이다. 따라서, 칩의 성능과 신뢰성을 보장하기 위하여 SSN을 줄이기 위한 설계는 매우 중요시 되고 있다. I/O buffer에서 발생하는 SSN을 줄이기 위한 기존의 방법으로는 버퍼의 피크전류(peak current)를 감소시키는 방법^[4], 버퍼입력의 상승천이시간(rising time)을 증가시키는 방법^[5], 패키지의 기생 인덕턴스를 감소시키는 방법^[6], current steering logic을 이용하는 방법^[7], 디커플링 커패시터를 추가하는 방법 등이 있다^[8]. 특히, 디커플링 커패시터를 추가하는 방법은 가장 일반적으로

* 정회원, 한양대학교 전자컴퓨터공학부
(Dept. of Electrical & Computer Engineering,
Hanyang University)
접수일자: 2004년10월20일, 수정완료일: 2006년7월3일

사용하는 설계기술이다^[8-9]. 하지만, 추가된 디커플링 커패시터는 패키지 인덕턴스와 공진회로를 형성하여 특정 주파수에서 RLC공진의 원인이 된다^[1]. 일반적으로, 공진주파수가 낮고 동작주파수가 증가하게 되면 SSN에 의한 공진노이즈가 장시간에 걸쳐서 증첩되기 때문에, 기대했던 디커플링 커패시터에 의한 SSN의 감소와는 달리 더욱 큰 스위칭 노이즈를 유발시킬 수 있다. 특히 칩의 동작주파수 혹은, 동작주파수의 하모닉이 공진주파수 근처에 있으면, 서로 증첩되어 더욱 큰 노이즈를 유발시켜, 결국 circuit failure를 야기할 수 있기 때문에^[3] 설계의 초기단계에서 공진을 피하기 위한 설계를 하지 않으면 안 된다. 공진에 의한 고속/고밀도 회로의 성능저하 및 설계오류 (circuit failure)는 최근에 매우 중요한 문제로 인식되고 있지만, 상대적으로 이를 억제하는 설계기술에 대한 연구는 미흡한 실정이다.

지금까지, I/O 및 파워(그라운드) 배선과 관련한 대부분의 연구는 출력 드라이버 회로에서 파워/그라운드 바운스의 공진 노이즈 보다는 SSN 피크치만을 중점적으로 연구하였다^[10-13]. A. Kabbani는 출력 드라이버 회로에서 피크 노이즈와 공진 노이즈를 예측하였으나^[14], 디커플링 커패시터가 존재하는 경우는 고려되지 않았다. 또한, K. Bathey는 패키지 평판에서 공진 노이즈의 시뮬레이션을 위한 모델을 해석하였고, 그 결과가 측정 데이터와 거의 일치하였지만^[15], 공진 노이즈를 줄이기 위한 구체적인 방법을 제시하진 못하였다. T. Gabara는 파워/그라운드 라인에 저항을 연결함으로써 공진 노이즈를 댄핑시키는 방법을 연구했지만^[16], 이는 IR-drop을 증가시키게 된다. 한편, P. Larsson은 온칩 스위칭에 의하여 발생하는 공진현상을 최소화 시키기 위한 설계방법 중의 하나로 core logic에 의하여 발생하는 공진현상과 관련하여 온칩 디커플링 커패시터에 저항을 직렬로 연결시켜 주어서 댄핑을 이용하는 방법을 연구하였다^[17]. 또한, M. Ingels는 추가적인 RLC 디커플링 방법을 사용하여 IR-drop없이 공진 노이즈를 감소시킬 수 있는 방법을 연구하였다^[18]. 하지만, 이들은 I/O 드라이버 회로가 아닌 온칩 core logic에 의한 공진 노이즈에 국한되고 있다. I/O 드라이버를 위한 파워분배 시스템은 core logic과 분리되어 있기 때문에, I/O에서 출력 드라이버의 스위칭에 의한 공진현상은 따로 고려해 주어야 한다.

본 논문에서는 I/O에서 출력드라이버가 스위칭 할 때 발생하는 공진 노이즈에 대해서 중점을 둔다. 온칩 디커플링 커패시터가 존재하는 패키지 회로에서 출력 드

라이버가 동작주파수에 맞추어 반복적으로 스위칭 하는 경우, 효과적으로 공진현상을 감소시키기 위해서, 공진 노이즈의 주파수를 정확하게 예측하기 위한 회로모델을 세우고, 이를 해석한다. 예측한 공진주파수와 출력 드라이버의 동작주파수 사이의 상호관계에 따라 축적되는 공진 노이즈 크기의 최악의 경우와 최상의 경우 각각에 상응하는 온칩 디커플링 커패시터를 계산하여 파워/그라운드를 안정화 시킬 수 있는 새로운 설계 방법을 제안한다. 제시한 설계 방법을 적용하면 공진현상을 현저히 감소시킬 수 있는 안정된 파워/그라운드 배선 설계를 할 수 있다는 것을 HSPICE 시뮬레이션을 통하여 입증한다.

II. SSN 노이즈 및 공진

일반적으로 패키지 회로에 디커플링 커패시터가 있는 경우는 근사적으로 그림 1과 같이 등가회로로 모델할 수 있다.

그림 1의 모델을 디커플링 커패시터(C_D)의 유/무에 따라 시뮬레이션 해보면, 그림 2와 같으며 회로 내부에 디커플링 커패시터가 존재하면, SSN의 피크값은 줄어들지만 스위칭 노이즈가 긴 시간 동안 발생하게 된다. 이 파형은 두개의 성분, 즉 피크 노이즈(peak noise)와 공진 노이즈(resonance noise)로 구성되며^[15], 피크 노이즈는 짧은 기간 동안 발생하지만 뒤따르는 공진 노이즈는 긴 시간 동안 유지된다. 한편, 디커플링 커패시터가 존재할 때, 파워 바운스와 그라운드 바운스의 파형을 서로 비교해보면, 그림 3과 같이 최초로 피크 노이즈는 같은 위상(in phase)이고, 뒤따르는 공진 노이즈는 다른 위상(out of phase)이다. 따라서 공진 노이즈는 유효한 공급전압을 변화시키며, 만일 출력 드라이버가 동작주

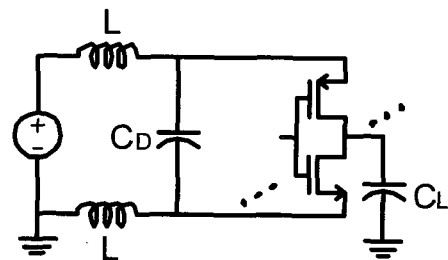


그림 1. 패키지 모델에서 디커플링 커패시터가 존재할 등가모델

Fig. 1. Equivalent package model with on-chip decoupling capacitor.

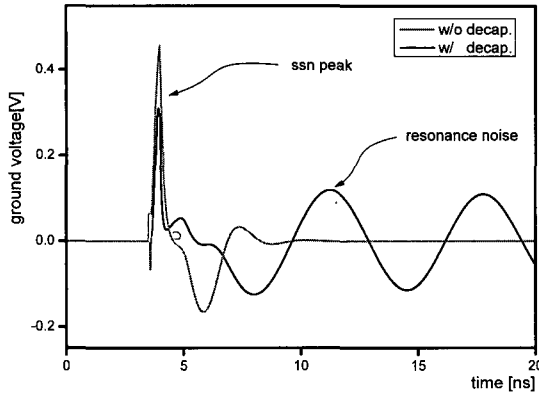


그림 2. 디커플링 커패시터의 유/무에 따른 SSN 피크와 공진 노이즈

Fig. 2. SSN peak and resonance noise with/without on-chip decoupling capacitor.

$W_n/W_p = 20/44 [\mu m]$, $L = 1 [nH]$, $C_D = 500 [pF]$,
 $t_r = 0.5 [ns]$, $C_L = 10 [pF]$, n (동시스위칭 개수)= 16

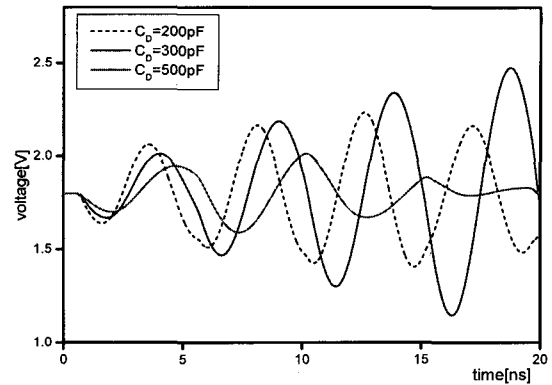


그림 4. 디커플링 커패시터의 변화에 따른 파워 라인에서의 유효 공진 노이즈

Fig. 4. Effective resonance noise in power line with on-chip decoupling capacitor sizing.

$W_n/W_p = 20/44 [\mu m]$, $L = 1 [nH]$, $C_L = 10 [pF]$,
 $C_D = 200, 300, 500 [pF]$, $t_r = 0.2 [ns]$, $n = 10$,
 f_{op} (동작주파수)= 200 [MHz]

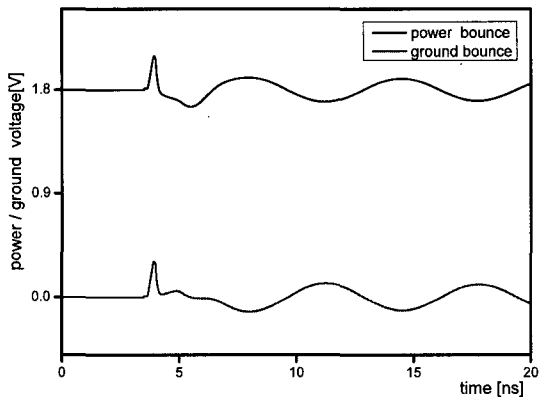


그림 3. 디커플링 커패시터가 있는 경우의 파워/그라운드 바운스

Fig. 3. Power/Ground bounce with on-chip decoupling capacitor.

$W_n/W_p = 20/44 [\mu m]$, $L = 1 [nH]$, $C_D = 500 [pF]$,
 $C_L = 10 [pF]$, $t_r = 0.5 [ns]$, $n = 16$

파수를 가지고 주기적으로 스위칭이 일어나면 존재하는 공진 노이즈로 인하여 SSN의 영향을 더욱 악화시킬 수 있음을 그림 4에서 보였다.

일반적으로 출력 드라이버가 한번의 스위칭만 일어난다면 디커플링 커패시터가 큰 값을 가질수록 SSN의 피크치는 감소하지만, 동작주파수에 맞추어서 반복적으로 스위칭이 일어나면 공진주파수와 동작주파수 사이의 관계에 따라 다르다. 예를 들어, 그림4에서와 같이 출력 드라이버가 동작주파수(f_{op}) = 200 [MHz]에 맞추어 상승시간 천이와 하강시간 천이가 교대로 일어날 때, 디커플링 커패시터(C_D)의 값이 200, 300, 500 [pF]

인 경우 (즉, 공진주파수가 다른 경우)에 대해서 각각 살펴보면, $C_D = 300 [pF]$ 인 경우의 노이즈가 상대적으로 작은 $C_D = 200 [pF]$ 인 경우 보다 오히려 더 큰 노이즈가 발생 한다는 것을 확인 할 수 있다. 따라서 출력 드라이버가 임의의 동작주파수 (f_{op}) 를 갖고 있을 때, 동시 스위칭에 의한 노이즈가 중첩되는 것을 피하기 위해서는, 노이즈가 서로 더해지지 않도록 디커플링 커패시터(C_D)의 값을 변화시켜서 공진주파수를 이동시켜 주어야 한다.

III. 공진주파수 예측 모델

디커플링 커패시터가 존재하는 패키지 모델(그림1)에서, ac analysis를 위해서 공급전압은 virtual short이라고 가정하고^[3], 출력 드라이버를 고려하지 않으면 모델은 그림 5와 같이 LC공진회로를 형성한다. 따라서 출력

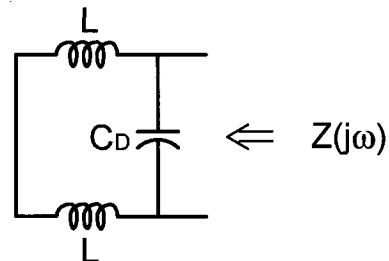


그림 5. 출력 드라이버를 고려하지 않았을 때의 패키지 모델

Fig. 5. Package model without output driver.

드라이버에서 바라본 임피던스(impedance)는

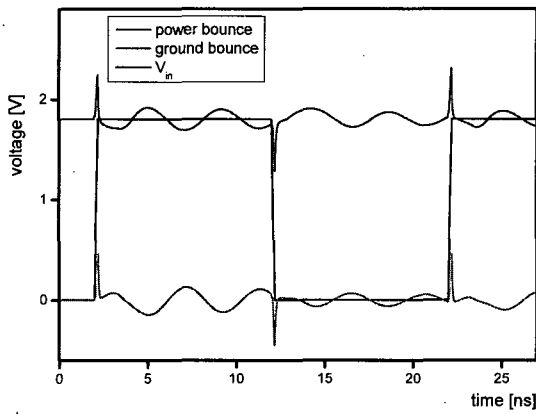
$$Z(j\omega) = \frac{1}{\frac{1}{j\omega 2L} + j\omega C_D} = \frac{j\omega 2L}{1 - \omega^2 2LC_D} \quad (1)$$

이며, 분모를 0으로 하는 $f(= \omega/2\pi)$ 값인

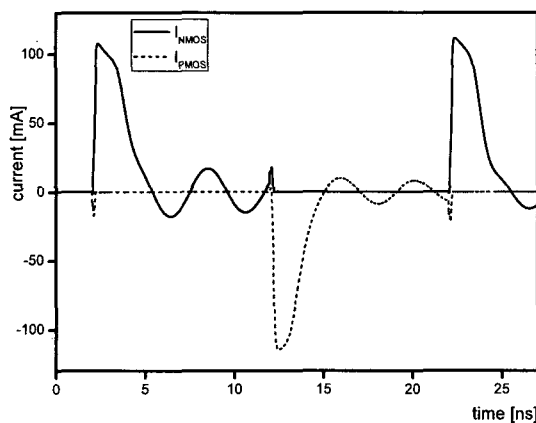
$$f = \frac{1}{2\pi \sqrt{2LC_D}} \quad (2)$$

의 공진주파수를 갖는다. 하지만, 이 값은 출력 드라이버를 고려하지 않았기 때문에 출력 드라이버의 수가 증가하게 되면 정확히 공진주파수를 예측할 수 없다.

따라서 출력 드라이버를 고려한 모델이 필요하다. 그



(a) V_{in} , 파워 바운스, 그라운드 바운스 파형
(a) V_{in} , Power bounce, Ground bounce.



(b) NMOS / PMOS로 흐르는 전류 파형
(b) Current pass through NMOS/PMOS.

그림 6. 파워/그라운드 바운스와 NMOS / PMOS로 흐르는 전류

Fig. 6. Power/Ground bounce and current pass through NMOS/PMOS.

$W_n/W_p = 20/44 [\mu m]$, $L = 1 [nH]$, $C_D = 200 [pF]$, $C_L = 10 [pF]$, $t_r = 0.2 [ns]$, $n = 10$, $f_{ov} = 100 [MHz]$

림 6에서 보는 바와 같이 실제로, 출력 드라이버의 입력 (V_{in}) 이 0에서 V_{dd} 로 천이 한 후, V_{dd} 에서 0으로 천이 할 때까지 NMOS와 PMOS로 흐르는 전류를 살펴보면, SSN 피크가 발생할 때 NMOS로 흐르는 전류(I_{NMOS})는 포화영역에 있다가 공진 노이즈가 잔재하는 동안엔 일정한 크기로부터 감쇠진동(damped oscillation) 함을 알 수 있다. 이는 NMOS가 선형영역에 있음을 의미한다. 따라서, 0에서 V_{dd} 로 천이하여서 생긴 공진 노이즈는 NMOS는 선형영역, PMOS는 컷 오프(cut off) 영역에 있을 때 발생한다고 볼 수 있으므로, NMOS는 저항으로 모델 할 수 있으며, V_{in} 이 0에서 V_{dd} 로 천이한 후, V_{dd} 에서 0으로 천이하기 전까지 발생한 공진 노이즈의 주파수를 구하기 위한 등가회로는 그림7(a)와 같다.

공진 노이즈는 정현파(sinusoidal waveform)이므로 하나의 주파수 성분(ω)만을 갖고 있다고 가정하면, two terminal passive subcircuit에서 임피던스(impedance)는 주파수를 알고 있을 때, 상응하는 어드미턴스(admittance)로 변환시킬 수 있으므로^[15], 그림7(b)와 같이 병렬 등가회로로 구성 할 수 있다.

따라서, ω 의 값을 위에서 언급한 공진주파수의 근사 값을 이용하게 되면, 다음과 같은 관계를 갖는다.

$$R_P \approx R_{tr} \left(1 + \frac{1}{\omega^2 R_{tr}^2 C_L^2} \right), C_P \approx \frac{C_L}{\omega^2 R_{tr}^2 C_L^2 + 1} \quad (3)$$

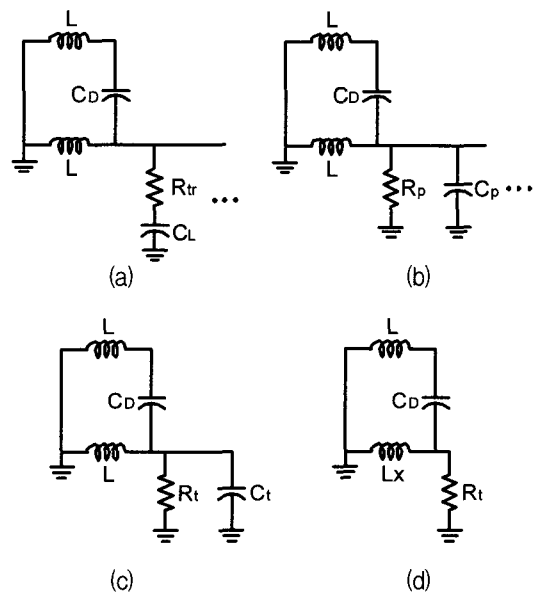


그림 7. 디커플링 커패시터가 존재하는 패키지 모델의 2nd order 근사화

Fig. 7. Second order approximation of package model with on-chip decoupling capacitor.

식(3)에 의하여 변형된 RC branch는 R과 C로 각각 더해져서 그림 7(c)와 같이 되며, 주파수(ω)를 알고 있을 때, L과 C는 하나의 리액턴스(reactance)로 표시 할 수 있으므로 다음과 같은 관계를 갖는다.

$$R_t = R_p/n, \quad C_t = nC_p, \quad L_x = \frac{L}{1 - \omega^2 LC_t} \quad (4)$$

식 (4)를 이용하여 그림 7(d)와 같이 되며, 위와 마찬가지로 병렬 RL회로는 주파수(ω)를 알고 있을 때, 직렬 RL회로로 변형할 수 있으므로 다음과 같은 관계를 갖는다.

$$L_{eff} = \frac{L_x}{1 + \frac{\omega^2 L_x^2}{R_t^2}}, \quad R_{eff} = \frac{R_t}{1 + \frac{\omega^2 L_x^2}{R_t^2}} \quad (5)$$

따라서, 식(5)를 이용하면, 그림 7(d)는 그림8과 같이 간단한 2차 RLC회로로 재구성 할 수 있다.

그림 8의 회로가 underdamped response를 하기 위한 조건은 다음과 같다^[19].

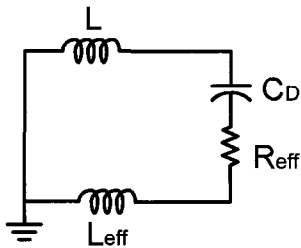


그림 8. 2차 RLC 회로로 근사화 된 모델
Fig. 8. Approximated Second order RLC circuit model.

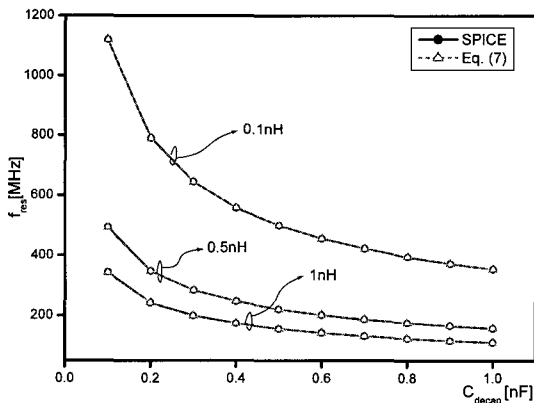


그림 9. 식(7)과 SPICE 시뮬레이션 비교.
Fig. 9. Comparison with SPICE simulation with Eq.(7).
 $W_n/W_p = 20/44 [\mu m]$, $L = 0.1, 0.5, 1 [nH]$,
 $C_L = 10 [pF]$, $n = 10$

$$R_{eff} < 2\sqrt{\frac{L + L_{eff}}{C_D}} \quad (6)$$

따라서 식(6)을 만족할 때 상응하는 공진주파수(f_{res})는 다음과 같다.

$$f_{res} = \frac{1}{2\pi\sqrt{(L + L_{eff})C_D}} \quad (7)$$

식 (7)을 SPICE 시뮬레이션과 비교하여 모델이 정확하다는 것을 그림 9에서 보였다.

한편, 식(7)을 디커플링 커패시터(C_D)에 대하여 정리하면 다음과 같다.

$$C_D = \frac{1}{(4\pi^2 f_{res}^2 (L + L_{eff}))} \quad (8)$$

따라서, 식(8)을 이용하면, 원하는 공진 주파수를 갖도록 디커플링 커패시터(C_D)를 계산 할 수 있다.

IV. 설계 방법

일반적으로 시스템 클럭(system clock)의 한 사이클 타임(cycle time)동안 출력 드라이버는 한번의 스위칭을 하기 때문에, 클럭 에지(clock edge)에서 n개의 출력 드라이버가 반복적으로 동시에 스위칭하는 경우를 최악의 경우로 가정할 수 있다. 따라서, 그림 10 에서 보는 바와 같이 출력 드라이버의 입력(V_{in})이 동작주파수(f_{op})에 맞추어 클럭 주기(T_{OP})에 한번씩 상승시간 천이(또는, 하강시간 천이)를 반복하면,

$$T_{noise} = T_{op} \quad (9)$$

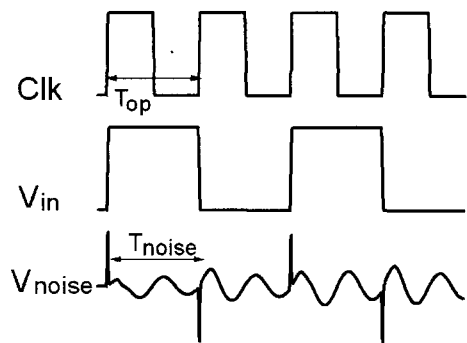
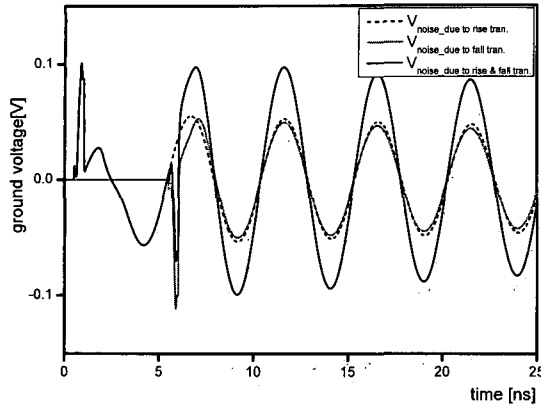
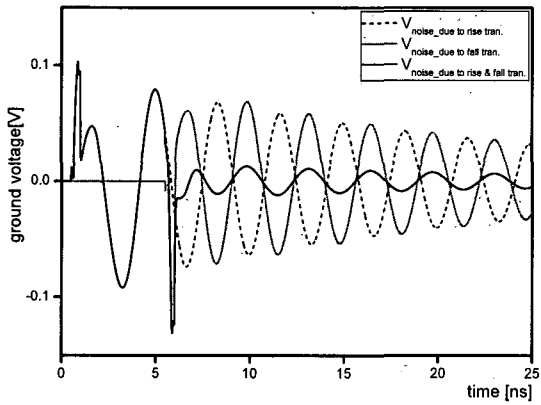


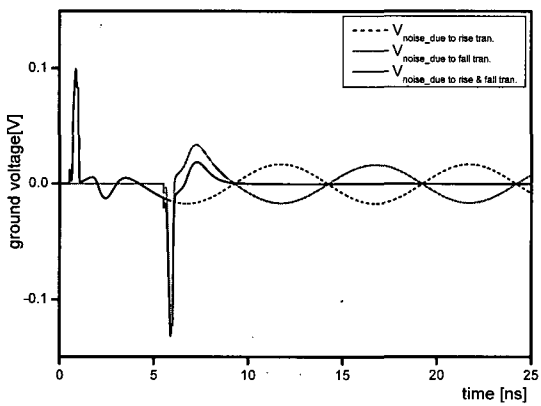
그림 10. 클럭 주기와 공진 노이즈 발생주기
Fig. 10. Clock period and resonance noise generating signal period.



(a) 공진노이즈 add up ($f_{res} = f_{op}$, $C_D = 600$ [pF])
 (a) resonance noise add up ($f_{res} = f_{on}$, $C_D = 600$ [pF]).



(b) 공진 노이즈 cancel ($f_{res} = 1.5f_{op}$, $C_D = 260$ [pF])
 (b) resonance noise cancel ($f_{res} = 1.5f_{on}$, $C_D = 260$ [pF])



(c) 공진 노이즈 cancel ($f_{res} = 0.5f_{op}$, $C_D = 2500$ [pF])
 (c) resonance noise cancel ($f_{res} = 0.5f_{op}$, $C_D = 2500$ [pF])

그림 11. 공진주파수와 동작주파수의 관계에 따른 공진 노이즈의 add up과 cancel

Fig. 11. Resonance noise add up/cancel according to the relationship between resonance frequency and operating frequency.

$$W_n/W_p = 20/44 [\mu m], L = 1 [nH], C_L = 10 [pF], n = 10, t_r = 0.5 [ns], f_{on} = 200 [MHz]$$

가 되며, 여기서 T_{noise} 는 공진 노이즈를 excite시키는 시그널의 주기이다.

공진 노이즈는 T_{noise} 마다 주기적으로 새롭게 축적되므로, 공진 노이즈를 excite시키는 신호를 시간영역에서 주기 T_{noise} 를 갖는 임펄스 트레인(impulse train)으로 가정할 수 있다. 이것을 푸리에 트랜스폼(Fourier transform) 하면, $1/T_{noise}$ 의 정수배에 해당하는 주파수를 모두 갖고 있으므로, 식(9)에 의하여 공진 노이즈를 excite시키는 신호는 동작주파수(f_{op})의 기본주파수와 그것의 고조파를 모두 갖고 있다.

따라서, 동작주파수의 기본주파수 혹은 그것의 고조파들 중에서 하나가 공진주파수와 일치하는 경우에 공진 노이즈는 선형적으로 더해져서, 파워/그라운드에 매우 큰 노이즈를 유발하게 된다. 한편, 디커플링 커패시터의 크기를 조절하여서, 공진주파수를 동작주파수의 기본주파수나 그것의 고조파가 아닌 곳으로 이동시켜 주면 공진노이즈가 축적되는 것을 막을 수 있다. 즉,

$$f_{res} = 0.5 f_{op}, 1.5 f_{op}, 2.5 f_{op}, \dots \quad (10)$$

가 되면, 공진 노이즈를 상쇄시킬 수 있다.

그림 11(a)에서 보는 바와 같이 시스템 클럭의 동작주파수(f_{op})의 기본주파수가 공진주파수(f_{res})와 같게 되면, 공진 노이즈가 서로 위상차가 없어서(in-phase) 공진 노이즈가 선형적으로 더해지게 된다. 한편, 동작주파수의 1.5배가 되도록 공진주파수를 이동시켜 주면, 입력의 상승시간 천이시 NMOS 트랜지스터가 스위칭 할 때 발생한 공진 노이즈와 하강시간 천이시 PMOS 트랜지스터가 스위칭 하면서 발생한 공진 노이즈가 서로 위상이 어긋나게(out-phase) 되어 그림 11(b)에서 보는 바와 같이 공진 노이즈가 상쇄된다. 따라서, 공진 노이즈가 축적되는 것을 막기 위해서는 가능한 한 동작주파수의 기본주파수와 그것의 고조파가 공진주파수와 일치하는 것을 피하도록 디커플링 커패시터이 크기를 조절해 주어 공진주파수를 이동시켜 주어야 한다. 한편, 그림 11(c)에서 보는 바와 같이 디커플링 커패시터를 아주 크게 해서 공진주파수를 동작주파수의 0.5배로 해주면, 즉, 공진주파수가 동작주파수 보다 작아지도록 하면 ($f_{res} < f_{op}$), 공진노이즈는 거의 제거된다. 하지만, 디커플링 커패시터를 크게 하면 칩(chip)내에서 많은 면적을 차지하게 되어 회로의 직접도를 떨어뜨릴 수 있으므로, 노이즈 마진(noise margin)을 고려하여서 적절한 디커플링 커패시터를 선택해야 한다.

V. 설계방법 검증

실제로 패키지의 종류에 따라 인덕턴스(L_p, L_g)는 다양한 값을 갖는다. 여기서는 $0.1 \sim 1 [nH]$ 의 값을 갖는 flip-chip bonding^[20]을 가정하였다. 그림 13는 그림 12을 시뮬레이션 한 결과이며, 공진 오실레이션 노이즈로 인하여, 시간에 따라 유효한 공급전압의 값이 변하므로, effective V_{dd} (V_{dd-eff})로 공진 노이즈의 크기를 표현하면 다음과 같다.

$$V_{dd_eff}(t) = V_p(t) - V_g(t) \tag{11}$$

따라서, 공진 오실레이션 노이즈에 의한 공급전압의 변화량은 다음과 같다.

$$\Delta V(t) = V_{dd} - V_{dd_eff}(t) \tag{12}$$

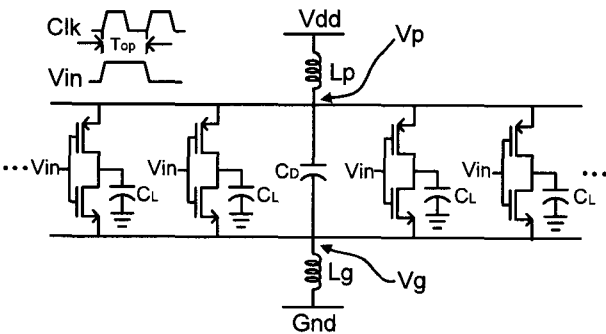


그림 12. 디커플링 커패시터가 존재하는 출력 드라이버 회로
Fig. 12. Output driver circuits with on-chip decoupling capacitor.

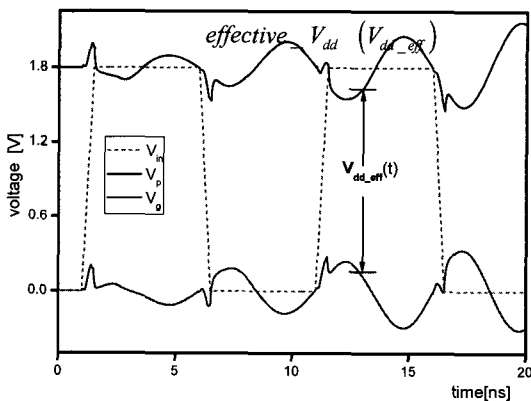


그림 13. effective V_{dd} (V_{dd-eff})
Fig. 13. effective V_{dd} (V_{dd-eff}).
 $W_n/W_p = 20/44 [\mu m]$, $L = L_g = 1 [nH]$,
 $C_D = 300 [pF]$, $n = 10$, $t_r = 0.5 [ns]$,
 $f_{of} = 200 [MHz]$, $C_L = 10 [pF]$

표 1. 각각의 예측한 디커플링 커패시터에 의한 최악/최상의 경우 ΔV_{MAX} 의 시뮬레이션 결과

Table 1. Simulation result of the worst/best case ΔV_{MAX} according to the estimated on-chip decoupling capacitors respectively.

f_{op} [MHz]	L [nH]	n	no decap.	$f_{res} = f_{op}$		$f_{res} = 1.5 f_{op}$		$f_{res} = 0.5 f_{op}$	
			ΔV_{MAX} [V]	C_D [pF]	ΔV_{MAX} [V]	C_D [pF]	ΔV_{MAX} [V]	C_D [pF]	ΔV_{MAX} [V]
200	0.1	5	0.02	3160	0.03	1400	0.01	12650	0
		10	0.03	3150	0.05	1390	0.02	12640	0
		20	0.07	3130	0.11	1370	0.04	12620	0.01
	0.5	5	0.09	620	0.13	270	0.05	2520	0.01
		10	0.17	610	0.26	260	0.08	2510	0.03
		20	0.32	590	0.49	250	0.12	2490	0.05
		5	0.17	310	0.26	130	0.08	1260	0.03
		10	0.32	300	0.49	120	0.12	1240	0.05
		20	0.53	270	0.84	120	0.19	1220	0.1
400	0.1	5	0.02	790	0.05	350	0.01	3160	0.01
		10	0.03	780	0.1	340	0.02	3150	0.01
		20	0.07	770	0.18	340	0.04	3130	0.03
	0.5	5	0.09	150	0.22	70	0.05	620	0.03
		10	0.19	150	0.37	70	0.12	610	0.07
		20	0.35	140	0.53	80	0.31	590	0.12
		5	0.19	70	0.37	30	0.11	310	0.07
		10	0.35	70	0.53	40	0.31	300	0.12
		20	0.75	80	0.59	60	0.56	270	0.19

V_{in} 이 $V_{dd} \rightarrow 0 \rightarrow V_{dd}$ 천이를 하고 난 직후부터 다음 천이가 일어나기 전까지의 $\Delta V(t)$ 의 최대치를 측정된 결과를 Table 1에 나타내었다. 스위칭 하지 않는 출력 드라이버 없이 ideal하게 동시스위칭 한다고 가정하였으므 이는 $W_n/W_p = 20/44 [\mu m]$, $t_r = 0.5 [ns]$, $C_L = 10 [pF]$, 인 경우에 대하여, 동작주파수(f_{op}), 인덕턴스(L), 동시스위칭 개수(n) 변화에 따라 각각의 디커플링 커패시터를 선정 하였을 때 HSPICE 시뮬레이션 결과이다. 공진주파수가 동작주파수의 기본주파수와 동일해 지도록 하는 ($f_{res} = f_{op}$) 디커플링 커패시터를 사용하면 공진 노이즈가 선형적으로 더해져서, 디커플링 커패시터가 없는 경우보다 오히려 더 큰 공진 노이즈가 발생함을 알 수 있으며, 동작주파수의 1.5배, 혹은 0.5배와 같아지도록 ($f_{res} = 1.5f_{of}$, $f_{res} = 0.5f_{of}$)하는 디커플링 커패시터를 사용하면 공진 노이즈를 상쇄 시킬 수 있음을 알 수 있다. 따라서, 예측한 모델을 사용하면, 피해야 하는 디커플링 커패시터를 계산할 수 있으며, 동시에 공진 노이즈를 극소화 시킬 수 있는 디커플링 커패시터를 계산할 수 있다.

VI. 결 론

고속 고집적 회로에서 발생하는 인덕티브 노이즈인 동시 스위칭 노이즈(SSN)를 줄이기 위하여 디커플링 커패시터를 사용하지만, 이는 공진 노이즈를 발생시킨다. 본 논문에서는 공진 노이즈를 줄이기 위하여 공진 현상을 최소화 할 수 있는 모델을 제시하였다. 제시한 모델을 사용하면 공진 노이즈를 예측할 수 있고, 이를 통하여 디커플링 커패시터를 선정해 줄 수 있다. 선정된 디커플링 커패시터를 사용하면, 공진현상을 극소화 할 수 있다는 것을 $0.18\mu\text{m}$ 공정에서 HSPICE 시뮬레이션을 통하여 검증하였다.

참 고 문 헌

- [1] S. Lin, and N. Chang, "Challenges in power-ground integrity," in IEEE International Conference on Computer-Aided Design, 2001, pp. 651-654.
- [2] P. Heydari, and M. Pedram, "Ground Bounce in Digital VLSI Circuits," IEEE Trans. VLSI Syst., vol. 11, pp. 180-193, April 2003.
- [3] H. B. Bakoglu, Circuits, Interconnections, and Packaging for VLSI. Addison-Wesley, 1990.
- [4] D. T. Cox et al., "VLSI performance compensation for off-chip drivers and clock generation," in IEEE Custom Integrated Circuits Conference, 1989, pp. 14.3.1-14.3.4.
- [5] K. Leung, "Controlled slew rate output buffer," in IEEE Custom Integrated Circuits Conference, 1988, pp. 5.5.1-5.5.4.
- [6] C. Huang, Y. Yang and J.L. Prince, "A simultaneous switching noise design algorithm for leadframe packages with or without ground plane." IEEE T. on Components, Packaging, and Manufacturing Technology-Part B 19(1), pp. 15-22, Feb. 1996.
- [7] A. J. Rainal, "Eliminating inductive noise of external chip connections." IEEE J. of Solid-State Circuits 29(2), pp. 126-129, Feb. 1994.
- [8] P. Larsson, "di/dt noise in CMOS integrated circuits," Analog Integrated Circuits and Signal Processing, no. 1/2, pp. 113-130, Sept. 1997.
- [9] B. Young, Digital Signal Integrity. Prentice Hall, 2001.
- [10] R. Senthinathan and J. L. Prince, "Simultaneous switching ground noise calculation for packaged CMOS devices," IEEE J. Solid-Sate Circuits, vol. 26, pp. 1724-1728, Nov. 1991.
- [11] A. Vaidyanath, et al., "Effect of CMOS driver loading conditions on simultaneous switching noise," IEEE Trans. Comp., Packag., Manufact. Technol., vol. 17, pp. 480-485, Nov. 1994.
- [12] S. R. Vemuru, "Accurate simultaneous switching noise estimation including velocity-saturation effects," IEEE Trans. Comp. Packag., Manufact. Technol. B, vol. 19, pp. 344-349, May 1996.
- [13] Y. Eo, et al., "New simultaneous switching noise analysis and modeling for high-speed and high-density CMOS IC package design," IEEE Trans. Adv. Packag., vol. 23, pp. 303-312, May 2000.
- [14] A. Kabbani and A. J. Al-Khalili, "Estimation of ground bounce effects on CMOS circuits," IEEE Trans. Comp. Packag., Manufact. Technol., vol. 22, pp. 316-325, Jun. 1999.
- [15] K. Bathey et al., "Noise computation in single chip packages," IEEE Trans. Comp., Packag., Manufact. Technol. B, vol. 19, pp. 350-360, May 1996.
- [16] T. Gabara, W. C. Fischer, J. Harrington, and W. W. Troutman, "Forming damped LRC parasitic circuits in simultaneously switched CMOS output buffer," IEEE J. Solid State Circuits, vol. 32, pp. 407-418, Mar. 1997.
- [17] P. Larsson, "Resonance and damping in CMOS circuits with on-chip decoupling capacitance," IEEE Trans. Circuits Syst., vol. 45, pp. 849-858, Aug. 1998.
- [18] M. Ingels and M. Steyaert, "Design strategies and decoupling techniques for reducing the effects of electrical interference in mixed-mode IC's," IEEE J. Solid-State Circuits, vol. 32, pp. 1136-1141, July 1997.
- [19] Artice M. Davis, Linear Circuit Analysis. PWS Publishing Company, 1998.
- [20] X. Aragonés, et al., Analysis and Solutions for Switching Noise Coupling in Mixed-Signal ICs. Kluwer Academic Publishers, 1999.

저 자 소 개



류 순 결(정회원)
2003년 한양대학교 전자컴퓨터
공학부 학사졸업.
2005년 한양대학교 전자전기제어
계측공학과 석사졸업.
2005년 3월~현재 삼성전자
반도체 총괄 SYS.LSI 근무

<주관심분야 : 고속회로 설계>

어 영 선(정회원)
현재 한양대학교 전자컴퓨터공학부 교수

심 종 인(정회원)
현재 한양대학교 전자컴퓨터공학부 교수