

논문 2006-43SD-7-4

복잡한 다층 RLC 배선구조에서의 TWA를 기반으로 한 효율적인 시그널 인테그리티 검증

(A New TWA-Based Efficient Signal Integrity Verification Technique
for Complicated Multi-Layer RLC Interconnect Lines)

조 찬 민*, 어 영 선**

(Chanmin Jo and Yungseon Eo)

요 약

본 논문에서는 불규칙하고 복잡한 다층(multi-layer) RLC 배선에 대하여 TWA(Traveling-wave-based Waveform Approximation)을 기반으로 한 새로운 시그널 인테그리티 검증에 대한 방법을 제시한다. 실제 레이아웃 구조의 불규칙한 배선을 가상 직선 배선으로 변환하고, 이를 TWA 기법을 사용하여 효율적으로 검증하였다. 여기서 제안된 방법은 3차원 구조에 대한 회로 모델을 사용한 일반적인 SPICE 시뮬레이션에 비하여 계산시간을 현저하게 단축시킬 수 있으며, 타이밍의 경우 5% 이내에서, 크로스톡의 경우 10% 이내에서 정확하다는 것을 보인다.

Abstract

A new TWA(Traveling-wave-based Waveform Approximation)-based signal integrity verification method for practical interconnect layout structures which are composed of non-uniform RLC lines with various discontinuities is presented. Transforming the non-uniform lines into virtual uniform lines, signal integrity of the practical layout structures can be very efficiently estimated by using the TWA-technique. It is shown that the proposed technique can estimate the signal integrity much more efficiently than generic SPICE circuit model with 5% timing error and 10% crosstalk error.

Keywords : interconnect, multi-layer, capacitance, signal integrity, TWA

I. 서 론

최근 나노 스케일(nano scale)의 CMOS 공정기술에 근거한 초고집적 회로 및 GHz의 동작주파수를 갖는 고성능 집적회로 설계가 가능해진 반면, 배선에 의한 시그널 인테그리티의 약화는 회로의 성능을 심각하게 저하시키고 있다^[1-3]. 따라서 배선에 대한 정확하고 빠른 시그널 인테그리티 검증 없이 고성능 회로 설계를 한다는 것은 사실상 불가능하다. 특히, 고속 고집적 회로의 배선상에서 발생하는 신호로 인한 커플링 노이즈는 대단히 중요한 문제이다^{[2][3]}. 대부분의 경우, 칩내의 인터

넥트 신호 특성 및 노이즈를 분석할 때 인덕턴스의 영향은 무시하고 단순한 RC 회로모델을 사용하여 이러한 문제를 해결해 왔다^{[4][5]}. 하지만 칩의 동작 속도의 증가에 비례하여 인덕턴스의 영향은 더욱 극명하게 나타나기 때문에, 최근의 고성능 칩 설계시 시그널 인테그리티의 검증을 위해서는 인덕턴스가 지배하는 복잡하고 비이상적인 3차원 RLC 배선망으로 모델하는 것이 현실적이다^[6]. 하지만, 시그널 인테그리티 검증을 위하여 실제적인 배선망(비직선, 불연속, 3차원 배선망)을 단순화 시키지 않고 그대로 취급하는 것은 방대한 계산 시간 및 구조적 복잡도로 인한 정확성 결여 때문에 현실적이지 않다. 따라서, 신속 정확한 RLC 배선망의 신호 검증을 위하여, 원래 구조의 물리적 특성을 유지하면서도 매우 단순화된 직선 모델에 대한 시그널 인테그리티 예측 모델이 개발되어 왔다^[7-13]. 그러나 이들 단순

* 학생회원, ** 정회원, 한양대학교 전자컴퓨터공학
(Hanyang University, Dep. of Electrical and
Computer Engineering)

접수일자: 2005년10월29일, 수정완료일: 2006년7월3일

직선 모델은 실제적인 비직선 불연속 특성을 반영하지 않았기 때문에 예측결과의 오차의 정도를 현실적으로 받아들일 수 없다. 따라서, 실제적인 배선망의 특성을 반영한 가상의 단순화된 직선 배선망으로 변환하여 실제적 배선망에 대한 정확한 시그널 인테그리티를 검증할 필요성이 점점증하고 있다.

본 논문에서는 Green 함수를 이용하여 마이크로스트립/스트립 구조에 대한 배선 파라미터를 계산하고, 단일 층에서의 불규칙한 다중 배선, 다층 구조의 다중배선을 가상 직선 배선 모델로 변환한 후, TWA 기법을 이용하여 효과적으로 RLC 배선망의 응답파형을 예측하는 새로운 시그널 인테그리티 검증 방법을 제시한다.

II. 배선 파라미터의 계산

1. 커패시턴스 파라미터의 계산

배선의 커패시턴스를 계산하기 위한 방법은 근본적으로 미적분형의 포아송 방정식(Poisson's equation)을 풀어냄으로써, 주어진 시스템의 전하량을 구하거나 정전기적인 포텐셜을 구하는 것이다. 이를 이용한 방법의 하나로 MOM(Method of Moment)이 사용되고 있으며, 이는 전하와 포텐셜의 관계를 미지수가 전하인 적분방정식으로 표현하여 푸는 방법이다^[14]. MOM방식은 매우 복잡한 유전체가 아닌 이상 비교적 정확한 커패시턴스 값을 주며, 2차원 구조에서 계산 시간이 매우 빠르기 때문에 CAD(Computer Aided Design)용으로 매우 적합하다^[15]. 본 논문에서는 이러한 MOM 방식을 이용하여 배선 파라미터를 결정하였다. 포아송 방정식은 다음과 같이 적분 방정식의 형태로 표현 가능하다.

$$\Phi(r) = \int_S G(r,r')\sigma(r')dr' \quad (1)$$

여기서 $\Phi(r)$ 은 포텐셜이고 $G(r,r')$ 는 Green 함수이며 $\sigma(r')$ 은 표면 S에 분포하는 전하 밀도이다. 또한 r 은 관찰하고자 하는 지점이고 r' 는 소스가 존재하는 지점이다. Green 함수는 단위 전하에 의해 유기되는 포텐셜을 의미하기 때문에 주어진 도체 시스템에서 쉽게 구할 수 있다.

가. 마이크로스트립 구조에서의 커패시턴스

마이크로스트립 구조는 그림 1(a)와 같다. 즉, 점 (x',y') 에 단위전하가 존재한다고 가정하면, 이 단위 전하에 의해 주변에는 전계가 발생하고, 이로 인한 전

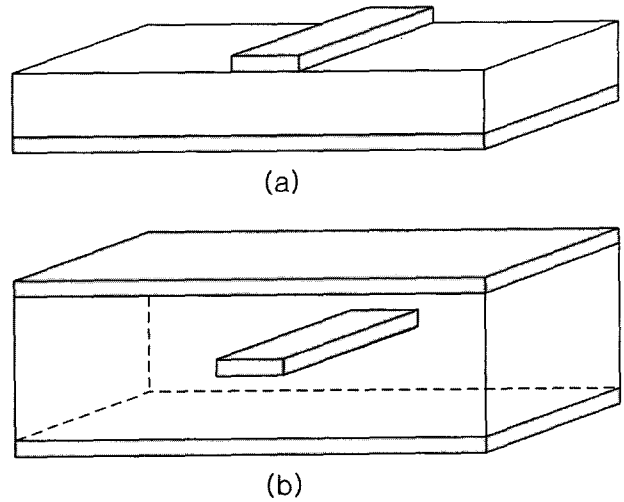


그림 1. (a) 마이크로스트립 배선 구조
(b) 스트립 배선 구조

Fig. 1. (a) The structure of microstrip interconnect.
(b) The structure of strip interconnect.

위를 계산할 수 있다. 직교좌표계에서 점 (x',y') 를 소스 지점(source point)이라 하고 점 (x,y) 를 공간 내 임의의 지점(field point)이라 하면 단위 전하에 의해서 점 (x,y) 에 나타나는 전위는 다음과 같은 Green 함수 $G(x,y|x',y')$ 로 나타낼 수 있다^[16].

$$G(x,y|x',y') = \frac{1}{4\pi} \ln \left\{ \frac{(x-x')^2 + (y+y')^2}{(x-x')^2 + (y-y')^2} \right\} \quad (2)$$

여기서 분모 부분은 그라운드 평면 위쪽에 존재하는 실제 전하에 의해서 나타나는 전위의 성분이고, 분자 부분은 그라운드 평면 아래에 유기되는 영상 전하(image charge)에 의해서 나타나는 전위 성분이다. 따라서 점 (x,y) 에서의 전위는 미소길이 Δl 내에서의 전체 전하량과 Green 함수를 사용하여 식(1)로부터 다음과 같이 다시 표현할 수 있다.

$$\Phi(x,y) = \int_{\Delta l} G(x,y|x',y')\sigma_1(x',y')dl_i \quad (3)$$

따라서 식(3)에 식(2)를 대입하여 풀어냄으로써 마이크로스트립 구조에서의 커패시턴스를 계산할 수 있다.

나. 스트립 구조에서의 커패시턴스

그림 1(b)와 같은 스트립 구조에서도 마이크로스트립과 같은 방법으로 배선 파라미터를 계산할 수 있다. 이때, 그림 2(b)와 같이 두 개의 그라운드 평면으로 인해 무한개의 영상전하가 존재하게 된다. 이를 고려하면

Green 함수는 다음과 같이 표현된다^[17].

$$G(x, y|x', y') = -\frac{1}{4\pi} \sum_{n=-\infty}^{\infty} \ln \left\{ \frac{(x-x')^2 + (y-y'-2n)^2}{(x-x')^2 + (y+y'-2n)^2} \right\} \quad (4)$$

이 식은 두 그라운드 평면의 y좌표가 0과 1일 때를 가정하여 계산된 식이므로, 이것을 임의의 그라운드 평면에 대한 식으로 표현하면 다음과 같다.

$$G(x, y|x', y') = -\frac{1}{4\pi} \sum_{n=-\infty}^{\infty} \ln \left\{ \frac{(x-x')^2 + (y-y'-2n(2h+t))^2}{(x-x')^2 + (y+y'-2n(2h+t))^2} \right\} \quad (5)$$

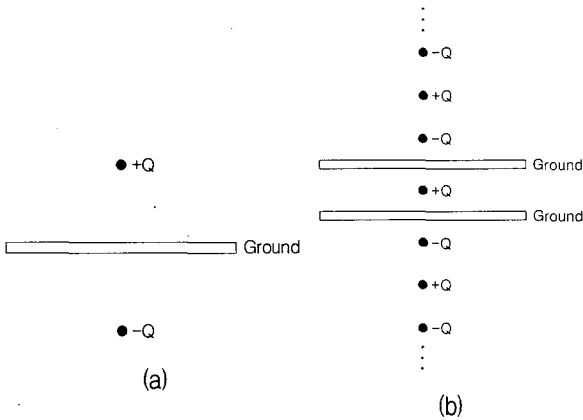


그림 2. (a) 마이크로스트립에서의 영상전하 (b) 스트립에서의 영상전하

Fig 2. (a) Image charge of microstrip. (b) Image charge of strip.

여기서 h 는 그라운드와 도체사이의 거리, t 는 도체의 두께를 나타낸다. 이 식을 사용함으로써 스트립 구조에서의 커패시턴스를 계산할 수 있다.

2. 인덕턴스 파라미터의 계산

다중 배선의 인덕턴스는 근사적으로 quasi-TEM을 가정하면, 단일 전송선은 다음의 관계를 만족한다^[18].

$$LC = \mu \quad (6)$$

이때, L 은 배선의 단위 길이당 인덕턴스이며 C 는 배선의 단위 길이당 커패시턴스이다. 또한, 다중 배선에서도 마찬가지로 다음의 관계가 성립한다.

$$[L][C] = \mu\epsilon [I] \quad (7)$$

따라서, 앞에서 계산한 커패시턴스로부터 배선의 인덕

턴스를 근사적으로 결정할 수 있다.

III. TWA Technique

TWA (Traveling-wave-based Waveform Approximation)는 주파수영역에서는 저주파 특성을, 시간영역에서는 고주파 특성을 고려함으로써, RLC 배선의 스텝 입력 신호 응답 파형을 기존의 dominant-pole 근사화 기법(1~3 pole 근사화 기법)보다 정확하면서도 빠르게 예측하는 방법이다. 즉, 단순 다중 폴(multi-pole) 근사화 기법은 인덕턴스 값이 클 때 정확한 파형을 예측할 수 없는 반면 TWA는 5% 이내에서 정확히 파형을 예측한다^[10]. 단일 배선의 전달함수는 주파수 영역에서 다음과 같이 표현된다.

$$H(s) = \frac{1}{(1 + Z_s/Z_L)\cosh(\gamma l) + (Z_s/Z_0 + Z_0/Z_L)\sinh(\gamma l)} \quad (8)$$

따라서, 스텝입력에 대한 주파수 응답은 다음과 같다.

$$V(s) = \frac{1}{s} \cdot H(s) \quad (9)$$

하지만, 이것을 시간영역의 식으로 변환하는 것은 매우 어려운 일이기 때문에 TWA는 전달함수의 3-pole 근사화를 통해 일차적으로 복잡한 응답함수를 간단화한다. $V(s)$ 의 3-pole 근사식은 다음과 같다.

$$V_{03}(s) = \frac{1}{s} \cdot \frac{1}{1 + b_1s + b_2s^2 + b_3s^3} \quad (10)$$

하지만, 3-pole 근사식은 배선의 저주파 특성은 매우 잘 표현하지만, 고주파 특성은 정확히 반영하지 못하므로, 시간영역 근사화를 통해서 이를 보완하지 않으면 안된다. 배선을 통해서 전달된 파는 부하에서 반사하게 된다. 하지만, 배선의 부하는 커패시턴스로 모델링되므로 이로 인한 현상을 고려해야 한다. TWA는 이를 “effective time of flight(t_{f0})”로 모델링 하고, 배선의 실제 “time of flight(t_f^-)”와 함께 다음과 같이 정의한다.

$$t_f^- = \sqrt{LC}, \quad t_{f0} = \sqrt{L(C+C_L)} \quad (11)$$

여기서, L 과 C 는 차례로 배선의 인덕턴스와 커패시턴스이다. 식 (11)을 이용하면 시간영역에서의 전자파 특성을 정확하게 모델링할 수 있으며^[10], TWA는 이를 이용하여 선형 근사영역과 RC 근사영역으로 나누고, 다음과 같이 구간별로 신호 응답을 얻는다.

선형 영역 : $(2n - 1)t_{f0} - \delta \leq t \leq (2n - 1)t_{f0} + \delta$

$$v_0(t) \approx \sum_{n=1}^{\infty} \left[\frac{v_{03}((2n-1)t_{f0} - v_{03}(2(n-1)t_{f0} + t_f^-))}{t_{f0} - t_f^-} \right. \\ \left. \cdot (t - 2(n-1)t_{f0}) + v_{03}((2n-1)t_{f0}) \right] \\ \left. \cdot [u(t - 2(n-1)t_{f0} - t_f^-) - u(t - 2nt_{f0} + t_f^-)] \right] \quad (12)$$

RC 영역 : $(2n - 1)t_{f0} + \delta \leq t \leq (2n + 1)t_{f0} - \delta$

$$V_0(t) \approx \sum_{n=1}^{\infty} [-2V_{03}((2m-1)t_{f0}) - V_{03}(2(n-1)t_{f0} + t_f^-) + \\ W_n \left(1 - \exp\left(\frac{2nt_{f0} - t_f^- - t}{\tau}\right) \right) \times [u(t - 2(n-1)t_{f0} - t_f^-) \\ - u(t - 2nt_{f0} + t_f^-)]] \quad (13)$$

여기서,

$$w_n = \frac{v_{03}(2nt_{f0} + t_f^-) - 2v_{03}((2n-1)t_{f0})}{1 - \exp\left(-\frac{2t_f^-}{\tau}\right)} \\ + \frac{v_{03}(2(n-1)t_{f0} + t_f^-)}{1 - \exp\left(-\frac{2t_f^-}{\tau}\right)} \quad (14)$$

TWA는 단일배선에서의 신호파형을 예측하므로 다중배선으로의 확장이 필요하며, 이는 일반화된 TWA를 통하여 구현 가능하다^[11]. 일반화된 TWA는 n 개의 다중배선을 배선의 고유행렬(eigenmatrix)을 이용하여 디커플링 함으로써, n개의 독립적인 고유모드(eigenmode)를 고려하는 문제로 변환한다. 다중 배선의 고유행렬을 $[S]_m$ 이라고 할 때, 각각의 고유모드들의 커패시턴스, 인덕턴스는 다음과 같다.

$$[C_m] = [S]_n^T [C] [S]_n, [L_m] = [S]_n^{-1} [L] ([S]_n^{-1})^T \quad (15)$$

이를 이용하여 다중배선의 신호파형을 얻을 수 있다.

IV. 가상 직선 배선으로의 변환

1. 단일 층의 비직선 불규칙 구조

실제 IC의 배선구조는 직선이라기 보다는 비직선 구조이며, 배선 사이의 거리도 일정하지 않다. 일반적으로는 3차원 구조로서 더욱 복잡하게 얽혀있지만, 단순화 과정은 유사하므로, 여기서는 2차원 구조에 대하여 설명한다. 그림 3(a)와 같은 불규칙 다중 배선은 그림

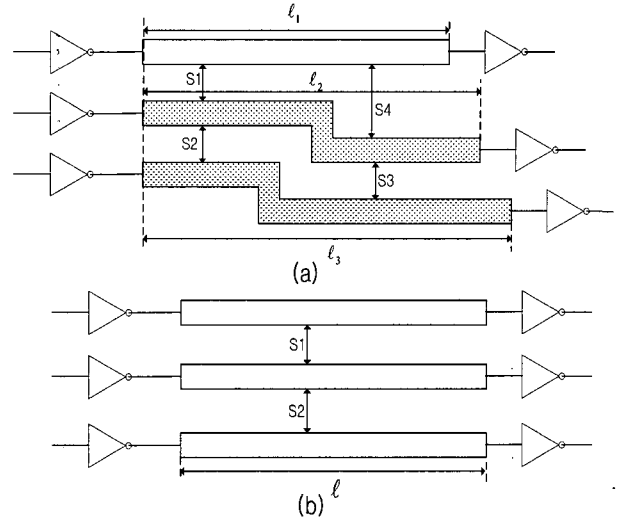


그림 3. 비직선 불규칙 회로와 가상 직선 배선

- (a) 실제 비직선 불규칙 배선 ($S_1 \neq S_2 \neq S_3 \neq S_4, l_1 \neq l_2 \neq l_3$)
- (b) 가상 직선 배선 ($S_1 = S_2, l_1 = l_2 = l_3 = l$)

Fig. 3. Non-uniform transmission line circuit and its virtual straight lines.

- (a) actual non-uniform lines ($S_1 \neq S_2 \neq S_3 \neq S_4, l_1 \neq l_2 \neq l_3$)
- (b) equivalent virtual-straight lines ($S_1 = S_2 = S_3 = S_4, l_1 = l_2 = l_3 = l$)

3(b)와 같은 가상 직선 배선으로 변환할 수 있으며, 이 과정은 다음과 같다. 그림 4에서와 같이 꺾임이 나타나는 곳을 하나의 구역으로 설정하여 각각의 구역에서는 항상 직선의 배선이 되도록 배선을 분할한다.

이들 구역에서의 배선 파라미터는 각각 다른 값을 가지므로, 배선 전체의 파라미터 값은 다음과 같이 각 부분을 더한 값으로 나타낼 수 있다.

$$C_{ij} = \sum_{k=1}^n C_{ij}^k \quad (16)$$

$$L_{ij} = \sum_{k=1}^n L_{ij}^k \quad (17)$$

여기서 k는 k번째 구역을 의미하고, n은 전체 구역의 개수를 의미하며, 이는 배선의 구조에 대한 함수로써 결정된다. 이렇게 결정된 파라미터는 그림 4에서 나타난 바와 같이 배선의 길이(l)로 나눔으로써 가상적인 직선 배선의 파라미터로 변환된다. 따라서, 이들 가상 직선 배선 파라미터는 다음과 같이 결정된다^[6].

$$C_{ij}^{straight} = \frac{C_{ij}}{l_{virtual}} = \frac{1}{l_{virtual}} \sum_{k=1}^n C_{ij}^k \quad (18)$$

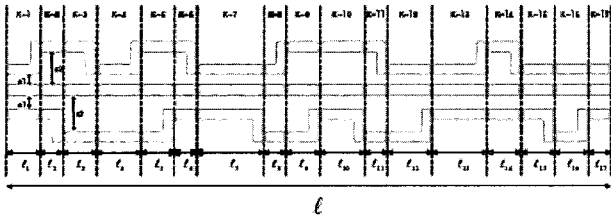


그림 4. 비직선 배선의 구조
Fig. 4. Structure of non-uniform interconnect.

$$L_{ij}^{straight} = \frac{L_{ij}}{l_{virtual}} = \frac{1}{l_{virtual}} \sum_{k=1}^n L_{ij}^k \quad (19)$$

2. 차폐층을 갖는 다층 배선 구조

그림 5와 같이 차폐층을 갖는 다층 배선 구조에서 직접적인 방법을 통해 커패시턴스를 추출한다는 것은 그 구조의 복잡성으로 인해 현실적으로 불가능하므로 가능한 한 간소화 되어야 한다. 실제 배선 구조에서 배선의 양전하에 상응하는 대부분의 음전하는 이웃하는 배선에 분포한다. 따라서 관심이 있는 배선의 양전하에 상응하는 음전하를 많이 갖는 배선을 제외한 다른 배선들은 시스템으로부터 소거될 수 있기 때문에 구조는 실질적으로 간략화 될 수 있다. 따라서 그림 5와 같은 복잡한 배선 구조는 그림 6과 같이 (j±2)층을 평판 그라운드

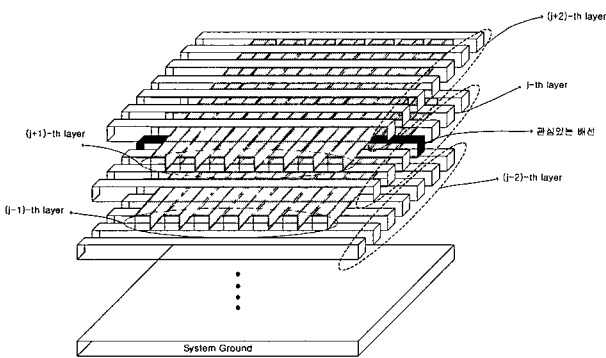


그림 5. 차폐층을 갖는 일반적인 다층배선구조
Fig. 5. A general multi-layer interconnect.

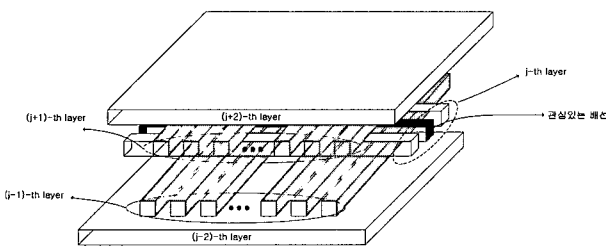


그림 6. 그림 5의 구조에 대한 간소화된 구조
Fig. 6. The simplified structure of the Fig. 5.

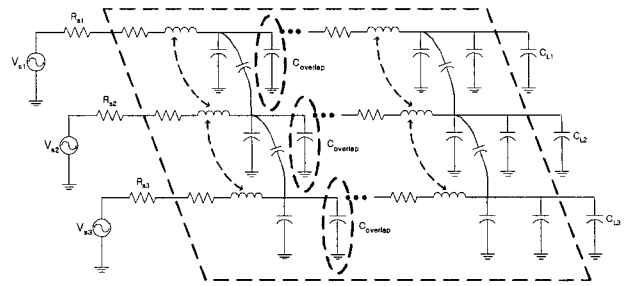


그림 7. 다른 층 배선과의 중첩커패시턴스(Coverlap)의 회로 모델링
Fig. 7. Circuit modeling of multi-layer overlap capacitance.

로 처리함으로써 현저하게 간소화 시킬 수 있다. 하지만 그림 5와 같은 복잡한 배선 구조가 그림 6과 같이 간소화되었다 하더라도 (j±1)층의 배선이 관심 있는 배선에 직교하므로 여전히 2차원 방법을 적용할 수 없다. 그러나 다른 층 내에 존재하는 배선 사이의 중첩커패시턴스(C_{overlap})를 그림 7과 같이 그라운드 커패시턴스로 모델링함으로써 2차원 방법을 적용할 수 있다.

여기서 중첩커패시턴스는 다음과 같이 구할 수 있다.

$$C_{ov-upper} = \sum_{i=1}^n (C_i^{up} \cdot x) \quad (for \ x = 0, 1, 2) \quad (20)$$

$$C_{ov-lower} = \sum_{i=1}^n (C_i^{low} \cdot x) \quad (for \ x = 0, 1, 2) \quad (21)$$

여기서, x는 스위칭 인자이고 목적배선과 (j±1)층의 배선들의 스위칭 방향이 같을 때 x=0, 스위칭이 없을 때 x=1, 스위칭 방향이 반대일 때 x=2로 결정되며, C_{ov-upper}는 상층 배선과의 중첩커패시턴스, C_{i^{up}}는 2차원을 적용하여 추출한 상층배선과의 커플링 커패시턴스, C_{ov-lower}는 하층 배선과의 중첩커패시턴스, C_{i^{low}}는 2차원을 적용하여 추출한 하층배선과의 커플링 커패시턴스를 의미한다. 따라서, 가상 직선 배선의 자체 커패시턴스는 다음과 같이 계산된다.

$$C_{eff} = C_s + C_{ov-upper} + C_{ov-lower} \quad (20)$$

여기서 C_s는 (j±1)층을 고려하지 않은 자체 커패시턴스이다.

그림 6에서처럼 전송선들이 직각을 이루는 경우 상호 인덕턴스는 무시할 수 있다. 실제로 자속은 전류가 흐르는 방향의 직각인 면에 형성되고 각 층의 전송선들의 전류 방향은 서로 직각이기 때문에 각 전류는 서로

의 자속에 의해 형성된 면을 투과하지 않는다. 따라서 선간에 커플링 되는 자속은 매우 작기 때문에 상호 인덕턴스는 거의 형성되지 않는다^[19].

V. 해석적 파형 근사화

앞의 절에서 언급한 방법들은 모두 레이아웃(layout) 으로부터 불규칙 다중 배선의 출력파형을 얻기 위한 일련의 과정이다. 이 과정은 다음과 같이 정리된다.

- ① 불규칙 다중 배선으로부터 Green 함수를 이용하여 배선 파라미터 계산
- ② 계산된 파라미터로부터 가상 직선 배선의 파라미터 추출
- ③ 모드해석(modal analysis)을 통해 고유모드 분리
- ④ TWA를 이용한 고유모드의 파형 예측
- ⑤ 각 모드(mode)를 합성하여 출력파형 완성

위의 과정을 통하여 최초의 목적인 불규칙 다중 배선의 신호응답을 얻게 된다. 이러한 과정을 도식적으로 간단히 정리하여 그림 8에 나타내었다.

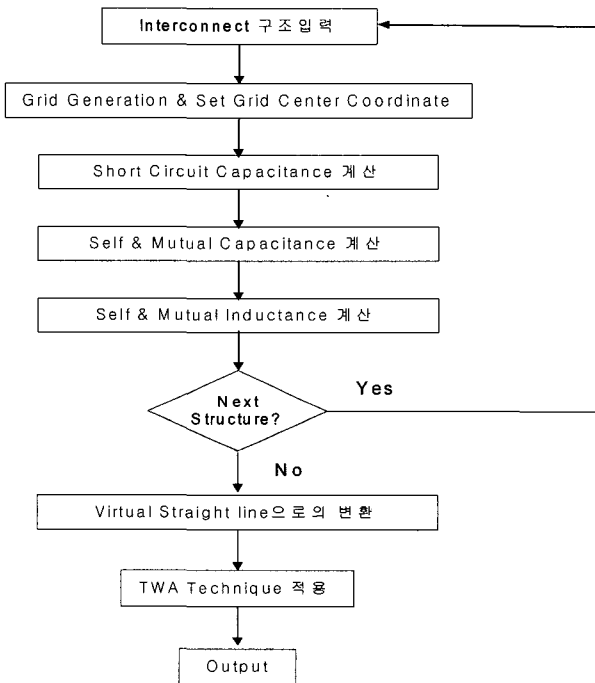


그림 8. Model의 신호파형 예측 순서도
Fig. 8. The flowchart to estimate signal response.

VI. 배선 모델의 검증

논문에서 제시한 모델을 검증하기 위하여 그림 9 및

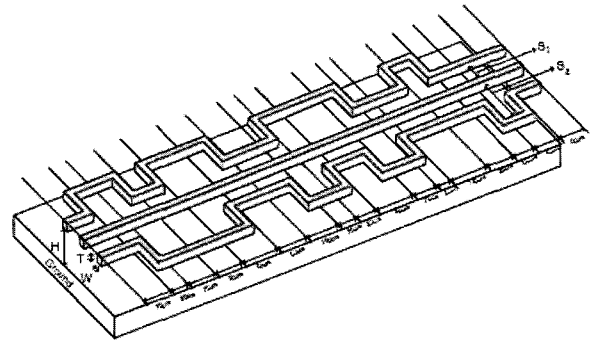


그림 9. 불규칙 비직선 배선의 검증구조
Fig. 9. Model verification structure of non-uniform interconnect.

표 1. 불규칙 비직선 모델 검증에 사용된 배선의 파라미터

Table 1. Interconnect parameter for non-uniform model.

배선수	L[mm]	W[nm]	T[nm]	H[nm]	S ₁ [nm]	S ₂ [nm]
3	0.2~2	107~205	181.9~430.5	181.9~430.5	107~205	4 S ₁

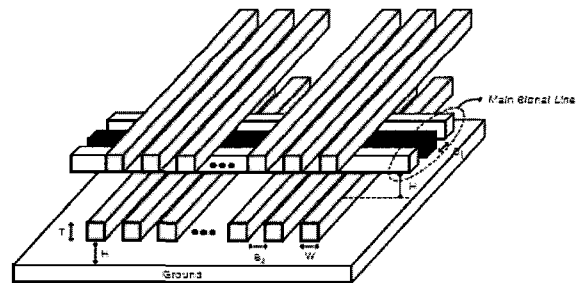


그림 10. 다층 배선의 검증구조
Fig. 10. Model verification structure of multi-layer interconnect.

그림 10과 같은 구조를 이용하였다. 배선의 크기는 ITRS에 제시된 90nm 공정기술을 바탕으로 결정하였으며^[1], 그에 따른 배선의 파라미터는 표 1, 표 2와 같다. 또한, 표 3은 3차원 구조에 대한 회로 모델을 사용한 SPICE와 논문에서 제시한 모델의 시뮬레이션 시간을 비교한 것이다.

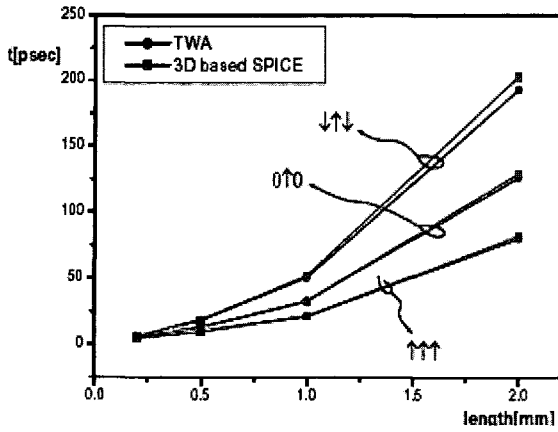
표 3에서 보이듯 논문에서 제시한 모델이 3차원 기반의 SPICE 모델보다 약 230배 정도 빠르다. 이와 같이 구성된 배선에 대하여, 논문에서 제시한 모델과 SPICE를 이용하여 파형을 예측하고 결과를 그림 11, 12, 13, 14에 보였다. 그림 11은 길이가 1mm인 단일층의 비직선 불규칙 배선 구조에서 입력조건에 따른

표 2. 다층 모델 검증에 사용된 배선의 파라미터
Table 2. Interconnect parameter for multi-layer model.

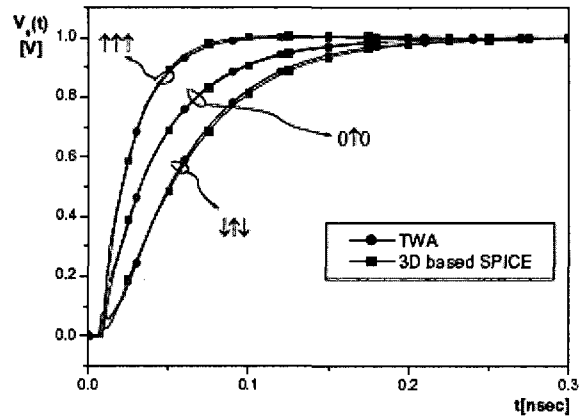
배선수	L[mm]	W[nm]	T[nm]	H[nm]	S ₁ [nm]	S ₂ [nm]
3	0.2~2	107~205	181.9~430.5	181.9~430.5	107~205	500~1000

표 3. 시뮬레이션 시간 비교
Table 3. Simulation run-time comparison.

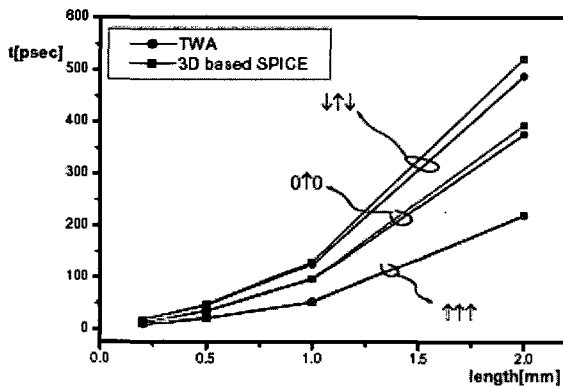
구조	SPICE[sec]	TWA[sec]
그림 9	54.35	0.235
그림 10	53.5	0.235



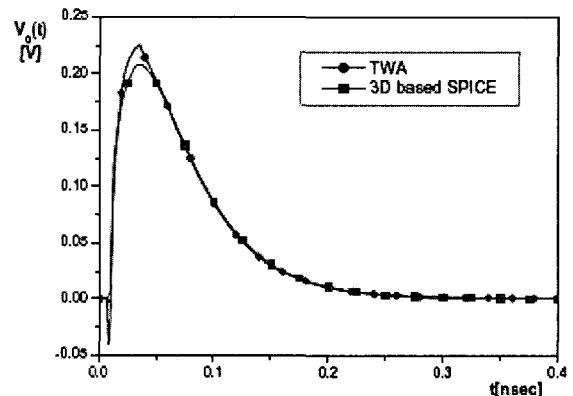
(a)



(a)



(b)



(b)

그림 12. (a) 입력조건에 따른 50% 지연시간

(b) 입력조건에 따른 90% 지연시간

Fig. 12. (a) 50% delay time corresponding to input switching pattern. (b) 90% delay time corresponding to input switching pattern.

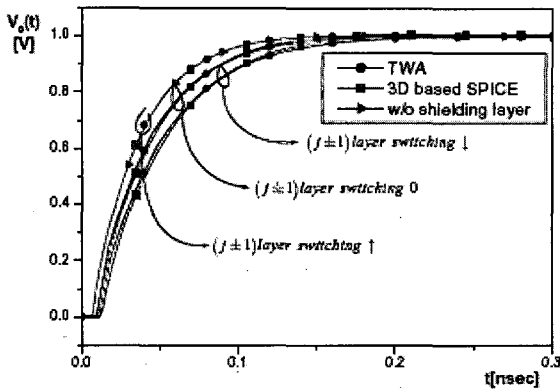
그림 11. (a) 불규칙 배선 구조의 입력조건에 따른 신호 응답 (b) 크로스톡

Fig. 11. (a) Signal response of non-uniform interconnect structure corresponding to input switching pattern. (b) Crosstalk.

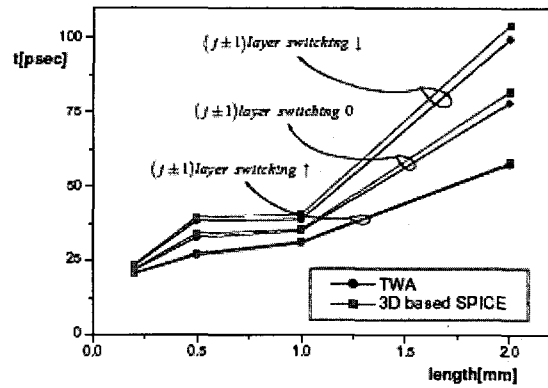
SPICE 응답파형과 TWA에 기반한 응답파형을 비교한 것이다. 그림에서 보인 바와 같이 입력조건에 따른 신호응답은 5% 이내로 정확함을 알 수 있으며, 크로스톡(crosstalk)은 10% 이내의 오차를 갖는다. 그림 12에서는 그림 9 구조의 배선 길이에 따른 모델의 50% 지연시간과 90% 지연시간을 SPICE 결과와 TWA결과를 비교하였다. 그림에서 보인바와 같이 본 논문에서 제시한 TWA와 3차원을 기반으로 한 SPICE 결과와 5%

이내에서 일치한다.

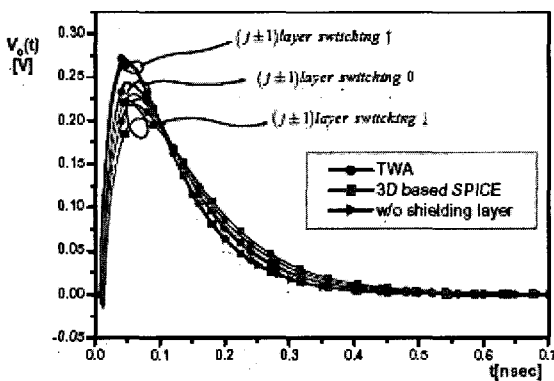
그림 13은 그림 10의 구조에서 ($j \pm 1$)층 배선들의 입력조건에 따른 파형을 SPICE의 신호응답과 크로스톡을 각각 비교한 것이다. 그림에서 보듯이 신호응답은 5% 이내로 거의 일치하며, 크로스톡은 10% 이내의 오차를 갖는다. 그림 14는 배선의 길이에 따른 50% 지연시간 및 90% 지연시간을 SPICE와 비교하였다. 이 결과 역시 5% 이내에서 정확하다. 이러한 결과들은, 본 논문에서



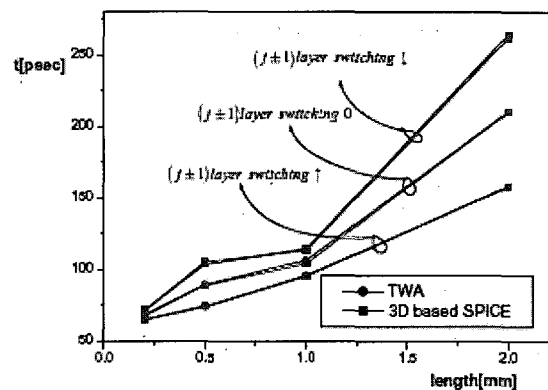
(a)



(a)



(b)



(b)

그림 13. (a) 다층 배선구조의 신호응답
(b) 크로스톡

Fig. 13. (a) Signal response of multi-layer interconnect structure. (b) Crosstalk.

제시한 모델이 SPICE 결과와 비교하여 매우 빠르며, 정확히 예측하고 있다.

VII. 결 론

본 논문에서는, 다층 구조의 다중 배선구조와 불연속 접을 갖는 불규칙한 구조로 이루어진 배선에서, 신호 파형을 신속 정확히 예측하기 위한 배선 모델을 제시하였다. 불규칙한 구조의 배선을 가상 직선 배선으로 변환하여 TWA 기법을 적용함으로써 배선에서의 신호파형을 예측하였다. 본 논문에서 제시한 방법은 SPICE와 비교하여 타이밍의 경우 5% 이내에서, 크로스톡의 경우 10% 이내에서 정확함을 보였다. 또한, 계산시간은 SPICE에 비해 약 230배 이상 빠르다는 것을 보였다.

그림 14. (a) $(j \pm 1)$ 층 배선의 입력조건에 따른 50% 지연시간 (b) $(j \pm 1)$ 층 배선의 입력조건에 따른 90% 지연시간

Fig. 14. (a) 50% delay time corresponding to input switching pattern of $(j \pm 1)$ layer interconnect. (b) 90% delay time corresponding to input switching pattern of $(j \pm 1)$ layer interconnect.

참 고 문 헌

- [1] *The International Technology Roadmap for Semiconductors*, SIA, 2003.
- [2] A. Deutsch et al., "On-chip wiring design challenges for gigahertz operation," *Proc. IEEE*, vol. 89, pp. 529-555, Apr. 2001.
- [3] F. Broyde and E. Clavelier, "A new method for the reduction of crosstalk and echo in multi-conductor interconnects," *IEEE Trans. Circuits Syst. I*, vol. 52, pp. 405-416, Feb. 2005.
- [4] T. Sakurai, "Closed-form expressions for interconnection delay, coupling, and crosstalk in VLSI's," *IEEE Trans. Electron Devices*, vol.

- 40, pp. 118-124, Jan. 1993.
- [5] A. J. Bhavnagarwala et al., "Generic models for interconnect delay across arbitrary wire-tree networks," in *Proc. ITC*, 2000, pp. 129-131.
- [6] W. Jin et al., "Non-uniform multi-layer IC interconnect transmission line characterization for fast signal transient simulation of high-speed / high-density VLSI circuits," *IEICE Trans. Electron.*, vol. E82-C, pp. 955-966, June 1999.
- [7] L. T. Pillage and R. A. Rohrer, "Asymptotic waveform evaluation for timing analysis," *IEEE Trans. Computer-Aided Design*, vol. 9, pp. 352-366, Apr. 1990.
- [8] A. B. Kahng and S. Muddu, "An analytical delay model for RLC interconnects," *IEEE Trans. Computer-Aided Design*, vol. 16, pp. 1507-1514, Dec. 1997.
- [9] Y. I. Ismail et al., "Equivalent Elmore delay for RLC trees," *IEEE Trans. Computer-Aided Design*, vol. 19, pp. 723-730, June 2002.
- [10] Y. Eo, J. Shim, and W. R. Eisenstadt, "A traveling-wave-based waveform approximation technique for the timing verification of single transmission lines," *IEEE Trans. Computer-Aided Design*, vol. 21, pp. 723-730, June 2002.
- [11] Y. Eo and W. R. Eisenstadt, "Generalized traveling-wave-based waveform approximation technique for the efficient signal integrity verification of multicoupled transmission line system," *IEEE Trans. Computer-Aided Design*, vol. 21, pp. 1489-1497, Dec 2002.
- [12] R. Venkatesan et al., "Compact distributed RLC interconnect models-part III: transients in single and coupled lines with capacitive load termination," *IEEE Trans. Electron Devices*, vol. 50, pp. 1081-1093, Apr. 2003.
- [13] G. Chen and E. G. Friedman, "An RLC interconnect model based on Fourier analysis," *IEEE Trans. Computer-Aided Design*, vol. 24, pp. 170-183, Feb. 2005.
- [14] M. Sadiku, Numerical techniques in electromagnetics, CRC press, 1992.
- [15] A. E. Ruehli and P. A. Brennan, "Capacitance models for integrated circuit metallization wires," *IEEE J. Solid-State Circuits*, vol. sc-10, pp. 530-536. Dec. 1975.
- [16] W. T. Weeks, "Calculation of coefficients of capacitance of multiconductor transmission lines in the presence of a dielectric interface." *IEEE Trans. Microwave Theory Tech*, vol. MTT-18, pp. 35-43, Jan. 1970.
- [17] D. W. Kammler, "Calculation of characteristic admittances and coupling coefficients for strip transmission lines," *IEEE Trans. Microwave Theory Tech*, vol. MTT-16, pp. 925-937, Nov. 1968.
- [18] C. R. Paul, *Analysis of Multi-conductor Transmission Lines*, John Wiley & Sons, 1994.
- [19] C. K. Cheng, J. Lillis, S. Lin and N. Chang, *Interconnect Analysis and Synthesis*, John Wiley & Sons, 2000.

 저 자 소 개



조 찬 민(학생회원)
 2004년 한양대학교 전자컴퓨터
 공학부 학사 졸업.
 2006년 한양대학교 전자전기 제어
 계측공학과 석사 졸업.
 2006년 현재 삼성전자 반도체
 총괄 System LSI사업부
 근무 중.

<주관심분야 : 고속회로 설계>

어 영 선(정회원)
 현재 한양대학교 전자컴퓨터공학부 정교수