

단일층 다결정 실리콘 Flash EEPROM 소자의 제작과 특성 분석

Fabrication and Characteristic Analysis of Single Poly-Si Flash EEPROM

권영준¹, 정정민¹, 박근형^{2a}
(Young-Jun Kwon¹, Jung-Min Jung¹, and Keun-Hyung Park^{2a})

Abstract

In this paper, we propose the single poly-Si Flash EEPROM device with a new structure which does not need the high voltage switching circuits. The device was designed, fabricated and characterized. From the measurement results, it was found that the program, the erase and the read operations worked properly. The threshold voltage was 3.1 V after the program in which the control gate and the drain were biased with 12 V and 7 V for 100 μ S, respectively. And it was 0.4 V after the erase in which the control gate was grounded and the drain were biased with 11 V for 200 μ S. On the other hand, it was found that the program and the erase speeds were significantly dependent on the capacitive coupling ratio between the control gate and the floating gate. The larger the capacitive coupling ratio, the higher the speeds, but the larger the area per cell. The optimum structure of the cell should be chosen with the consideration of the trade-offs.

Key Words : Flash, EEPROM, Embedded, Memory

1. 서 론

최근 Flash EEPROM이 "SOC" embedded-memory로 크게 각광을 받고 있음은 주지의 사실이다[1,2]. 하지만, 일반적인 Flash EEPROM은 표준 CMOS 공정이 아닌 double-poly 공정을 사용하여 제작되기 때문에 아직까지 embedded-memory로는 제한적으로 사용되어 왔다. 이러한 문제의 해결 방안으로 single-poly Flash EEPROM 소자가 크게 각광을 받고 있다. 이는 이 소자가 표준 CMOS 공정을 사용하여 제작될 수 있기 때문이다[3].

일반적으로, single-poly Flash EEPROM 소자의 데이터 프로그램은 CHE(channel hot electron injection) 방식 또는 FN(Fowler-Nordheim) 터널링 방식이 사용되고, 데이터 소거에는 FN 터널링 방식이 사용되고 있다[4-6]. 따라서, 데이터 프로그램 시에는 드레인에 7~9 V, 제어게이트에는 9~12 V, 데이터 소거 시에는 드레인에 10~12 V가 인가된다. 또한, 이러한 고전압을 펄스 형태로 인가하기 때문에 많은 고전압 스위칭 회로가 필요하게 된다. 이러한 고전압 스위칭 회로의 설계가 single-poly Flash EEPROM의 개발에 심각한 장애 요인이 되어 왔다[7,8].

본 논문에서는 이러한 문제를 해결하기 위하여 기존의 single-poly Flash EEPROM 셀에 선택 트랜지스터(select transistor)를 한 개 추가하여 저전압 스위칭 회로만을 사용하여 데이터 프로그램과 소거가 가능한 새로운 구조의 single-poly Flash EEPROM 소자를 제안하고, 실제로 설계 및 제작한 후에 전기적 특성을 측정하여 결과를 논의하였다.

본 논문에서는 이러한 문제를 해결하기 위하여 기존의 single-poly Flash EEPROM 셀에 선택 트랜지스터(select transistor)를 한 개 추가하여 저전압 스위칭 회로만을 사용하여 데이터 프로그램과 소거가 가능한 새로운 구조의 single-poly Flash EEPROM 소자를 제안하고, 실제로 설계 및 제작한 후에 전기적 특성을 측정하여 결과를 논의하였다.

1. 충북대학교 반도체공학과
2. 충북대학교 전기전자컴퓨터공학부
(충북 청주시 흥덕구 개신동 12)
a. Corresponding Author : khp@chungbuk.ac.kr
접수일자 : 2006. 3. 28
1차 심사 : 2006. 5. 18
심사완료 : 2006. 6. 9

2. 제안된 새로운 셀의 구조 및 기본 동작 원리

본 논문에서 제안한 새로운 single-poly Flash

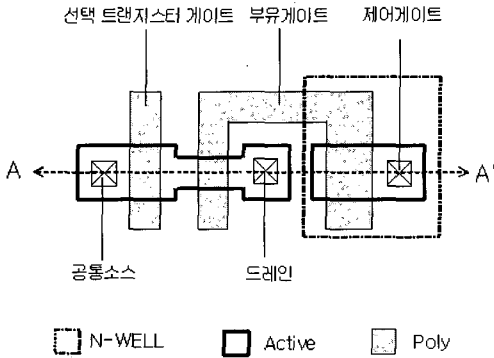


그림 1. Single-poly Flash EEPROM 셀 레이-아웃.
 Fig. 1. Layout of single-poly Flash EEPROM cell.

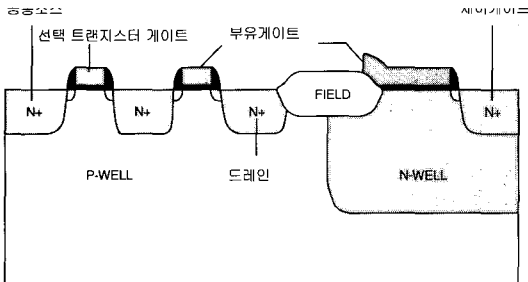


그림 2. 그림 1의 A-A' 선을 따라 그린 셀 단면도.
 Fig. 2. Cross-sectional view of the cell along the line A-A' in the Fig. 1.

EEPROM 셀의 레이-아웃이 그림 1에 나타나 있다. 그림에서 볼 수 있는 바와 같이, 기존에 널리 알려진 소자의 공통소스(common source) 쪽에 한 개의 선택 트랜지스터가 추가되어 있다.

그림 2는 그림 1에서 A-A' 점선을 따라 그린 단면도이다. 제어게이트는 N-well에 형성되었고, 공통소스와 드레인은 N+ 접합에 형성되었다.

제안된 셀의 기본 동작원리를 살펴보면, 데이터 프로그램은 CHE 방식에 의해 수행하였고, 데이터 소거는 부유게이트와 제어게이트 사이의 FN 터널링에 의해 수행하였다. 프로그램, 소거, 읽기 동작 시의 각 단자의 전압 인가 조건을 아래 표 1에서 정리하였다.

3. 실험 과정

소자는 Cadence 레이-아웃 도구인 Virtuoso를

표 1. 동작모드에 따른 각 단자의 전압인가 조건.
 Table 1. Voltage bias conditions of the terminals for each operation mode.

동작 모드	제어 게이트	드레인	공통 소스	선택트랜지스터 게이트
프로그램	9~12 V	7~9 V	접지	5 V 펄스
소거	접지	10~12 V	접지	floating
읽기	2 V	1 V	접지	5 V 펄스

표 2. 셀 구조의 스플릿 테이블.
 Table 2. Split table of cell structure.

	셀 A	셀 B	셀 C
부유게이트와 N-well active 영역 간의 over-lap 면적 (μm^2)	0.5	2	8
부유게이트와 제어게이트 사이의 정전용량 정합비율 (계산 값)	0.33	0.67	0.89

사용하여 설계되었고, Hynix 0.35 μm 표준 CMOS 공정을 사용하여 제작되었다. 이 때, 게이트 산화막의 두께는 약 85 Å 이었고, 선택 트랜지스터의 채널 길이 및 폭은 각각 0.5 μm , 1.0 μm 이었다. 반면에, 셀의 채널 길이 및 폭은 똑같이 1.0 μm 이었다. 또한, 부유게이트와 N-well의 active 영역 간의 over-lap 면적의 넓이가 각각 0.5 μm^2 또는 2 μm^2 또는 8 μm^2 를 갖는 3개의 다른 소자들을 제작하였다(표 2). 이는, 부유게이트와 제어게이트 사이의 정전용량 정합비율(capacitive coupling ratio)이 어떻게 프로그램과 소거 동작에 영향을 미치는가를 분석하기 위함이었다.

4. 실험 결과 및 분석

그림 3은 셀 C를 초기상태와 소거 또는 프로그램 한 후에 측정된 I-V 특성을 보여주고 있다. 소거는 드레인과 공통소스 단자는 접지하고 선택 트랜지스터 게이트는 floating시킨 상태에서 제어 게이트에 11 V를 200 μs 동안 인가하여 수행하였고, 프로그램은 제어게이트에 12 V, 드레인에 7 V,

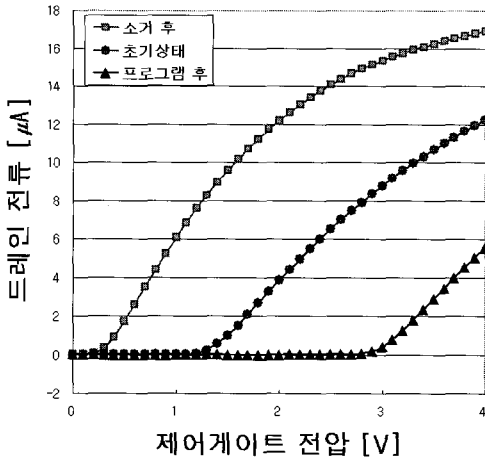


그림 3. 셀 C를 소거 또는 프로그램한 후에 각각 측정된 셀의 I-V 특성.
 Fig. 3. I-V characteristics of cell C measured after erase and program.

공통소스는 접지된 상태에서 선택트랜지스터 게이트에 5 V를 100 μs 동안 인가하여 수행하였다.

그림 3에서 볼 수 있는 바와 같이, 초기상태와 프로그램 및 소거 후의 I-V 특성이 아주 양호하였다. 셀의 문턱전압은 초기 상태에서는 약 1.4 V였으나, 소거 후에는 약 0.4 V, 프로그램 후에는 약 3.1 V로 변화하였다. 이는 셀의 프로그램과 소거 동작이 양호하게 이루어지고 있음을 말해주고 있다. 반면에, 선택트랜지스터 게이트를 접지시켜놓고 앞에서와 똑같은 조건으로 프로그램을 수행하였을 때는 전혀 문턱전압이 변하지 않았다. 이는, 프로그램 시에 모든 셀의 제어게이트, 드레인, 공통소스를 프로그램 조건에 의해 정해진 일정한 전압들을 인가한 후에 프로그램을 수행하고자 하는 각 셀의 선택트랜지스터 게이트에 5 V 펄스를 인가해서 각 셀을 하나씩 차례대로 프로그램을 하는 것이 가능하다는 것을 알 수 있다. 이 점이 본 논문에서 제안한 새로운 아이디어이고, 이 측정 결과는 그 아이디어가 아주 유효함을 보여주고 있다.

그림 4는 세 가지 셀들의 DC 프로그램 특성을 보여주고 있다. 여기서는 공통소스와 기판은 접지하고, 제어게이트에 9 V를 인가한 후 드레인 전압을 0 V로부터 10 V까지 증가시키면서 드레인 전류를 측정하였다. 그림에서 볼 수 있는 바와 같이, 제어게이트에 9 V를 인가하면서 프로그램을 하는 경우에는 프로그램이 시작되는 드레인 전압은 각

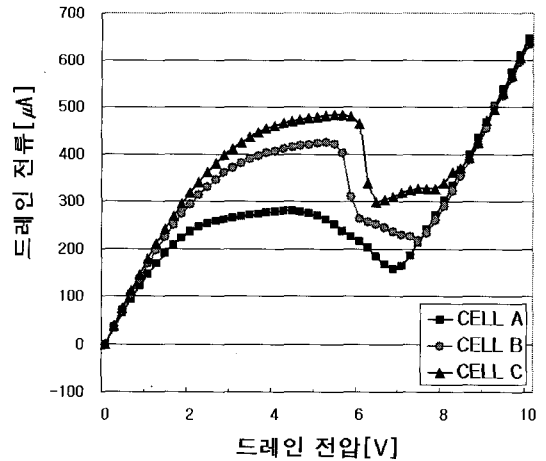


그림 4. 셀의 DC 프로그램 특성.
 Fig. 4. DC program characteristics of the cells.

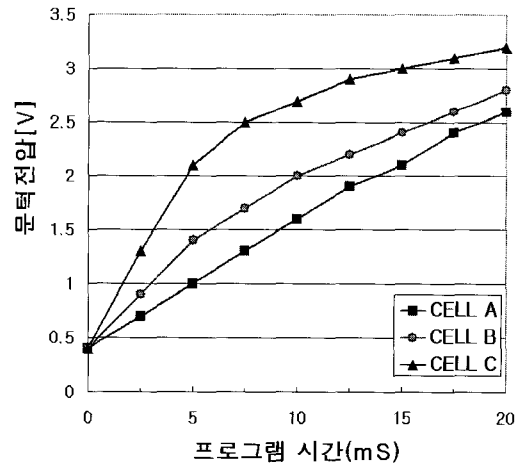


그림 5. 셀의 프로그램 특성.
 Fig. 5. Program characteristics of the cells.

각 셀 A는 5.9 V, 셀 B는 5.4 V, 셀 C는 4.9 V 임을 알 수 있다. 이러한 셀들 사이의 차이는 정전용량 정합비율의 차이로부터 비롯된 것으로 판단된다.

그림 5는 프로그램 시간에 따른 문턱전압의 변화를 보여주고 있다. 이때의 각 단자의 인가전압은 선택트랜지스터 게이트에 5 V, 제어게이트에 9 V, 드레인에 7.5 V이었다. 그림 5에서 볼 수 있듯이, 셀 A에서 셀 C로 갈수록 프로그램 속도가 증가하였다. 이러한 결과는 그림 4의 결과와 서로 일치하는 것으로 부유게이트와 제어게이트 사이의 정전

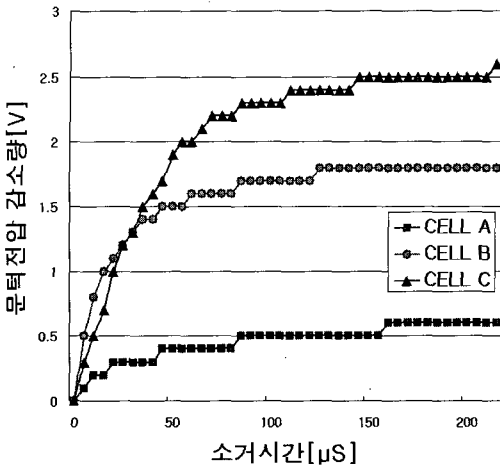


그림 6. 셀의 소거특성.
Fig. 6. Erase characteristics of the cells.

용량 정합비율이 프로그램에 크게 영향을 미치는 것을 보여주는 것이다.

그림 6은 프로그램을 통하여 각 셀의 문턱전압을 동일한 맞추어 놓은 후에, 10.2 V를 인가하고 소거 시간을 10 μs 씩 증가하면서 그때마다 문턱전압을 측정된 결과를 그래프로 나타낸 것이다. 이 그래프에서 볼 수 있는 바와 같이 소거 초기에는 문턱전압이 빠르게 감소하다가 150 μs 이후에는 saturation 상태로 되었다. 이것은 셀 소거 동작의 가장 바람직한 특성이다. 셀에 따라 saturation되는 문턱전압감소량이 다른 것은 셀 별로 정전용량 정합비율이 다르기 때문인 것으로 판단된다.

5. 결론

본 논문에서는 세계 최초로 고전압 스위칭 회로가 필요 없는 새로운 구조의 단일층 다결정 Flash EEPROM 소자를 설계, 제작하고 전기적 특성을 측정된 결과를 분석하고 논의하였다. 실험 결과, 데이터 쓰기, 데이터 소거 그리고 데이터 읽기 동작 특성이 아주 우수한 것으로 나타났다.

또한, 예상한 바와 같이 제어게이트와 부유게이트 사이의 정전용량 정합비율이 높을수록, 프로그램 특성과 소거 특성이 모두 좋아졌으나, 반면에

셀의 크기가 증가하는 단점이 있는 것을 볼 수 있었다. 따라서 소자 설계 시 이 두 가지 점을 모두 고려하여 최적의 정합비율을 선택하는 것이 필요하다. 본 논문에서 제안한 새로운 Flash EEPROM 소자는 앞으로 "SOC" 분야에서의 임베디드 메모리로서 크게 각광받을 것으로 판단된다.

감사의 글

이 논문은 2005년도 충북대학교 학술연구지원사업의 연구비지원에 의하여 연구되었음.

참고 문헌

- [1] P. Pavan, R. Bez, P. Olivo, and E. Zanoni, "Flash memory cells - an overview", *Proceeding of the IEEE*, Vol. 85, No. 8, p. 1248, 1997.
- [2] S. Wolf, "Silicon processing for the VLSI Era volume 2 - Process integration", Lattice Press, p. 633, 1990.
- [3] W. Brown and E. Brewer, "Nonvolatile Semiconductor Memory Technology," Wiley-IEEE Press, p. 30, 1997.
- [4] B. Weinberg, "On tunneling in metaloxide-silicon structures", *J. Appl. Phys.*, Vol. 53, Iss. 7, p. 5052, 1982.
- [5] C. Richard, "Trimming analog circuits using floating-gate analog MOS memory", *IEEE J. Solid-State Circuits*, Vol. 24, No. 6, p. 1569, 1989.
- [6] R. Jacob Baker, H. Li, and D. Boyce, "CMOS Circuit Design, Layout and Simulation", IEEE Press, p. 469, 1998.
- [7] B. K. Yoshikawa. "Comparison of current flash EEPROM erasing methods", *IEDM Tech. Dig.*, p. 595, 1992.
- [8] K. Tamer San, "Effects of erase source bias on flash EPROM device reliability", *IEEE Trans.*, Vol. 42, No. 1 p. 150, 1995.
- [9] 황현상, 박근형, "플래시 메모리기술", 지성출판사, 15권, 1호, p. 127, 2001.