

논문 2006-43SD-6-8

# 고속 CMOS A/D 변환기를 위한 기준전압 흔들림 감쇄 회로

( A DC Reference Fluctuation Reduction Circuit for High-Speed  
CMOS A/D Converter )

박 상 규\*, 황 상 훈\*, 송 민 규\*

( Sang Kyu Park, Sang Hoon Hwang, and Min Kyu Song )

## 요 약

고속 Flash, Pipelining type의 CMOS A/D 변환기에서 Sampling frequency가 고주파로 올라감에 따라 Clock Feed-through 현상, Kick-back 현상 등의 영향으로 DC Reference voltage 흔들림 현상이 심화되고 있다. 뿐만 아니라 측정 시 외부 Noise가 Reference voltage에 적지 않은 영향을 미친다는 것을 감안 할 때 High speed A/D converter에서 Reference fluctuation 감쇄 회로는 반드시 필요하다. 기존의 방식은 단순히 커패시터를 이용했으나 면적이 크고 효과가 좋지 않다는 단점이 있다. 본 논문에서는 Transmission Gate를 이용한 reference fluctuation 감쇄 회로를 제안하고 흔들림 현상이 크게 개선되었음을 정량적 분석 및 측정을 통하여 증명하였다. 제안하는 회로의 측정을 위해 6bit의 해상도를 갖는 2GSPS CMOS A/D 변환기를 설계 및 제작하였다. 제작된 A/D 변환기를 이용하여 Reference 전압이 40mV의 흔들림이 있음에도 원하는 범위 내에서 동작함을 측정하였다. 본 연구에서는 1.8V 0.18 $\mu$ m 1-poly 5-metal N-well CMOS 공정을 사용하였고, 소비전력은 145mW로 Full Flash 변환기에 비해 낮았다. 실제 제작된 칩의 SNDR은 약 36.25dB로 측정되었고, INL과 DNL은 각각  $\pm 0.5$  LSB 이하로 나타났다. 유효 칩 면적은 977 $\mu$ m  $\times$  1040 $\mu$ m 이었다.

## Abstract

In high speed flash type or pipelining type A/D Converter, the faster sampling frequency is, the more the effect of DC reference fluctuation is increased by clock feed-through and kick-back. When we measure A/D Converter, further, external noise increases reference voltage fluctuation. Thus reference fluctuation reduction circuit must be needed in high speed A/D converter. Conventional circuit simply uses capacitor but layout area is large and it's not efficient. In this paper, a reference fluctuation reduction circuit using transmission gate is proposed. In order to verify the proposed technique, we designed and manufactured 6bit 2GSPS CMOS A/D converter. The A/D converter is based on 0.18 $\mu$ m 1-poly 5-metal N-well CMOS technology, and it consumes 145mW at 1.8V power supply. It occupies chip area of 977 $\mu$ m  $\times$  1040 $\mu$ m. Experimental result shows that SNDR is 36.25 dB and INL/DNL is  $\pm 0.5$ LSB when sampling frequency is 2GHz.

**Keywords :** A DC Reference Fluctuation Reduction Circuit, A/D Converter, Clock feed-through, Kick-back

## I. 서 론

CMOS 공정 기술이 발달하고 소자의 크기가 계속 축소되면서 고속, 고성능 A/D 변환기의 설계가 가능해졌

다. 고속 A/D 변환기의 대표적인 구조로는 Flash type 과 Pipelining type이 있으며 현재 보고 된 Flash type의 A/D 변환기로는 6bit 4GSPS A/D 변환기<sup>[1]</sup>와 6-b 1.6GSPS A/D 변환기<sup>[2]</sup>, Pipelining type으로 보고 된 A/D 변환기로는 10bit 150MSPS A/D 변환기<sup>[3]</sup>와 12bit 50MSPS A/D 변환기<sup>[4]</sup>등이 있다. 그러나 Clock speed 가 올라가면서 고속 A/D 변환기의 성능이 크게 저하되고 있는 바, 그 요인은 크게 두 가지로 볼 수 있다. 첫

\* 정희원, 동국대학교 반도체학과  
(System IC Design Lab. School of Semiconductor  
Science, Dongguk University )  
접수일자: 2005년3월22일, 수정완료일: 2006년5월30일

번째는 Timing error이다. Timing error의 4가지 주요인으로는 Sampling clock의 jitter, Sampling clock의 rising time과 falling time의 제한, Layout 상의 clock signal과 input signal간의 timing 문제로 요약 할 수 있다. 그러나 이러한 문제들은 주의 깊은 Layout을 통해 해결가능하며 현재 많은 부분 개선되고 있다.<sup>[5]</sup> 두 번째로는 양자화 신호의 Distortion이다. Distortion을 야기하는 요인 중 가장 큰 영향을 미치는 것은 DC 기준 전압의 흔들림이다. Clock speed가 올라감에 따라 Clock feed-through와 Kick-back 현상에 의해 내부 회로의 Fluctuation이 커지고 이것이 기준 전압에 큰 영향을 미침으로써 A/D 변환기의 중요한 성능지수인 INL (Integral Non-Linearity)과 DNL(Differential Non-Linearity)을 저해하는 주요인이 된다.<sup>[5][6][7]</sup> 따라서 기준 전압 흔들림을 감쇄시키는 것이 고속 CMOS A/D 변환기에서 성능을 향상시키는 중요한 요인으로 등장하였다.

기준 전압 흔들림을 감소시키기 위해 기존의 A/D 변환기에서는 단순히 커패시터를 사용한다. 커패시터를 사용함으로써 간단하게 기준 전압 흔들림 현상을 줄일 수 있는 반면 좋은 성능을 내기위해 큰 커패시터를 사용할 경우 Layout 크기가 커패시터 값에 비례하여 커지기 때문에 큰 면적을 차지한다는 단점을 가지고 있다. 기존 방법의 단점을 보완하기 위해 본 논문에서는 Transmission Gate를 사용하였으며 기존에 커패시터를 사용했을 때보다 성능 및 면적에 있어서 우수함을 증명하였다.

본 논문의 내용을 요약하면 다음과 같다. II장에서는 기준전압 흔들림 현상에 대하여 기술한다. III장에서는 제안하는 기준전압 흔들림 감쇄 회로에 대한 정성적 및 정량적 분석을 한 후 모의실험을 통해 성능을 평가한다. 그리고 IV장에서는 제안하는 회로 검증에 위한 A/D 변환기의 레이아웃 및 측정 결과에 대해서 기술하고, 마지막으로 V장에서는 제안하는 기준전압 감쇄 회로에 대한 내용을 요약 표를 통해 정리한다.

## II. 기준전압 흔들림 현상

### 2-1. 기준전압 흔들림 현상

일반적으로 기준전압의 형성은 그림 1.(a)와 같이 일정한 값의 저항열을 이용하여 Reference Top 과 Reference Bottom에 DC 전압을 가하고 저항사이의 node에서 입력신호와 비교할 기준전압을 생성하게 된다. 이 때 비교기의 Clock에 의해 Switch가 off가 되고

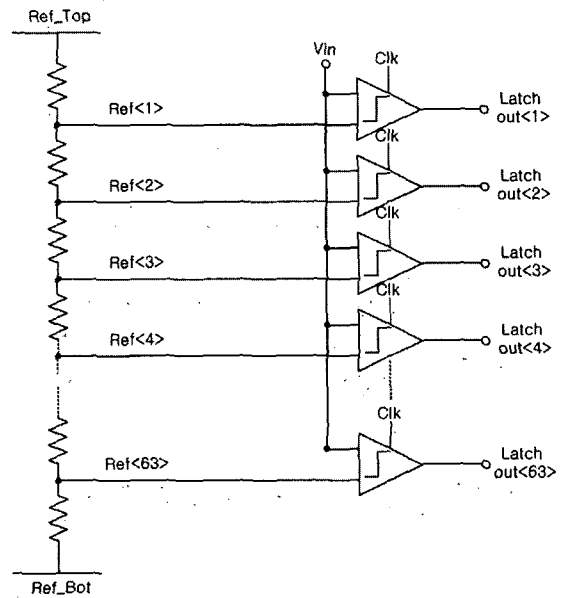


그림 1. (a) 저항열에 의한 기준전압 형성  
Fig. 1. (a) Reference Voltage generation using resistor ladder.

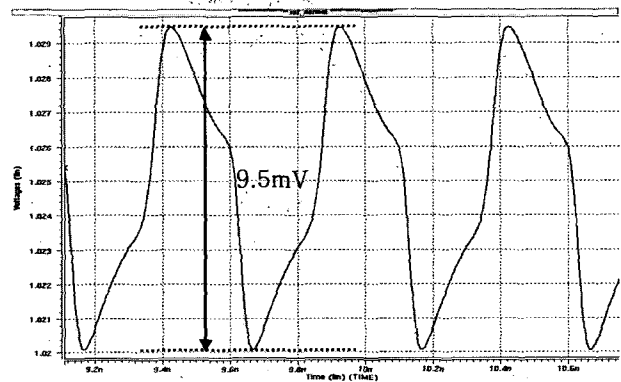


그림 1. (b) 2GHz의 Clock을 인가하고, 저항열만 달았을 때의 기준전압 흔들림  
Fig. 1. (b) Reference fluctuation only using resistor ladder at 2GHz clock.

Channel Charge Injection에 의한 Kick-back 현상이 발생하여 비교기 내부에 흔들림이 발생한다. Kick-back에 의한 영향은 비교기의 입력단을 거쳐 기준전압에 까지 영향을 미치며 이것이 기준전압 흔들림 현상을 발생시키게 된다. 그림 1.(b)는 Kick-back 현상에 의하여 기준전압이 흔들리는 것을 보여주는 모의실험 결과로 2GHz의 Clock을 인가했을 때, 약 10mV의 흔들림이 있다. 또한, 설계단계를 넘어 측정 환경을 고려할 경우, Pad를 타고 들어오는 외부 Noise같은 외부 요인 또한 기준전압 흔들림 현상에 큰 영향을 미친다. 본 논문에서는 내부적인 문제뿐만 아니라 외부요인(측정 환경)까지도 고려 한 기준전압 감쇄회로를 제안한다.

2-2. 기존의 기준전압 흔들림 감소 방법

기존의 A/D 변환기에서는 그림 2.(a)와 같이 커패시터를 사용하여 기준전압 흔들림 현상을 감소 한다.<sup>[8]</sup> 기존의 방법은 단순히 일차 RC LPF(Low Pass Filter)의 효과를 사용하여 기준전압 흔들림 현상을 감소시켜주는 방법이다. 이 경우 커패시터의 값이 클수록 성능은 좋아지는 반면 Layout 면적은 커진다는 단점이 있다. 그림 2.(b)에서는 2GHz의 Clock을 인가했을 때 1pF의 커패시터를 사용함으로써 기준전압 흔들림이 감소되는 것을 보여준 모의실험 결과이다. 그림 2.(b)에서 점선은 커패시터를 사용하지 않은 경우로 약 10mV 흔들리는

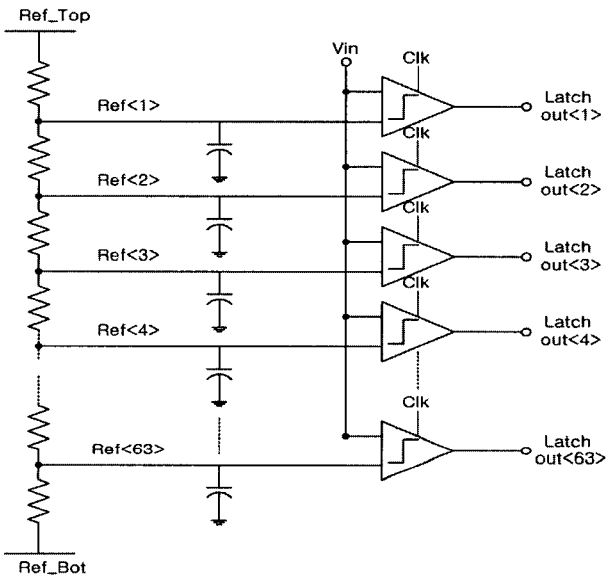


그림 2. (a) 커패시터를 이용한 기존의N 흔들림 감소 방법

Fig. 2. (a) Reference fluctuation reduction using Capacitor(1pF).

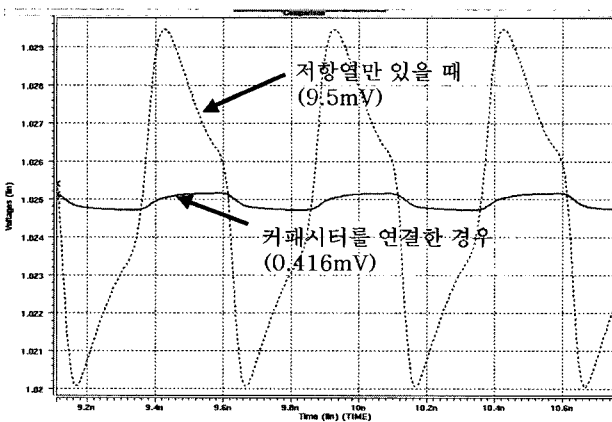


그림 2. (b) 2GHz의 Clock을 인가하고 커패시터를 사용했을 때와 사용하지 않았을 때의 비교 모의 실험

Fig. 2. (b) Comparison between using capacitor and only using resistor ladder at 2GHz clock.

반면 실선은 커패시터를 사용한 것으로 약 0.42mV가 흔들려, 흔들림이 약 1/23로 감소함을 알 수 있다.

III. 제안하는 기준전압 흔들림 감소 회로

3-1. 제안하는 회로

그림 3은 본 연구에서 제안하는 기준전압 흔들림 감소 회로이다. Transmission Gate(TG) Switch를 이용했으며 PMOS gate에는 Gnd를 연결시키고 NMOS gate에는 Vdd를 연결시켜 Switch가 항상 On이 되도록 하였다. 이 때 MOS의 Gate, Drain, Source 사이에서 발생하는 기생 커패시터 성분과 On 저항 성분을 이용하여 기준전압 흔들림 현상은 기존의 방법에 비해 더욱 효율적으로 감소한다.

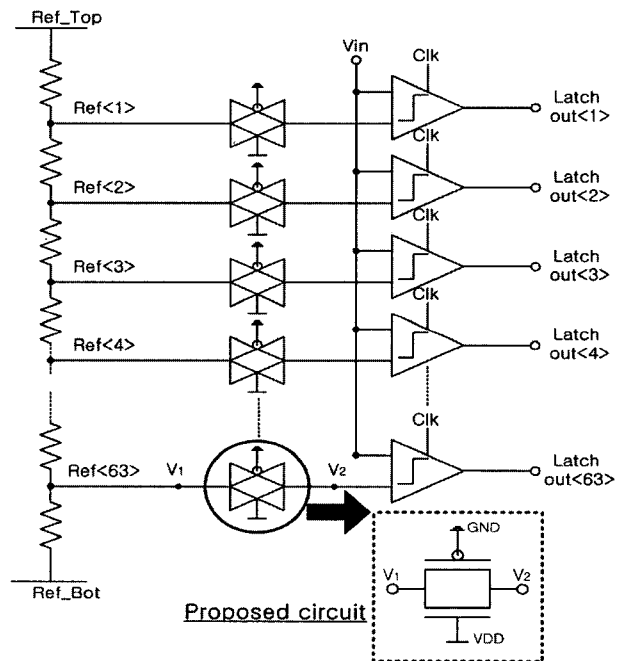


그림 3. 제안하는 기준전압 감소 회로

Fig. 3. Proposed Reference voltage reduction circuit

3-2. 제안하는 회로의 등가적 모델

그림 4.(a)는 비이상적인 Switch에 대한 Model을 나타내었다. 이상적인 Switch의 특성은 Gate 전압에 의해 on이 되었을 경우는 on 저항이 0이 되어야한다. 반면에 off가 되었을 경우는 무한대의 on 저항 값을 갖아야 하나 실제적인 Model에서는 그렇지 못하다. 따라서 이러한 Switch의 가장 중요한 특성 중에 하나인 on 저항과 Switch 각각 Terminal 사이의 Parasitic Capacitor를 본 논문에 이용한다. 그림 4.(b)는 본 논문에서 제안하는

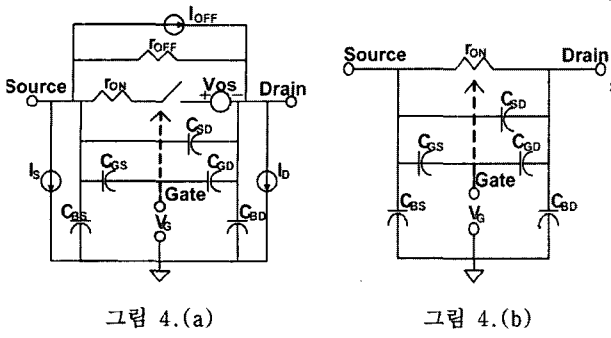


그림 4.(a)

그림 4.(b)

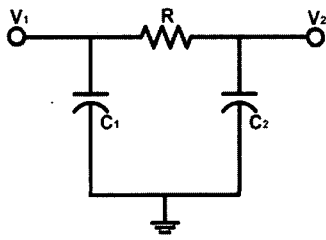


그림 4.(c)

그림 4. (a) 비이상적인 Switch의 Model  
 (b) Switch가 on 되었을 때의 분석  
 (c) Transmission Gate의 최종 Model  
 Fig. 4. (a) Model for a Non-ideal switch.  
 (b) Analysis while Switch is On.  
 (c) Final Model of Transmission Gate.

Transmission Gate의 상태로 항상 on 저항과 기생 커패시터가 존재한다. 그림 4.(b)를 바탕으로 하여 최종적인 Model은 그림 4.(c)와 같이 두개의 커패시터와 한개의 저항으로 최종 정리 할 수 있다. (최종 Model을 이하 CRC-Model이라 하겠다.)<sup>[9]</sup>

3-3. 제안하는 회로의 분석

제안하는 회로에 대한 분석은 두 가지로 나누어 설명한다. 외부적인 요인에 의해 흔들리는 기준전압을 내부에서 감쇄시켜주는 것에 대한 분석과 내부 Clock의 Kick-back 현상에 의해 흔들리는 기준전압을 감쇄시켜주는 것에 대한 분석이다.

3-3-1. 외부 Noise에 대한 분석(v1 to v2)

그림 5에서 v1은 기준전압이 인가되는 node, v2는 Comparator의 입력 node라고 정의한다. 그림 5(a)는 앞서 설명한 CRC-Model을 이용하여 v1 node에서 v2 node를 바라봤을 때의 소 신호 분석 이다. 여기서 R1은 저항열을 modeling한 것이고 저항열에 의해 형성되는 기준전압은 v1이다. 테브닝 법칙을 이용하면 최종적으로 그림 5(b)의 Model이 됨을 알 수 있다. 이 경우 외부 Noise에 의해 기준전압이 흔들리게 되고 제안한 회

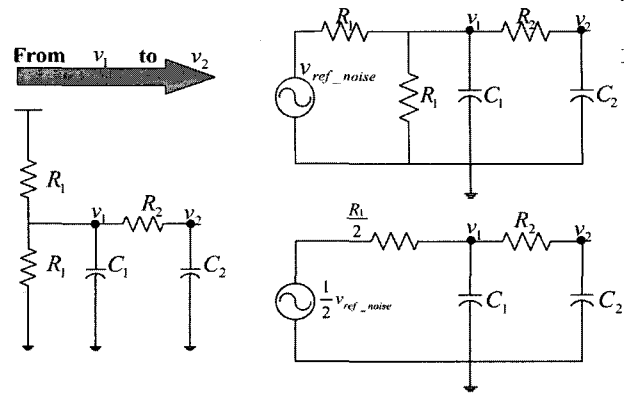


그림 5.(a)

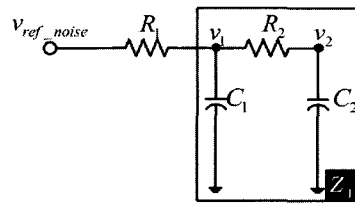


그림 5.(b)

그림 5. (a) 기준전압에서 내부 node를 바라봤을 때의 Modeling 과정  
 (b) 그림 5(a)의 최종 Model  
 Fig 5. (a) Modeling Process from reference voltage to Comparator input node.  
 (b) Final model of fig 5(a).

로의 Model(CRC-Model)을 적용하게 되면 Vref\_noise node가 흔들릴 때 v2 node는 2차 RC LPF 작용에 의해 흔들림 현상을 크게 감쇄 시킬 수 있다. 다음은 이에 대한 수식적 증명이다.

$$v_2 = v_1 \frac{\frac{1}{sC_2}}{R_2 + \frac{1}{sC_2}} = v_1 \frac{1}{1 + sR_2C_2}$$

$$Z_1 = \left( \frac{1}{sC_1} \right) \parallel \left( R_2 + \frac{1}{sC_2} \right) = \frac{1 + sR_2C_2}{s^2R_2C_1C_2 + s(C_1 + C_2)}$$

$$v_1 = v_{ref\_noise} \frac{Z_1}{R_1 + Z_1} = v_{ref\_noise} \frac{1 + sR_2C_2}{s^2R_1R_2C_1C_2 + s(R_1C_1 + R_2C_2 + R_1C_2) + 1}$$

$$\frac{v_2}{v_{ref\_noise}} = \frac{1}{s^2R_1R_2C_1C_2 + s(R_1C_1 + R_2C_2 + R_1C_2) + 1}$$

위 증명의 마지막 항은 2차 RC LPF의 전달함수가 됨을 알 수 있다.

3-3-2. 내부 Noise에 대한 분석(v2 to v1)

Clock Speed가 높아짐에 따라서 비교기의 clock에 의한 Kick-back noise는 더욱 기준전압에 큰 영향을 미치

게 된다. v2(Comparator input node)에서 v1(reference voltage node)을 바라봤을 때에 대한 분석이다.

그림 6(a)는 앞서 설명한 CRC-Model과 비교기 입력 MOS에 대한 소 신호 분석이다. Clock feed-through의 영향이 비교기의 Output을 타고 입력단 MOS에 영향을 미치며 결과적으로 v2 node에 Noise 성분이 타고 들어간다. 다음은 이에 대한 정량적 증명이다.

$$I_d = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_2 - V_{th})^2 (1 + \lambda V_{ds}) \quad (1)$$

$$Gm = \frac{\partial I_D}{\partial V_2} = \mu_n C_{OX} \frac{W}{L} (V_2 - V_{TH}) = \sqrt{2 \mu_n C_{OX} \frac{W}{L} I_b} \quad (2)$$

식<1> 전류방정식의  $v_{ds}$  가 Kick-back의 영향으로 변함에 따라서 전류  $I_d$  역시 변하게 된다.  $Gm$  은  $v_2$  에 비례하고  $I_d = Gm \cdot v_2$  에  $Gm$  식을 대입하면  $v_2$  는  $\frac{1}{i_d^2}$  에 비례함을 알 수 있다.

$$Gm \propto v_2 (V_{gs} = V_{GS} + v_{gs})$$

$$i_d = \mu_n C_{ox} \frac{W}{L} (v_{gs} - v_{th}) \cdot v_{gs}$$

$$\therefore i_d = \mu_n C_{ox} \frac{W}{L} (v_2 - v_{th}) \cdot v_2$$

$$\Rightarrow v_2 = \frac{v_{th}}{2} + \frac{\sqrt{(A \cdot v_{th})^2 + 4A \cdot i_d}}{2}$$

$$\Rightarrow v_2 \propto i_d^{-\frac{1}{2}} \quad \left( A = \mu_n C_{ox} \frac{W}{L} \right)$$

즉, Kick-back에 의해 전류(i)가 흔들리면 v2 전압역시 흔들려 비교기의 입력 Gate에 영향을 미치게 된다. 그림 6(b)는 v2(비교기의 입력)에서 v1(기준전압)을 바라봤을 경우에 대한 소 신호 해석이며 다음과 같이 수식으로 증명 할 수 있다.

$$\begin{aligned} Z_1 &= R_2 + \frac{1}{sC_2} = \frac{sR_2C_2 + 1}{sC_2} \\ \frac{V_1}{V_2} &= \frac{\frac{1}{sC_1}}{Z_1 + \frac{1}{sC_1}} = \frac{\frac{1}{sC_1}}{\frac{sR_2C_2 + 1}{sC_2} + \frac{1}{sC_1}} \\ &= \frac{sC_1}{s^2R_2C_1C_2 + s(C_1 + C_2)} \\ &= \frac{C_1}{sR_2C_1C_2 + C_1 + C_2} \\ &= \frac{1}{sR_2C_2 + 1 + \frac{C_2}{C_1}} \end{aligned}$$

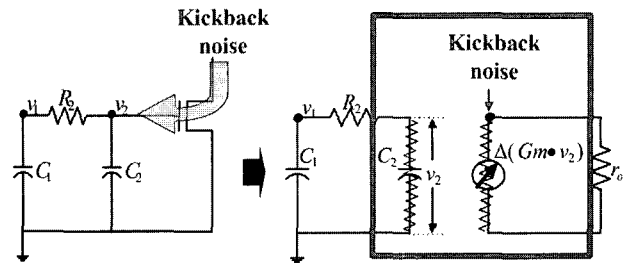


그림 6.(a)

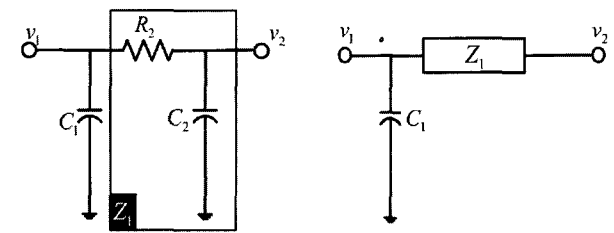


그림 6.(b)

그림 6. (a) Kick-back 영향에 관한 소 신호 분석  
(b) v2에서 v1을 바라봤을 때의 소신호 분석  
Fig. 6. (a) Small signal analysis about kick-back.  
(b) Small signal analysis from v2 to v1.

위 수식에서 알 수 있듯이 최종 전달함수는 1차 RC LPF의 형태가 된다. 결론적으로 제안하는 기준전압 흔들림 감쇄 회로는 외부 Noise에 대해서는(v1 node에서 v2 node를 바라봤을 때) 2차 LPF의 역할을 하고 Kick-back에 의한 내부 Noise(v2 node에서 v1 node를 바라봤을 때)에 대해서는 1차 LPF의 역할을 하고 있음을 정량적으로 증명 할 수 있다. 결론적으로 상호보완적으로 외부 Noise와 Kick-back Noise에 의한 흔들림을 서로 잡아주는 역할을 한다.

### 3-4. SPICE 결과 및 Layout 면적 비교

모의실험을 통하여 제안하는 회로의 성능 평가 및 Modeling의 일치여부에 대하여 확인해보았다. 그림 7은 앞서 증명한 CRC-Model이 제안하는 회로의 성능과 일치하는지의 여부를 확인하기 위해 2GHz의 Clock을 인가했을 때의 모의실험 결과이다. 실선은 CRC-Model에 의해 나온 파형으로 약 0.2mV 정도이며 점선은 제안한 회로를 달고 모의실험을 한 결과로서 약 0.21mV이다. 그림에서 볼 수 있듯이 두 파형이 동일하게 움직이고 있음을 알 수 있다. 즉 제안하는 회로가 CRC-Model에 의한 해석과 같이 상호보완적인 LPF 작용을 하고 있다는 것을 모의실험을 통해 확인하였다. 그림 8은 커패시터를 달았을 때와 제안하는 회

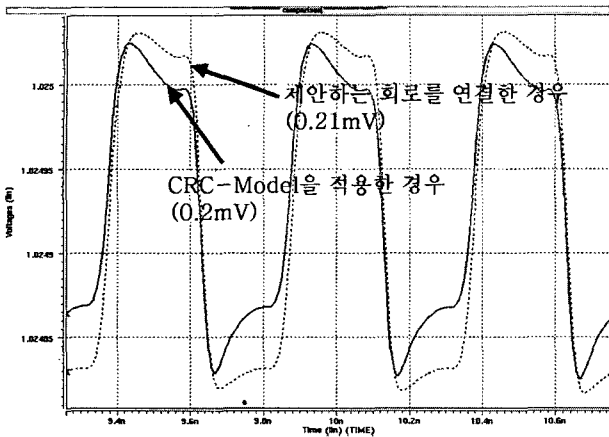


그림 7. 2GHz의 Clock에 대한 제안하는 회로와 CRC-Model의 모의실험

Fig. 7. Simulation of Proposed circuit and CRC-Model at 2GHz clock.

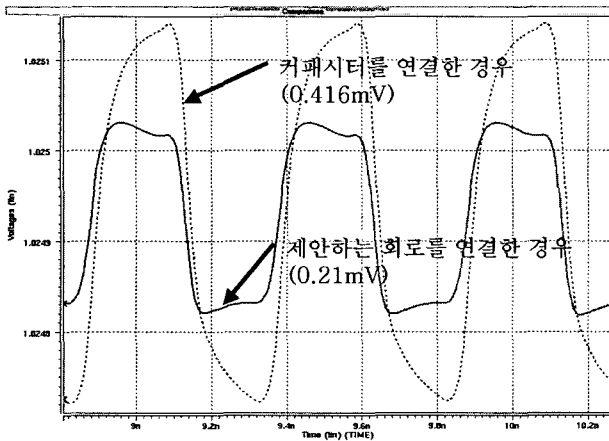


그림 8. 2GHz Clock에 대하여 커패시터를 달았을 때와 제안하는 회로를 달았을 때의 모의실험 결과

Fig. 8. Simulation result of between W Capacitor and W proposed circuit at 2GHz clock.

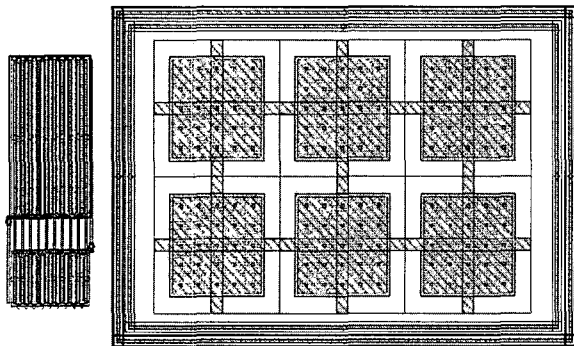


그림 9.(a)

그림 9.(b)

그림 9. (a) 제안하는 Transmission Gate의 Layout  
(b) 1pF 커패시터의 Layout

Fig. 9. (a) Layout of Proposed Transmission Gate.  
(b) Layout of 1pF Capacitor.

로를 달았을 때의 기준전압 흔들림 현상을 비교한 모의실험 결과이다. 점선은 커패시터를 사용한 결과로 0.416mV이며 실선은 제안한 회로를 사용한 결과로 0.21mV이다. 결과 그림에서 알 수 있듯이 제안한 회로를 사용한 것이 기존의 방법에 비해 흔들림이 절반으로 줄어든다. 그림 9는 제안하는 회로의 Layout과 1pF 커패시터의 Layout 면적을 비교한 그림이다. 제안하는 회로의 Layout 면적은 모의실험에서 사용한 1pF 커패시터 Layout 면적의 약 1/6에 밖에 되지 않아 성능뿐만 아니라 면적에 있어서도 큰 장점을 갖는다.

IV. 실험 결과

4-1. Interpolated Flash Type 초고속 ADC

Flash A/D 변환기는 고속으로 동작한다는 장점이 있는 반면, 큰 입력 커패시턴스를 가지며, 전력소모가 크고 넓은 면적을 차지한다는 단점이 있다. 따라서 Flash A/D 변환기의 장점을 살리면서 단점을 개선하기 위해 Interpolation A/D 변환기를 사용하였다. Interpolation A/D 변환기는 같은 해상도의 Flash A/D 변환기에 비해 프리앰프의 수가 줄기 때문에 작은 입력 커패시턴스를 가지며 면적과 전력소모도 작다. 제안하는 기준전압 감쇄회로를 증명하기 위해 Interpolation 기법을 사용한 6bit 2GSPS A/D 변환기를 설계하였다.<sup>[10][11][12][13]</sup>

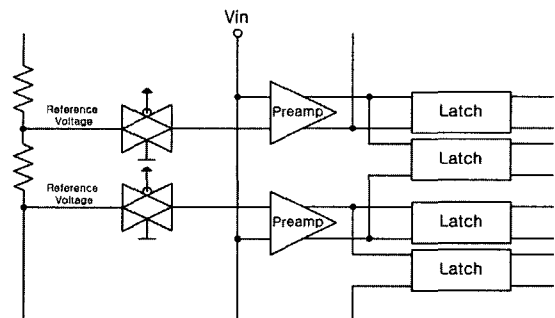


그림 10. Flash ADC에서의 Interpolation.

Fig. 10. Interpolation in a flash ADC.

4-2. A/D 변환기의 모의실험 및 Layout

그림 11(a)은 설계한 6bit A/D 변환기의 전체 회로도이다. 측정을 고려하여 PLL과 Down converter를 설계하였으며 그림 11(b)는 Ramp 입력에 대한 Digital output과 Reconstruction wave에 대한 모의실험 결과이다. 그림 11(c)는 PLL을 제외한 전체 ADC의 Core Layout을 나타냈다. 기본적으로 모든 블록은 Power

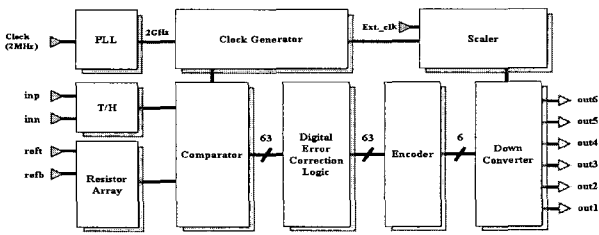


그림 11. (a) 6bit A/D 변환기 전체 회로도

Fig. 11. (a) Block Diagram of the 6bit A/D converter.

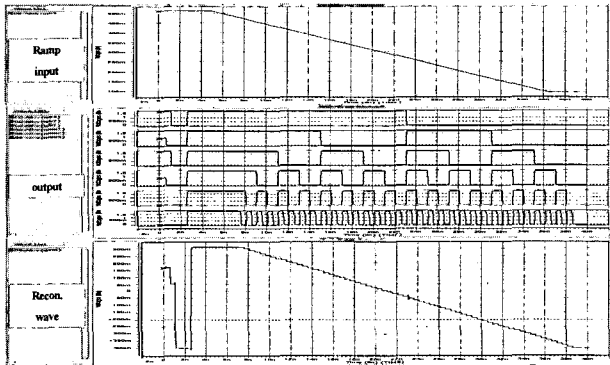


그림 11. (b) 6bit A/D변환기 Full code 확인

Fig. 11. (b) Full code of the 6bit A/D converter.

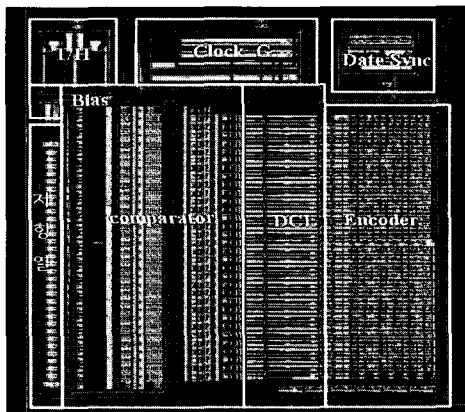


그림 11. (c) 설계된 6bit A/D 변환기 레이아웃

Fig. 11. (c) 6bit A/D converter layout.

Line에 의한 상호 Noise를 줄이기 위해 별도의 전원을 쓰도록 했고 또한 Latch-up 현상을 줄이기 위해 가능한 많은 Well 및 Substrate Plug를 형성하였다. 전체 Layout된 A/D 변환기의 Core Size는 Power Guard-ring을 포함하여 977um × 1040 um 이다.

### 4-3. 측정 결과

그림 12는 제작 완료된 A/D 변환기이며 Gage社의 Compu-Scope 3200을 사용하여 측정하였다.

제안하는 기준전압 감쇄회로의 동작 여부를 알아보기 위하여 외부 Noise에 의해 Reference voltage가 얼마나 흔들리는 지에 대한 측정을 해보았다.



그림 12. 제작 완료된 ADC

Fig. 12. Packaging completed ADC.

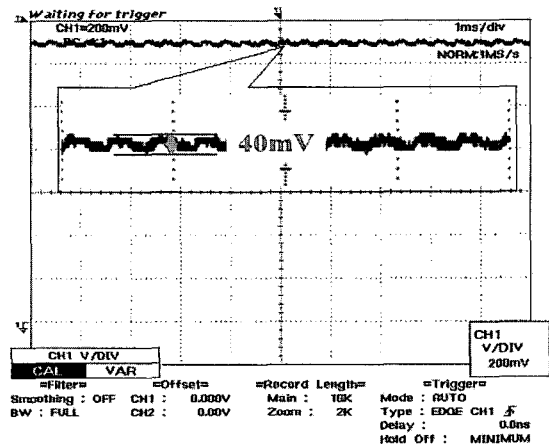


그림 13. 외부 Noise에 의한 Reference fluctuation

Fig. 13. Reference fluctuation by External noise.

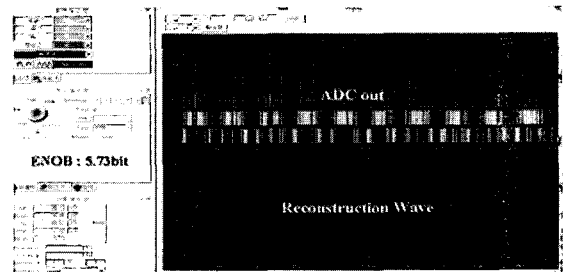


그림 14.(a)

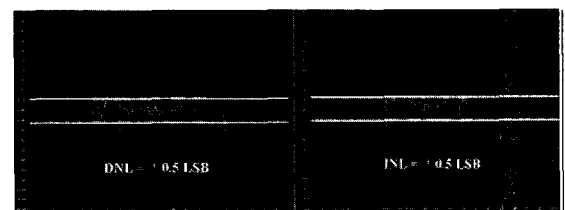


그림 14.(b)

그림 14. (a) Digital out과 Reconstruction wave

(b) INL & DNL 측정결과

Fig. 14. (a) Digital out and Reconstruction wave.

(b) Measurement result of INL and DNL.

그림 13은 외부 Noise에 의해 reference voltage가 약 40mV 흔들리는 것을 보여주는 측정결과이다. 1 LSB가

7.8mV인 것을 감안 할 때 5 LSB이상이 외부 Noise에 의해 영향을 받는다는 것을 알 수 있다. 이러한 측정조건하에서도 기준 전압 감쇄회로의 LPF 역할에 의해 외부 Noise의 흔들림에 큰 영향을 받지 않고 그림 14와 같은 결과를 얻을 수 있었다. 그림 14.(a)는 아날로그 입력 주파수 2MHz에 샘플링 주파수 2GHz를 인가했을 때의 Digital out 파형과 Reconstruction wave를 보여주고 있다. 이 때 ENOB는 5.73bit이 나왔으며 INL과 DNL은 그림 14.(b)와 같이  $\pm 0.5$  LSB 이내임을 확인하였다. 표 1은 본 연구에서 설계된 A/D 변환기의 사양 및 모의실험 결과를 정리한 도표이다.

## V. 결 론

본 연구에서는 A/D 변환기의 사양이 고속화됨에 따라 발생하는 여러 문제를 최소화하기 위한 기준전압 감쇄회로를 제안하였다. 제안한 회로에 대해 소 신호 모델을 이용하여 외부 Noise 및 내부 Noise가 모두 감쇄됨을 분석하였다. 또한 분석을 통해 Transmission Gate의 On 저항과 기생 커패시터를 이용하여 기존의 커패시터를 사용했을 때보다 성능이 우수함을 증명하였다. 기준전압 흔들림의 크기는 절반으로 줄었으며 Layout 면적에 있어서도 기존의 면적에 비해 1/6로 줄었다. 그리고 제작된 6bit 2GSPS A/D 변환기의 성능을 통해 외부에서 심한 Noise가 인가되어도 칩이 우수하게 동작함을 증명하였다. 따라서 제안하는 기준전압 흔들림 감쇄 회로는 고속 CMOS A/D 변환기에 유용하게 사용될 것으로 판단된다.

표 1. 설계된 A/D 변환기 사양 및 측정 결과

Table 1. Performance summary of the designed ADC.

분해능	6 비트
입력 주파수	Nyquist
변환속도	2GSPS
전원 전압	단일 1.8V
아날로그 입력 범위	0.5VPP (Diff.=1VPP)
DNL 및 INL	$< \pm 0.5$ LSB
SNDR	36.25dB (fin=2MHz, fs=2GHz)
전력소모(ADC Core)	145mW(TT)
유효 칩 면적	977 $\mu$ m $\times$ 1040 $\mu$ m
공정	0.18 $\mu$ m, 1-poly, 5-metal N-well CMOS

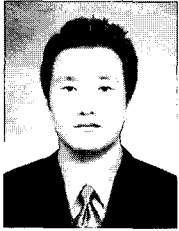
## 참 고 문 헌

- [1] Christian Paulus, Hans-Martin Bluthgen, Manuel Low, Elisabeth Sicheneder "A 4GS/s 6b Flash ADC in 0.13 $\mu$ m CMOS" VLSI Circuits, 2004. Digest of Technical Papers. 2004 Symposium pp.420-423
- [2] Scholtens, Vertregt M. "A 6-b 1.6-Gsample/s flash ADC in 0.18 $\mu$ m CMOS using averaging termination" Solid-State Circuits, IEEE Journal. 2002 pp.1599-1609
- [3] Jong-Bum Park, Sang-Min Yoo, Se-Won Kim, Young-Jae Cho, Seung-Hoon Lee "A 10-b 150MSample/s 1.8V 123mW CMOS A/D Converter With 400MHz Input Bandwidth" Solid-State Circuit, IEEE Journal of Volume 39, No.8, August 2004, pp.1335-1337
- [4] Hui Pan, Segami M, Choi M, Ling Cao, AbidiA.A. "A 3.3-V 12-b 50-MS/s A/D converter in 0.6- $\mu$ m CMOS with over 80-dB SFDR" Solid-State Circuits, IEEE Journal. 2000 pp.1769-1780
- [5] Rudy van de Plassche "CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters" Kluwer Academic Publishers, pp.107-112
- [6] 이승훈, 김범섭, 송민규, 최중호 공저, "CMOS 아날로그 / 혼성모드 집적시스템 설계", 시그마프레스, 1999.
- [7] Behzad Razavi "Design of Analog CMOS Integrated Circuits" McGraw Hill pp.405-423
- [8] Compier J, De Jong P, Wambacq P, Vandersteen G, Donnay S, Engels D.M, Bolsens I, "High-level modeling of a high-speed flash A/D converter for mixed-signal simulations of digital telecommunication front-ends" Mixed-Signal Design, SSMSD Southwest Symposium. 2000.
- [9] Phillip E. Allen, Douglas R. Holberg "CMOS Analog Circuit Design" 2nd Edition
- [10] David A. Johns and Ken Martin, "Analog Integrated Circuit Design", John Wiley & Sons Inc., 1997, pp. 463-486
- [11] Vandebussche J, Lauwers E, Uyttenhove K, Gielen G, Steyaert M "Systematic design of a 200MSPS 8-bit interpolating A/D converter" Design, Automation and Test in Europe Conference and Exhibition, 2002 pp. 357-361
- [12] Hsu C W, Kuo T H "6-bit 500 MHz flash A/D converter with new design techniques" Circuits, Devices and Systems IEE Proceedings, Volume 150, 2003 pp.460-464



[13] Behzard Razabi "Principles of Data Conversion System Design" IEEE PRESS , 1995. pp. 127-132.

— 저 자 소 개 —



박 상 규(정회원)  
2004년 동국대학교 반도체과학과  
학사 졸업.  
2006년 동국대학교 반도체과학과  
석사 졸업.  
2006년~현재 인티그런트 테크놀  
로지스 연구원

<주관심분야 : 데이터 변환기 설계, 아날로그 필  
터 설계>



황 상 훈(정회원)  
2001년 동국대학교 반도체과학과  
학사 졸업.  
2003년 동국대학교 반도체과학과  
석사 졸업.  
2004년~현재 동국대학교  
반도체과학과 박사 과정.

<주관심분야 : CMOS 아날로그 회로 설계, 저 전  
력 혼성모드 회로 설계>



송 민 규(정회원)  
1986년 서울대학교 전자공학과  
학사 졸업.  
1988년 서울대학교 전자공학과  
석사 졸업.  
1993년 서울대학교 전자공학과  
박사 졸업.

1993년~1995년 동경대학교 초빙연구원  
1995년~1997년 삼성전자 ASIC 설계팀 연구원  
1997년~현재 동국대학교 부교수  
<주관심분야 : CMOS 아날로그 회로 설계, 저 전  
력 혼성모드 회로 설계>