

논문 2006-43SD-6-6

PRML 신호용 저 전력 아날로그 병렬처리 비터비 디코더 개발

(Fabrication of a Low Power Parallel Analog Processing Viterbi Decoder for PRML Signal)

김현정*, 손홍락**, 김형석*

(Hyunjung Kim, Hongrak Son, and Hyongsuk Kim)

요약

DVD용 PRML신호를 디코딩할 수 있는 병렬 아날로그 비터비 디코더를 칩으로 제작하고 테스트 결과를 기술하였다. 병렬 아날로그 비터비 디코더는 기존의 디지털 비터비 디코더를 아날로그 병렬처리 회로를 이용하여 구현한 것으로, 전력 소모가 매우 적다는 장점이 있다. 본 연구에서는 제안한 순환형 아날로그 비터비 디코더 회로를 DVD의 PRML 신호 디코딩용으로 설계 제작하였고, 그 상세 설계 내용과 각 회로의 신호 특성을 분석하였으며, 이를 기반으로 향후 개선 사항을 기술하였다. 또한, 칩으로 제작된 회로가 동작하여 PRML용 신호가 잘 디코딩됨을 보였다.

Abstract

A parallel analog Viterbi decoder which decodes PRML signal of DVD has been fabricated into a VLSI chip. The parallel analog Viterbi decoder implements the functions of the conventional digital Viterbi decoder utilizing the analog parallel processing circuit technology. In this paper, the analog parallel Viterbi decoding technology is applied for the PRML signal decoding of DVD. The benefits are low power consumption and less silicon consumption. The designed circuits are analysed and the test results of the fabricated chip are reported.

Keywords : PRML, Viterbi Decoder, DVD

I. 서론

최근 멀티미디어에 대한 고화질, 고배속에 대한 사람들의 욕구가 증가되고 있으며, DVD등 대용량 저장 매체의 수요도 폭발적으로 증가 시키고 있다. 이에, 데이터 저장 매체의 고밀도화와 데이터의 reading 속도의 고속화가 필수적인 요소가 되었다. 고 밀도의 마그네틱 기록매체나 광디스크 드라이브에서는 인접 신호들의 저장 위치가 매우 가깝기 때문에 상호 영향을 많이 주고 받게 된다. 따라서 저장 신호의 급격한 변화를 피하고

멀티 레벨화 함으로 신호의 간섭을 줄이기 위하여 PR (Partial Response) 기술이 이용된다. PR기술은 인접 심볼에 의한 간섭을 고려하여 코딩 시 상호간섭 파형 모델로 코딩하여 채널에 인가하는 방법이다. 이렇게 하면 여러 개의 인접 비트가 조합되어 출력이 만들어지게 되는 특성이 있으므로, Partial Response라 명명하여 주로 자기 디스크에 응용하였다^[1].

한편, PR신호 생성 (코딩) 시 에러 검출이 용이하게 규칙을 구성하면, 비터비 디코더처럼 최적화 방법^{[7][8]}을 사용하여 에러를 정정할 수 있다. 이를 PRML (Partial Response Maximum Likelihood)기술이라 명명하고 자기 디스크 드라이브에 사용되는 중요 기술이 되었다^{[2][3][9][10][11]}.

이러한 PRML 기술은 그동안 주로 디지털 기술에 의해 구현되어 사용하였으나, 저장 매체의 고속화에 따른 전력 소비의 증가로 한계점에 도달하였기 때문에 이 분야 연구자들은 아날로그 방식의 PRML 연구에 관심을

* 정회원, 전북대학교

(Division of Electronics and Information Engineering, Chonbuk National University)

** 정회원, 삼성종합기술원

(Samsung Advanced Institute of Technology)

※ 본 연구는 한국 학술진흥재단의 지역대학 우수과 학자 지원 사업의 지원에 의하여 수행되었음.

접수일자: 2005년11월24일 수정완료일:2006년6월1일

갖고 연구하고 있다^{[4][5]}. 아날로그 방식은 A/D 변환기가 불필요하고, 등화기, Timing회로 등에 아날로그 회로를 이용하므로 소비 전력이 적고, 소형이라는 장점이 있다. 이러한 아날로그 비터비를 구성하기 위하여, 본 논문에서 constraint 길이만큼의 트렐리스 다이어그램을 구현하고 이를 순환적으로 연결하여, 무한대로 확장하는 트렐리스 다이어그램을 구현할 수 있는 방법을 제안한 바 있다^[13]. 제안한 구조에서는 기존의 비터비 디코더와는 달리 별도의 경로 저장 메모리가 필요치 않으며, A/D 변환이 없으므로 소비 전력이 적다는 장점이 있다. 본 논문에서는 기 제안한 비터비 디코더를 DVD용 PRML 신호 디코딩용으로 설계 제작하였으며 칩으로 제작된 회로가 제안한 원리에 의하여 디코딩됨을 기술하였다.

본 논문의 본문에서는 PRML용 신호 특성과 순환형 아날로그 비터비 디코더의 원리 및 설계된 주요회로를 상세 기술 하였다. 또한 실험 결과를 서술하였다.

1. PRML용 신호의 특성

PRML기술은 자기디스크에 데이터를 고밀도로 저장하기 위한 멀티 레벨 값 코딩 기술인데 최근 DVD 디스크나 차세대 DVD 디스크 등의 광 저장 매체에도 적용 방법을 많이 연구하고 있다. DVD의 광학적 채널의 특징은 광디스크와 픽업(Pick-up)등의 물리적인 특징으로 결정되는데, 식(1), 식(2) 같은 주파수 모델로 표현할 수 있다.

$$H(f) = \frac{2}{\pi} \left\{ \cos^{-1} \left(\frac{f}{f_c} \right) - \left(\frac{f}{f_c} \right) \sqrt{1 - \left(\frac{f}{f_c} \right)^2} \right\} \quad (1)$$

$$f_c = \frac{2NA}{\lambda} | \nu | \dots \quad (2)$$

수식 (1)은 Sony 사에서 제안한 Trigonometric 모델의 일반적인 MTF특성을 나타낸다. 식(1)과 (2)에서 f_c , NA , λ , ν 는 각각 채널 공간의 차단 주파수, 개구수, 파장, 선속도를 나타낸다. 주파수 영역과 시간 영역에서의 특성 곡선과 PR특성을 고려했을 때, 이중 특히 DVD용 디스크에 적합한 코딩 방법이 PR(1,2,2,1)로서 식 (3)과 같은 전달함수로 표현된다.

$$F(z) = 1 + 2z^{-1} + 2z^{-2} + 1z^{-3} \dots \quad (3)$$

이 전달함수를 그림 1과같이 $s(k)$ 는 입력신호 RLL의 code bit열이고, $f(k)$ 는 입력신호에 의해 생성된 출

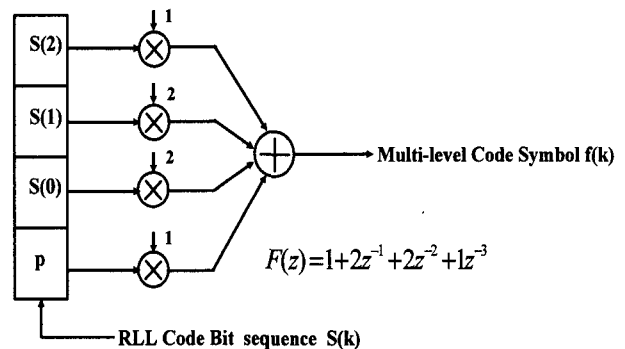


그림 1. PR(1,2,2,1) 코드 심블기
Fig. 1. PR(1, 2, 2, 1) code generator.

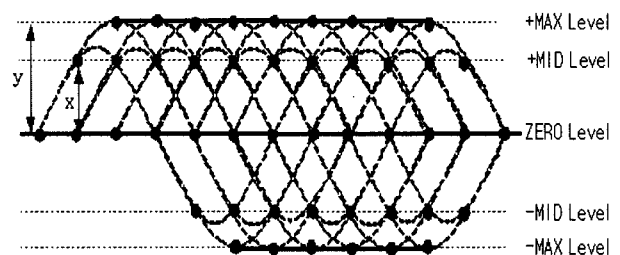


그림 2. PR(1,2,2,1) 출력신호의 시간적 중첩 특성
Fig. 2. Characteristics of temporal overlap of the PR (1, 2, 2, 1) signal.

력 값이다. 입력신호 열이 “-1” 또는 “+1”의 심블 값으로 정의되기 때문에 DVD 디스크 시스템에서 사용하는 $3T \sim 14T$ ^[6]의 신호를 대입하면, 출력신호 $f(k)$ 는 “-6”, “-4”, “0”, “+4”, “+6”의 값을 갖는다. 이를 시간상으로 중첩시키면 그림 2와 같다. 여기서 “-6”, “-4”, “0”, “+4”, “+6”은 각각 “-MAX”, “-MID”, “ZERO”, “+MID”, “+MAX” level에 해당된다.

2. 제안한 PRML용 비터비 디코더

가. 아날로그 비터비 디코더를 위한 수정된 동적계획법
본 논문에서 제안한 비터비 디코더는 기존의 비터비 디코더들과 달리 그림 3의 트렐리스 다이어그램 상의 모든 노드에 아날로그 신호처리 셀을 배치한 완전 병렬 아날로그 비터비 디코더이다. 이 구조에서는 A/D 변환기를 이용하지 않은 완전 아날로그 신호처리 셀을 이용하므로 전력 소모가 매우 적으며, 양자화 오류에 의한 에러 정정 능력이 향상되었다.

제안한 비터비 디코더의 기본연산은 단순화된 동적 계획법으로 각 노드에서는 입력된 정보들 중의 최소값 계산을 통하여 목표점까지의 최소 오차 값을 계산한다. 즉, 노드 (k,l) 로부터 목표점에 이르는 최소 오차 값을 $D_{k,l}$ 라고 하고, 노드 (i,j) 와 (k,l) 사이의 오차 값을

$d_{ij,kl}$ 라고 할 때, 목적 점에서 노드 (i,j) 에 이르는 최소 오차 값 $D_{i,j}$ 는 인접한 노드 (k,l) 에 이르는 데 소요되는 오차값 $d_{ij,kl}$ 과 그 위치로부터 목표점에 이르는 최소 오차 값 $D_{k,l}$ 을 합한 값 중 최소값을 취하는 식 (4)과 같이 계산한다^[12].

$$D_{i,j} = \min \{ D_{k,l} + d_{ij,kl}, (k,l) \in S \} \quad (4)$$

여기서, S 는 노드 (i,j) 의 인접한 노드들의 집합을 의미하여, \min 은 괄호안의 값들 중 최소값을 출력하는 함수를 나타낸다. 식 (4)을 비터비 디코더에 적용하기 위해서 $d_{ij,kl}$ 에 트렐리스 다이어그램상의 부호어와 수신된 심볼과의 차이값을 인가하고, 각 노드에 (4)식을 수행할 수 있는 연산 유닛을 배치하게 되면, stage가 진행함에 따라 각 노드에는 오차 값이 누적되는데 마지막 stage의 노드 중 최소값을 갖는 노드의 경로를 역 추적하여 디코딩을 수행하게 된다.

제안한 비터비 디코더는 식 (4)의 \min 연산을 수행하는 유닛을 각 노드에 배치하여 누적된 거리 값 중 최소의 값을 갖는 경로를 역추적하여 디코딩을 수행한다. 그러나 \min 연산 방식은 하드웨어 구현 시 많은 제약을 야기하고, 회로 또한 복잡하기 때문에 아날로그회로 구현이 용이한 \max 회로를 이용하여 임의의 큰 값으로부터 거리 값을 감하여 최대값 연산을 취하는 방식을 채택하였다.

임의의 큰 기준값을 I_{ref} 라고 하고 I_{ref} 와 $D_{k,l}$ 의 차이값을 $y_{k,l}$ 라하면, 식 (4)는 식(5)로 표현할 수 있다.

$$y_{i,j} = \max \{ y_{k,l} - d_{ij,kl}; (k,l) \in S \} \quad (5)$$

비터비 디코더의 트렐리스 다이어그램상의 각 노드에 그림 4과 같은 구조의 셀을 배치하고, 초기상태에 기준 입력값 I_{ref} 를 인가하게 되면 $d_{ij,kl}$ 만큼 감소하게

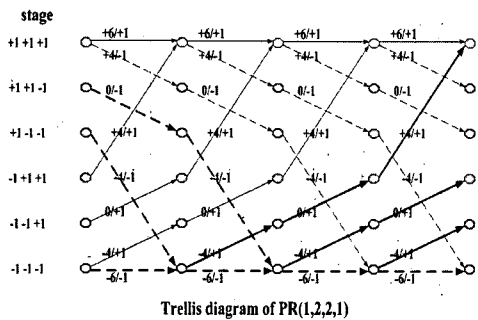


그림 3. PR(1,2,2,1)의 트렐리스 다이어그램
Fig. 3. Trellis diagram for the PR(1, 2, 2, 1) signal.

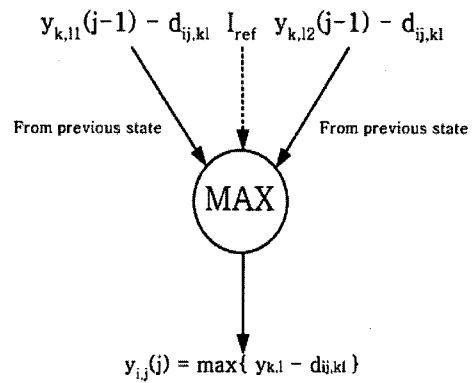


그림 4. 수정된 동적계획법을 위한 셀 연산 구조
Fig. 4. Cell processing structure for the modified Dynamic Programming.

되어 기준 입력값이 트렐리스 다이어그램상의 모든 노드에 전파된다. 그림 4은 식 (5)를 수행하는 제안한 비터비 디코더의 아날로그 신호처리 셀의 연결구조로서, 자신의 입력값과 전 상태의 출력에 지역 오차 값을 감한 값 중 최대값을 계산하는 구조로 도식화 할 수 있다.

나. 제안한 비터비 디코더

제안한 비터비 디코더는 트렐리스 다이어그램의 각 노드에 그림 4와 같은 최대 값 연산을 수행하는 아날로그 신호처리 셀을 병렬로 배치한 구조이며, 그림 5와 같이 마지막 열의 셀들과 처음열의 셀들을 연결한 순환형 구조이다.

그림 6는 그림 5의 순환형 구조를 펼친 전개도로 현재의 디코딩 stage를 지시하는 stage indicator, 디코딩 상태를 표시하는 state indicator, 아날로그 신호의 출력 회로 및 입력 capacitor로 구성되어있다. 제안한 비터비 디코더의 디코딩은 기준 입력 I_{ref} 가 한 스테이지에 인

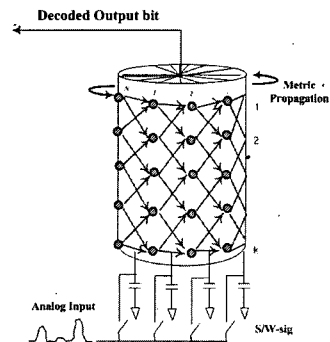


그림 5. 제안한 아날로그 비터비 디코더의 순환형 구조
Fig. 5. Circular parallel structure of the proposed Viterbi decoder.

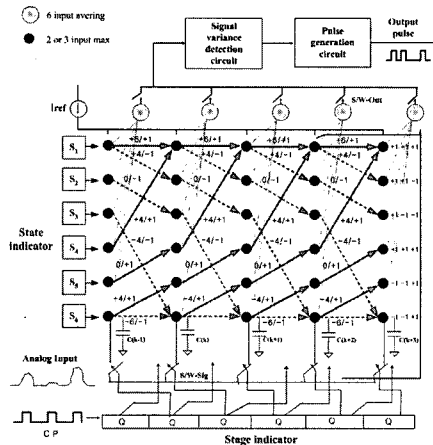


그림 6. 제안한 비터비 디코더 구조의 전개도
 Fig. 6. Developed diagram of the proposed Viterbi decoder.

가되고, 각각의 stage에 연결된 capacitor에 심볼이 저장되면 시작한다. 디코딩이 시작 할 I_{ref} 의 초기 위치는 임의로 지정되지만, stage indicator의 순서에 의하여 다음 I_{ref} 의 위치가 정해진다. 인가된 I_{ref} 는 각 stage의 모든 셀에서 식 (5)의 연산을 통하여 마지막 stage로 전파된다. I_{ref} 가 마지막 stage로 전파된 후 디코딩연산을 수행하는데, 본 논문에서 제안한 방식은 Circuit-based Decoding 방식으로, 처음 열의 '0' 또는 '1'의 경로를 절단한 후 신호의 변화 여부를 검출하는 방식이다. 즉, 첫 번째 stage의 '0'의 경로를 절단한 후 신호가 인가되었을 때, 마지막 단의 출력 변화 여부 정도에 따라 '0'또는 '1'으로 결정되는 원리이다.

3. 회로 설계

제안한 비터비 디코더 셀의 주요 연산은 전압-전류 변환회로 (V2I, Voltage to Current Converter), 아날로그 수신 신호와 트렐리스 다이어그램의 고유 부호어간의 브랜치 메트릭을 계산하기위한 절대값 연산과 각 셀의 전파된 값 중 최대값을 찾는 최대값 연산등이다. 본 연구에서는 이 회로들을 위한 고주파 회로를 설계하였다.

가. 브랜치 메트릭 연산을 위한 V2I 회로

제안한 비터비 디코더는 전류 모드로 연산을 취하므로 입력된 전압신호를 전류로 변환하기 위한 회로가 필요하다. 그림 7은 제안한 비터비 디코더의 V2I회로로서, 전압으로 인가된 신호 V_{ip} 을 전류로 변환하는 기능을 한다. MN_1, MN_2 의 $\frac{W}{L}$ 의 값을 같게 한 경우 V_{in} 의

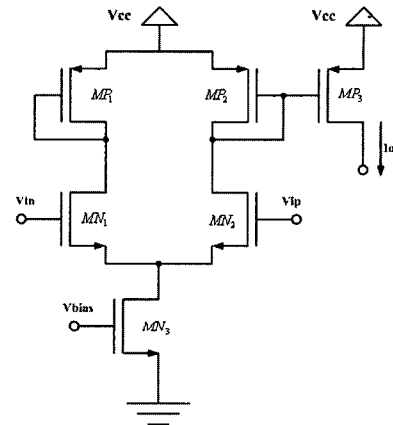


그림 7. 제안한 비터비 디코더의 V2I 회로
 Fig. 7. V2I circuits for the proposed Viterbi decoder.

표 1. V2I 회로의 transistor 크기
 Table 1. Sizes of transistors in the V2I circuit.

transistor	W	L
MP_1	0.4u	16u
MP_2	0.4u	16u
MP_3	0.4u	16u
MN_1	5u	5u
MN_2	5u	5u
MN_3	0.4u	60u

신호를 V_{ref} 값으로 정해주면, 출력전류는 V_{ip} 의 값에 대응하는 값을 선형적으로 출력한다. 제안한 비터비 디코더의 V2I회로에 사용된 각 transistor의 크기를 표 1로 나타내었다.

나. 브랜치 메트릭 연산을 위한 절대 값 회로

아날로그 입력 신호와 트렐리스 다이어그램의 부호어간의 브랜치 메트릭을 계산하기 위하여 그림 8과 같은 절대값 연산 회로를 설계하였다. 설계된 절대값 연산회로는 두 개의 입력 I_1, I_2 가 인가되면 두입력의 차의 절대값 $|I_1 - I_2|$ 를 출력하는 기능을 한다. 회로의 자세한 동작은 다음과 같다.

- ① $I_1 > I_2$ 이면 $I_1 - I_2$ 의 전류가 흐르고 Mn_{13} 에는 전류가 흐르지 않는다.
- ② $I_2 > I_1$ 이면 $I_2 - I_1$ 의 전류가 흐르고 Mn_{23} 에는 전류가 흐르지 않는다.

제안한 비터비 디코더의 절대값 연산 회로에 사용된 각 transistor의 크기를 표 2로 나타내었다.

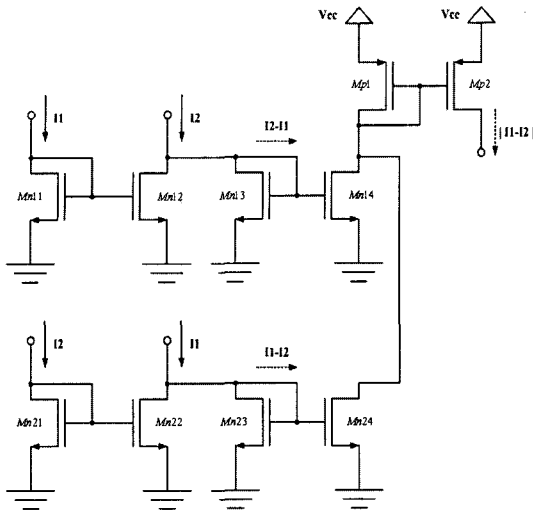


그림 8. Absolute 연산 회로
Fig. 8. Analog absolute circuits.

표 2. Absolute 연산 회로의 transistor 크기
Table 2. Sizes of transistors in the Absolute circuit.

transistor	W	L
MP_1	0.4u	16u
MP_2	0.4u	16u
Mn_{11}	0.4u	12u
Mn_{12}	0.4u	12u
Mn_{13}	0.4u	12u
Mn_{14}	0.4u	12u
Mn_{21}	0.4u	12u
Mn_{22}	0.4u	12u
Mn_{23}	0.4u	12u
Mn_{24}	0.4u	12u

다. 셀 최대값 연산 회로 설계

제안한 비터비 디코더는 첫 번째 단의 I_{ref} 로부터 전파되어온 값들 중에서 최대값을 찾기 때문에, 회로 구현 시 최대값 회로가 필요하다. 그림 9는 병렬로 입력되는 전류 중 최대값이 출력이 된다. 여기서 Mno 는 최대값 연산을 연산의 공통 transistor이다. $Mn11, Mn12, Mn13$ 을 전류 I_1 의 입력 단이고, $Mn21, Mn22, Mn23$ 을 전류 I_2 의 입력 단이라고 가정을 하면, 각 입력 노드에 전류가 인가되면 노드에 연결된 게이트의 transistor는 노드의 전압에 의하여 입력된 전류와 같은 양의 전류가 흐르게 된다. 이렇게 current conveyor에 전달된 $Mn12, Mn22$ 의 전류에 의하여 $Mn11, Mn21$ 의 게이트 전압이 결정되고, 이 과정 중 가장 큰 게이트 전압에 의하여 $Mn11, Mn21$ 에 흐르는 전류가 결정된

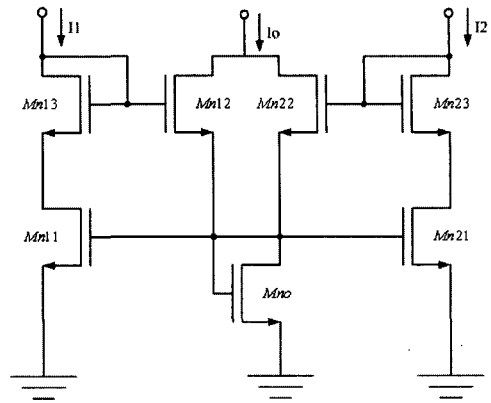


그림 9. 제안한 비터비 디코더의 Max 연산 회로
Fig. 9. MAX circuits.

표 3. Max 연산 회로의 transistor 크기
Table 3. Sizes of transistors in the Max circuits.

transistor	W	L
Mn_{11}	0.4u	12u
Mn_{12}	0.4u	5u
Mn_{13}	0.4u	5u
Mn_{21}	0.4u	12u
Mn_{22}	0.4u	5u
Mn_{23}	0.4u	5u
Mn_o	0.4u	12u

다. 이 중 Mno 에 흐르는 전류는 $Mn11, Mn21$ 의 큰 값이 선택된다. 이 때 최대 전류를 가진 입력 노드를 제외한 나머지 입력 노드의 transistor들은 제대로 동작을 하지 않게 된다. 제안한 비터비 디코더의 절대값 연산 회로에 사용된 각 transistor의 크기를 표 3으로 나타내었다.

라. 제안한 비터비 디코더 셀 회로

그림 10는 주변회로를 포함한 완전한 노드를 보여주 고 있다. 입력 신호들과 브랜치 메트릭 코드들의 전압 값은 V2I회로를 통하여 전류로 변환된다. 이 V2I회로는 그림 10의 왼쪽에 있는데, V_{cap}, V_{Br} 이 입력 전압이고, V_{bias} 는 회로가 동작하기 위한 바이어스 전압을 나타 낸다. V2I회로의 출력은 그림 10의 중앙 부분에 있는 절대값 변환회로로 전해지고, 이 회로에서 브랜치 메트릭과의 에러를 계산한다. 계산된 브랜치 메트릭 에러 전류와 이전 stage로부터 전파된 전류들로부터 그림 10의 오른쪽 부분의 최대값 연산회로에서 최대값 연산을 수행하여 다음 stage로 전파된다.

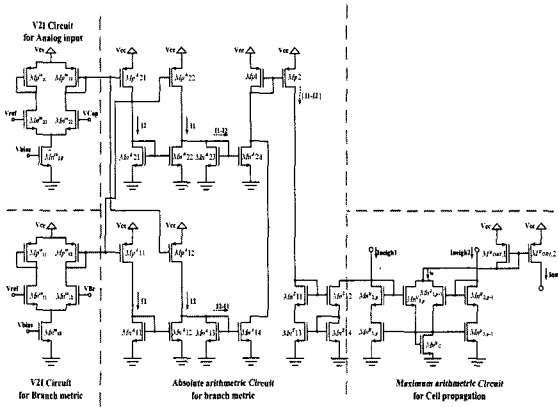


그림 10. 제안한 비터비 디코더에서 셀 한 개를 구성하기 위한 회로

Fig. 10. Full circuits of a cell for the proposed Viterbi decoder.

III. 실험

제안한 비터비 디코더의 회로를 동부 아남 0.18um 공정을 사용하여 5mm×5mm 크기의 TQFP 타입의 칩으로 제작되었다. 다음은 제작된 칩에 대한 테스트 결과이다.

1. 부분회로별 신호 측정 및 특성 분석

제안한 비터비 디코더의 테스트 입력신호를 구현하기 위하여 이상적인 DVD 시스템에 적합한 3T~14T의 RLL 데이터를 생성하였으며, PR(1,2,2,1)에 적합한 RF 신호를 얻어냈다. 여기에 AWGN 채널 노이즈를 첨가된 것을 가정한 신호를 만들어 주어 테스트를 수행하였다. 생성된 입력 신호는 각각의 level값이 “+MAX

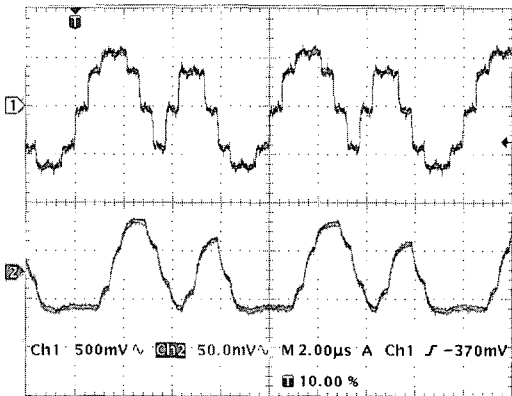


그림 11. 입력 신호파형(상)과 첫 번째 단계의 출력파형(하)

Fig. 11. Input waveform(upper) and that at the first stage (lower).

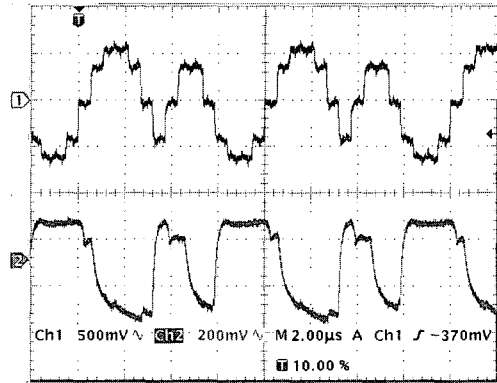


그림 12. 비교기 입력

Fig. 12. Inputs of the comparator.

(2.15 V)”, “+MID(1.98 V)”, “ZERO(1.65 V)”, “-MID (1.32 V)”, “-MAX(1.25 V)”의 1Vpp 크기를 갖는 RF 신호로 그림 11의 신호이다. 그림 11의 아래 신호는 I_{ref} 가 전파되는 과정 중 첫 번째 stage에서의 출력의 예이다. 그림 12의 위쪽은 비터비 디코더의 S&H의 입력 신호이고, 마지막 단계에서의 최종적으로 신호의 변화량으로 비교기의 입력이다.

2. PRML용 디코더로서 동작

제안한 비터비 디코더는 광 디스크용 PRML의 트렐리스 다이어그램에 의하여 디코딩 되는데, 그림 13은 위쪽의 S&H 입력 신호와 아래쪽의 최종적인 비터비 디코더의 출력신호를 나타내는 그림으로, DVD의 광 입력 코드를 “0,4,4,0,-4,-6,-6,-4,0,4,6,6,4,-4”의 패턴을 반복적으로 만들어준 신호의 예이다. 그림에서 제안한 비터비 디코더의 에러 정정 알고리즘에 의하여 입력열이 정확히 “1110000011111000”으로 디코딩됨을 확인할 수 있다.

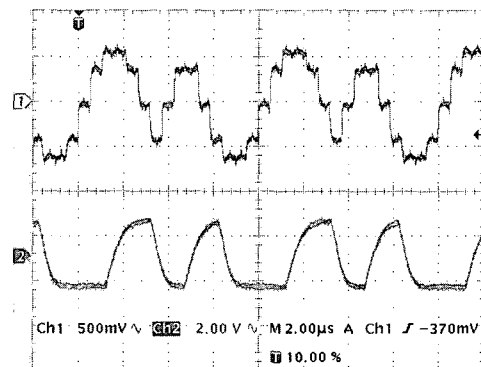


그림 13. 제안한 비터비 디코더의 입력 신호와 디코딩 출력 신호

Fig. 13. Input signal and decoded result of the proposed Viterbi decoder.

표 4. 기존의 PRML 비터비 디코더와 제안한 PRML 디코더와의 성능 비교표

Table 4. Performance comparison between the conventional PRML decoder and the proposed PRML decoder.

비교항목	Digital Viterbi Decoder	Analog Viterbi Decoder
성능	17dB(BER 10 ⁻⁴)	17dB(BER 10 ⁻⁴)
사용회로개수	quadruple	single
소모전력	약 1W	약 240mW
칩 사이즈	약 1000×400um ²	약 500×400um ²

3. 기존의 디지털 칩과의 비교

표4는 제안한 아날로그 회로와 디지털 회로의 특징을 같은 에러정정 성능을 갖는 조건하에서 비교한 것이다. 제안한 비터비 디코더는 전력 소모에서 약240mW로 디지털 회로의 약 1/4정도 수준이며, 실리콘 면적상으로 약500×400um²로 디지털 회로의 1/2정도 크기 수준으로 구현 할 수 있음을 확인할 수 있다.

4. Layout 및 칩 제작

제안한 비터비 디코더는 동부 아남 0.18um ASIC 공정을 통하여 Layout을 하였으며 120개의 입·출력 핀을 갖는 5mm×5mm 크기의 TQFP 타입의 칩으로 구현하였다. 그림 14은 layout 설계 결과이고 그림 15는 제안한 비터비 디코더 Layout 결과를 확대한 그림으로, 클럭 소스를 생성하기 위한 Clock Generator, 입력신호를 공급해 주기위한 S&H, 디코딩된 결과를 외부로 출력 시켜주는 Stage_out 및 OUTPUT, 그리고 제안한 비터비 디코더로 구성하였다. 그림 16은 그림 14의 Layout으로부터 제작된 제안한 비터비를 제작한 칩의 사진이다. 제작된 칩에는 제안한 비터비 디코더를 포함

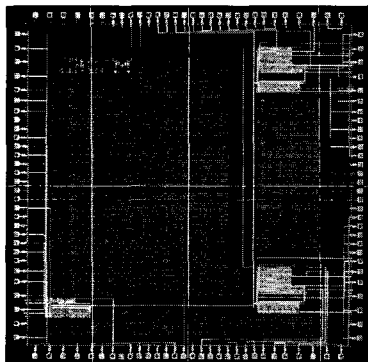


그림 14. 제안한 PRML 디코더 칩 Layout
Fig. 14. Layout of the proposed PRML decoder.

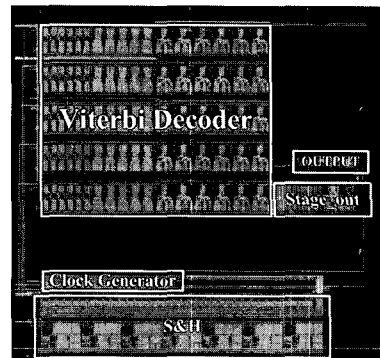


그림 15. 제안한 PRML 디코더 Layout 세부 블록
Fig. 15. Detailed blocks in the proposed PRML decoder layout.

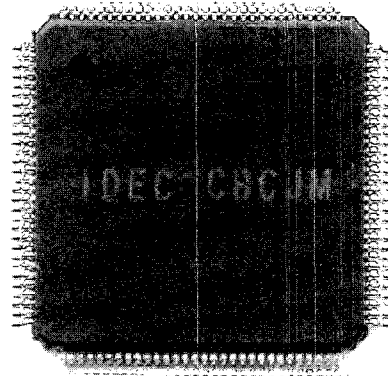


그림 16. 제작된 PRML 디코더 칩
Fig. 16. Fabricated PRML decoder chip.

하여 아날로그 비터비 디코더의 각 스테이지에 아날로그 신호를 입력시켜 줄 수 있는 S&H와 아날로그 비터비 디코더의 각 기본 회로를 테스트 할 수 있도록 테스트 블록을 포함시켰다. 그리고 디지털 회로로부터의 노이즈를 최소화 시켜줄 수 있도록 디지털 회로와 아날로그 회로의 전원 및 bulk bias도 분리하였다.

IV. 결 론

DVD Read Channel에서 신호의 간섭과 에러 정정능력을 향상시키기 위한 PR신호에 대한 최적화 디코딩 회로를 아날로그 병렬처리 회로망 칩으로 구현하였다. 더욱 상세하게는, 자기 디스크의 PR(1,2,2,1)모델의 트렐리스 다이어그램 상에서 각 셀을 아날로그 회로로 설계하였으며, 이 회로의 마지막 단을 처음 단에 연결함으로써 연속된 신호 입력 시, 회전 구조에 따라 연속적으로 디코딩 할 수 있는 2차원 배열을 이용한 아날로그 병렬 처리 구조를 설계하여 칩으로 제작하였으며, 디코

당 동작이 잘 수행됨을 확인하였다. 개발한 칩은 동일한 에러정정 성능을 조건으로 기존의 디지털 비터비 디코더와 비교할 때 크기가 1/2수준이었으며, 소모 전력은 1/4정도였다. 특히, 본 논문에서 제안한 비터비 디코더는 자기 디스크에서 이용하던 PRML을 광 디스크에 적합하도록 설계하였으며, 제작된 칩은 저 전력 응용 분야에 효과적으로 사용될 것이다.

참 고 문 헌

- [1] H. Kobayashi and D. T. Tang, "Application of partial response channel coding to magnetic recording system," IBM Journal of Research and Development, pp. 368-375, 1970.
- [2] R. D. Cidercyan, F. Dolvio, R.Hermann, W. Hirt, and W. Schoot, "A PRML system for digital magnetic recording," IEEE J. on Selected Area Communication, Vol 10, no. 1, pp. 38-56, 1992.
- [3] F. Dolvio, "Signal processing for high-density digital magnetic recording," Proc. VLSI and Computation Peripherals, pp. 1.91-1.96, 1989.
- [4] S. Sridharan and L. R. Carley, "A 100-MHz 350-mW 0.6um CMOS 16-state generalized-target Viterbi detector for disk-drive read channels," IEEE J. Solid-State Circuits, vol. 35, pp. 362-370, Mar. 2000.
- [5] K. He and G. Cauwenberghs, "Integrated 64-state parallel analog Viterbi decoder," Proceedings of ISCAS 2000, Geneva, Swiss, vol. IV, pp. 761-764.
- [6] Sung Han Choi, Jun Jin Kong, Byung Gook Chung, Yong Hwan Kim, "Viterbi Detector Architecture for High Speed Optical Storage," 1997 IEEE TENCON-Speech and Image Technologies for Computing and Telecommunications, pp 89-92, 1997.
- [7] G. D. Forney, JR. "The Viterbi Algorithm," Proc. of the IEEE, vol. 61, No. 3, Mar. 1973.
- [8] A. J. Viterbi, "Error bounds for convolutional codes and an asymptotically optimum decoding algorithm," IEEE Tr. on Information Theory, vol.13, pp.260-269, 1967.
- [9] S. Mital and Y. Ouchi, "A 150Mb/s PRML chip for magnetic disk drive," IEEE International Solid-State Circuits Conference, San Francisco, CA, FEB, pp 62-63, 1996.
- [10] G. T. Tuttle and G. D. Visshakhadatta, "A 130Mb/s PRML read/write channel with digital-servo detection," International Solid-State Circuits Conference, Sanfrancisco, CA, FEB, pp64-65, 1996.
- [11] K. Parsi and N. Rao, "A 200M/s PRML read/write channel IC.," International Solid-State Circuits Conference, San Francisco, CA, FEB pp 66-67, 1996.
- [12] Hyongsuk Kim, Hongrak Son, Tamas Roska, Leon. O. Chua, "Optical path finding with space- and time-variant metric weights with Multi-layer CNN," Int. J. Circ. Theor. Appl., Vol. 30, pp.247-270, Feb. 2002.
- [13] Hyongsuk Kim, Hongrak Son, Tamas Roska, and Leon O. Chua, "High-Performance Viterbi Decoder With Circularly Connected 2-D CNN Unilateral Cell Array," IEEE Transactions on Circuits and Systems I, Vol.52,pp. 2208- 2218, Oct. 2005.

저 자 소개



김 현 정(정회원)
 2004년 전북대학교 전자정보
 공학부 학사 졸업
 2006년 전북대학교 제어계측
 공학과 석사 졸업
 <주관심분야 : VLSI 설계, 신호
 처리>



손 흥 락(정회원)
 1996년 전북대학교 제어계측
 공학과 학사 졸업.
 1998년 전북대학교 전기공학과
 석사 졸업.
 2003년 전북대학교 전자공학과
 박사 졸업.

<주관심분야 : 아날로그 VLSI, 채널 코딩, 신경회
 로망>



김 형 석(정회원)
 1980년 한양대학교 전자공학과
 학사 졸업
 1982년 전북대학교 전자공학과
 석사 졸업.
 1991년 University of Missouri,
 Columbia 전자공학과
 박사 졸업.

<주관심분야 : 아날로그 VLSI, 신경회로망, 영상
 처리>