

범용 로직 드라이버를 이용한 880Mbps ATE 핀 드라이버 구현

최병선[†] · 김준성* · 김종원 · 장영조

[†]한국기술교육대학교 전기전자공학과, *㈜ EXICON

Implementation of 880Mbps ATE Pin Driver using General Logic Driver

Byung Sun Choi[†], Jun Sung Kim*, Jong Won Kim and Young Jo Jang

[†]Department of Electric and Electronics Eng, Korea University of Technology and Education

*EXICON Co., Ltd.

ABSTRACT

The ATE driver to test a high speed semiconductor chip is designed by using general logic drivers instead of dedicated pin drivers. We have proposed a structure of general logic drivers using FPGA and assured its correct operation by EDA tool simulation. PCB circuit was implemented and Altera FPGA chip was programmed using DDR I/O library. On the PCB, it is necessary to place two resistors connected output drivers near to the output pin to adjust an impedance matching. We confirmed that the measured results agree with the simulated values within 5% errors at room temperature for the input signals with 800Mbps data transfer rate and 1.8V operating voltage.

Key Words : ATE, Logic-driver, Pin-driver, Termination

1. 서 론

반도체 제조공정 중 제조된 칩의 패스/페일(Pass/Fail) 여부를 판정하는 공정을 검사(Test)공정이라 한다. 이는 칩의 전기적 특성검사를 위한 공정으로 ATE(Automatic Test Equipment)를 이용하여 두 종류의 검사 과정을 수행한다[1].

첫 번째 방법은 전기적 특성 검사(DC-Parametric test)가 있고 다른 하나는 칩의 기능적 동작 검사(Functional test)가 있다.

기능적 동작 검사는 패턴발생기에서 검사하려는 칩을 위한 적절한 검사 패턴을 핀 드라이버(Pin driver)를 통해 DUT(Device Under Test)에 인가하고 DUT로부터 출력되는 신호를 비교기(Comparator)를 사용하여 예상결과(Expect data)와 비교하여 패스/페일을 판정한다. 핀 드라이버에서 DUT로 전송되는 신호는 컨넥터,

케이블, 소켓으로 구성되는 신호 전송 장치 즉, HI-FIX(High Fixture)를 통해 이루어진다[2].

최근 반도체 기술의 발달로 인하여 반도체 칩의 동작 주파수가 Gbps 이상으로 증가함으로써 제조된 각종 칩의 동작 검사에 사용하는 ATE는 고속 신호 전송 기술이 사용된다[3].

ATE와 DUT사이의 신호 전송 속도가 500Mbps 이하인 경우는 STL(Single Transmission Line)구조를 이용하는 신호 전송 방식이 사용되고 있으나 500Mbps 이상의 전송 속도를 요구하는 경우에는 DTL(Dual Transmission Line) 구조가 더 적합한 구조로 알려져 있다[4].

STL구조는 1개의 신호 선에 읽기(Read)와 쓰기(Write) 신호를 번갈아 사용하기 때문에 핀 드라이버와 DUT사이의 신호 전송선의 길이가 길어지면 신호의 전송 속도에 제약이 발생하는 반면 DTL 구조는 읽기와 쓰기를 위한 신호 선을 각각 독립시켜 사용 함으로써 읽기와 쓰기를 번갈아 수행해도 왕복지연(Round trip delay)이 문제를 일으키지 않으므로 고속 신호 전송 시

[†]E-mail : bschoi@kut.ac.kr

시스템은 DTL 구조의 신호 전송 방식을 사용한다.

고속 신호 전송 방식인 DTL구조를 이용하여 DUT를 검사하기 위해서는 STL구조에서는 요구되지 않는 핀 드라이버 터미네이션 기능이 필요하다. 이러한 모드는 전용 핀 드라이버를 이용할 때 제공되지만 집적도가 낮고 발열량이 높으며 가격이 비싸고 수입에 의존하는 단점이 있다[5].

본 연구는 전용 핀 드라이버의 단점을 보완하기 위해 범용 로직 드라이버를 이용하여 DDR-II(Double Data Rate II) 메모리를 테스트하기 위한 880Mbps ATE용 핀 드라이버의 구현에 관한 내용이다.

본 논문의 구성은 전용 핀 드라이버를 이용한 DTL 구조를 살펴본 후, 핀 드라이버가 지원하는 모드를 설명하고, 전용 핀 드라이버를 대체 할 수 있는 범용 로직 드라이버를 이용한 핀 드라이버를 제안하고 시뮬레이션 결과를 설명한다.

결론으로는 실제 제작하여 시뮬레이션 결과와 비교해 봄으로써 전용 핀 드라이버를 대체할 수 있음을 보인다.

2. DTL 구조

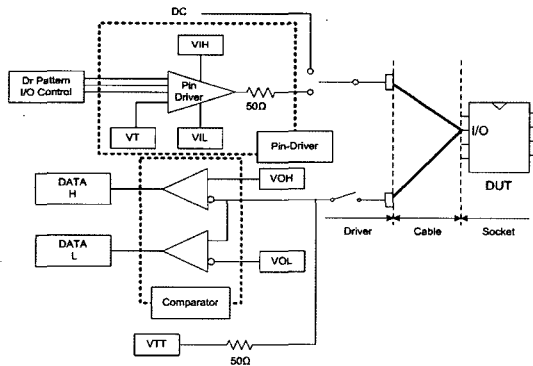


Fig. 1. DTL(Dual Transmission Line) System.

DTL 구조는 그림 1과 같이 핀 드라이버와 비교기로 구성된 드라이버 블록과 신호 전송 선로인 케이블 그리고 DUT 장착을 위한 소켓으로 구성되어 있다.

핀 드라이버는 패턴 발생기에서 발생된 테스트 패턴 신호를 DUT로 보내고 비교기는 DUT로부터 전송된 신호를 비교한다.

전송 선로 케이블은 임피던스가 50인 동축 케이블을 사용하였고 DUT는 검사하고자 하는 칩에 맞는 소켓을 통해 연결되어 있다.

DTL 시스템은 DUT로의 전송선로와 수신선로가 분

리되어 있으므로 고속 전송 시 왕복지연에 의한 신호 중첩 문제를 없앨 수 있는 구조이다. 그림 1 Driver 부분의 2개의 스위치는 동작 시 비교기와 핀 드라이버 쪽으로 전환된다. 쓰기 싸이클인 경우, 핀 드라이버는 DUT로 검사 패턴 신호를 전송하고 읽기 싸이클인 경우에는 DUT로부터 출력되는 신호가 핀 드라이버와 비교기로 출력된다. 따라서 DUT로부터 출력되는 신호는 핀 드라이버로부터 전송되어 오는 신호와 중첩이 되지 않아 정상적으로 DUT로부터의 신호를 검출할 수 있다.

3. Pin-Driver모드

DTL 구조의 전송방식을 사용하기 위해서 핀 드라이버는 다음과 같이 총 3가지의 동작모드가 지원하여야 하고 ATE에 사용되는 전용 핀 드라이버는 이를 모두 지원한다. 각 모드에 따른 동작은 표 1과 같다.

Table 1. Pin-driver Operation Mode

모드	데이터	Term	DRE	출력
드라이브	H	L	H	OUT
	L	L	H	OUT
터미네이션	X	H	H	IN
하이 임피던스	X	X	L	OFF

3.1. Drive 모드

드라이브 모드는 패턴 발생기로부터 생성된 테스트 패턴을 DUT에 보내기 위한 모드로서 드라이버의 출력 임피던스는 HI-FIX의 동축 케이블 임피던스와 서로 같아야 하며 쓰기 싸이클 동안에 유지되어야 한다[6].

3.2. Termination 모드

DUT로부터 출력되는 신호를 터미네이션 하여 출력되는 신호의 반사를 없애기 위한 모드이다. 이 모드는 읽기 싸이클 동안 유지되어야 하며 식 1 및 2와 같이 나타낼 수 있다[7].

$$VT \approx \frac{Vdd}{2} \approx \frac{VH + VL}{2} \quad (1)$$

$$Rs = Z_0 \quad (2)$$

VT는 터미네이션 모드에서 인가되어야 하는 터미네이션 전압이고, Vdd는 DUT의 전원 전압이다. VH와 VL은 핀 드라이버와 DUT 사이에 전송되는 신호가 하이 또는 로우에 대한 레벨을 나타내는 전압 값이다.

3.3. 하이 임피던스 모드

칩의 전기적 특성 검사에 사용되는 모드로 핀 드라이버의 출력 임피던스는 매우 큰 값이 되어야 하며 이 상태는 핀 드라이버가 차단된 상태를 나타낸다. 여기에 PMU(Parametric Measurement Unit)를 연결하여 검사 조건에 따라 적절한 전압 또는 전류를 DUT에 인가하고 전류 또는 전압을 PMU를 통해 읽고 패스/페일을 판정한다.

4. 로직 드라이버를 이용한 Pin-driver 구현

4.1. 범용 로직 드라이버를 이용한 Pin-driver

범용 로직 드라이버는 드라이브, 하이 임피던스의 2 가지 모드만 지원 가능하다. 전용 핀 드라이버가 지원하는 터미네이션 모드를 구현하기 위하여 그림 2와 같이 회로를 구성하였다[8][9].

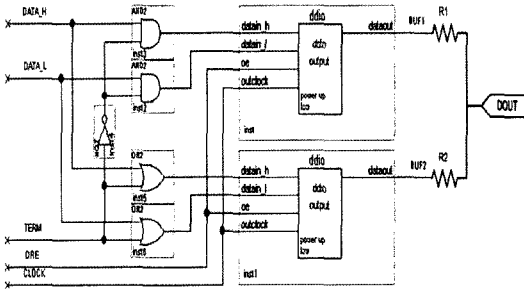


Fig. 2. Pin-Driver Using Logic Driver

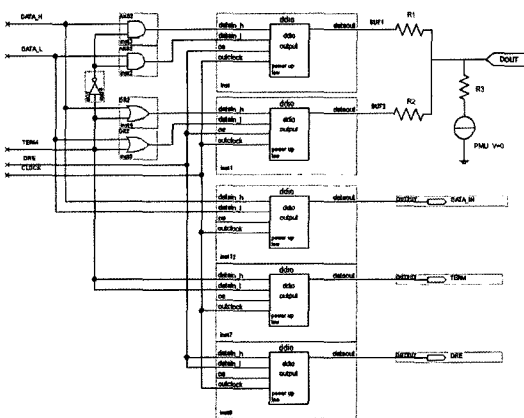


Fig. 3. Simulation Driver Circuit.

그림 3은 시뮬레이션 및 테스트용 PCB에서 입력신호를 관측하기 위해 DATA, DRE, TERM 핀(Pin)을 추가하였고 하이 임피던스 동작 확인을 위해 DOUT에

저항을 통한 일정 전압을 인가하였다.

시뮬레이션 툴은 Cadence사의 SigXplorer를 사용하였고, 시뮬레이션 라이브러리는 Altera의 ibis model (STRATIX2_2s_sst118c1_cio_r50)을 사용 하였다.

4.2. Drive 모드 구현

모드 구현을 위한 입력 조건은 표 1에 보인 것과 같이 DRE입력에는 하이, Term 입력에는 로우를 인가하고 데이터 입력에는 패턴 발생기로부터의 신호를 입력한다. 이때 드라이버 출력 DOUT은 데이터 입력 신호를 그대로 출력한다. 따라서 전체 시스템은 전용 핀 드라이버의 드라이브 모드의 쓰기 싸이클과 같은 동작을 수행하게 된다. 이때 출력 임피던스 RS는 식 3을 만족하는 조건에서 식 4와 같이 나타낼 수 있다[10].

$$R1 = R2 = 2 * Z_0 \tag{3}$$

$$R_s = R1 // R2 = Z_0 \tag{4}$$

BUF1과 BUF2에서 동일한 신호가 출력되므로 DOUT의 출력 전압은 BUF1과 BUF2와 같다. 드라이브 모드 구현의 시뮬레이션 결과는 그림 4와 같다.

시뮬레이션 결과를 분석해 보면 DRIVE_PERIOD 구간에 보여지는 것과 같이 입력조건이 주어진 드라이브 모드의 동작 조건에서 출력파형이 나타남을 볼 수 있고 이는 전용 핀 드라이버의 드라이브 모드에서의 동작과 같다.

입력(DATA_IN, TERM, DRE) 신호와 출력(DATA_OUT) 신호의 전파지연이 0ns로 나타나는 것은 그림 3에 보인 바와 같이 FPGA 내부 로직을 시뮬레이션 및 테스트용 PCB에서 측정하기 위해 FPGA의 DDR I/O 라이브러리를 사용하여 I/O 핀에 연결하였기 때문에

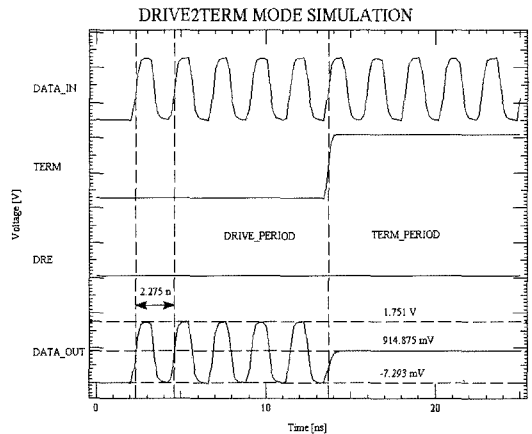


Fig. 4. Waveform in Drive & Termination Mode.

이들 입력 신호의 전파지연이 출력 신호와 동일하게 적용되기 때문이다.

4.3 Termination 모드 구현

터미네이션 모드는 고속 칩의 검사를 위해 필요한 모드로서 DUT의 신호 출력 시 드라이버가 터미네이션이 되어야 한다.

모드 구현을 위한 입력 조건은 다음과 같다. DRE 입력과 Term 입력에는 하이로 인가하고 데이터 입력은 입력에 무관하다. 이때 드라이버 출력 DOUT은 식 1에 따른 터미네이션 전압이 되어야 한다. 또한 임피던스 Rs는 식 3 및 4에 의해서 전송선로의 임피던스 Zo가 된다. BUF1은 하이, BUF2는 로우가 출력되므로 DOUT의 출력 전압은 식 1에 의해 VT와 같다. 터미네이션 모드 구현의 시뮬레이션 결과는 그림 4에서 TERM_PERIOD 구간에 나타나는 것과 같다. 주어진 모드 입력 조건에 따라 이 구간에서 출력이 터미네이션 됨을 볼 수 있다. 다른 모드의 동작 중에도 터미네이션 모드로의 전환이 가능함을 볼 수 있다. 이는 DUT의 쓰기 모드에서 읽기 모드로 자유롭게 전환됨을 보여준다.

4.4. 하이 임피던스 모드 구현

하이 임피던스 모드는 전기적 특성 검사를 위한 동작 모드이다.

모드 구현을 위한 입력 조건은 다음과 같다. DRE 입력에는 로우, Term 입력 및 데이터 입력은 입력 값에 무관하다. 이때 드라이버 출력 DOUT은 하이 임피던스 즉, 차단 상태가 된다. 하이 임피던스 모드 구현의 시뮬레이션 결과는 그림 5와 같다.

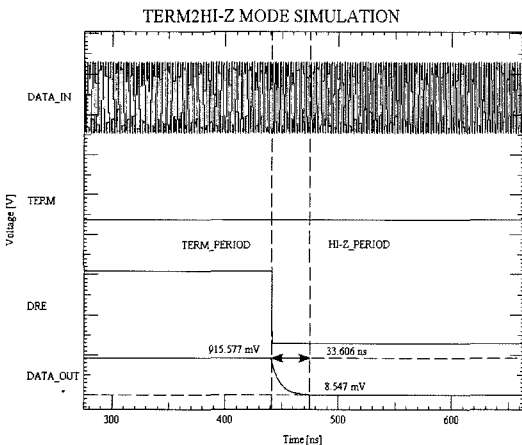


Fig. 5. Waveform in Termination & HI-Z Mode.

시뮬레이션 결과에서 HI-Z_PERIOD 구간에 나타나는 것과 같이 입력조건이 주어진 하이 임피던스 모드의 동작 구간에서 하이 임피던스 상태가 됨을 볼 수 있다. 하이 임피던스 모드로 전환됨과 동시에 0[V]의 전압으로 낮아지는데 이는 그림 3에서 나타낸 것과 같이 전기적 특성 검사를 위해 PMU에서 저항 R을 통해 일정 전압인 0[V]를 인가 했기 때문이다.

4.5. 구현

제한된 핀 드라이버의 유용성을 확인하기 위해 이를 FPGA에 구현하여 계측장비를 이용하여 직접 측정하였다. 사용된 FPGA는 EP2S30F484C3로써 고속 동작을 고려하여 PCB 설계를 하였다. Cadence와 Altera 툴을 사용하여 구현을 위한 시뮬레이션을 한 후 FPGA에 설계된 회로를 프로그램 하였다.

구현에 있어 고려 사항은 그림 2의 R1과 R2를 FPGA 핀에 최대한 가까이 배치 해야 하는 것이다.

R1과 R2가 FPGA 핀에 가까이 배치 되지 않으면 이들 사이에 스트립 또는 마이크로 스트립 형태의 선로가 길어지게 되어 전송 선로의 임피던스가 전체적으로 잘 정합되지 않는다. 이것은 전송되는 신호가 종단에서 충분히 터미네이션 되지 못하게 되므로 전체적인 신호의 특성이 나빠진다. 본 실험에서 사용된 PCB는 FPGA 핀 바로 아래에 터미네이션 저항을 배치하였다.

PCB 배치 시에 R1과 R2로부터 FPGA 핀까지의 거리가 길어지게 되면 이들 사이를 연결하는 PCB 와이어의 임피던스가 상대적으로 작은 값이 되도록 와이어 폭을 크게 해 주면 임피던스 정합이 이루어질 수 있다.

측정을 위한 장비는 그림 6과 같이 디지털스코프와 가변 직류 전원장치를 사용하였고 입력파형은 VH

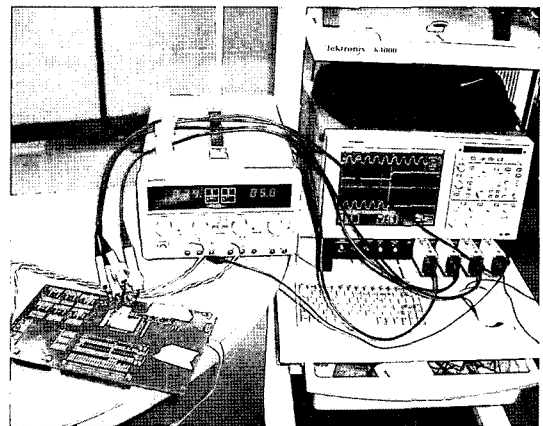


Fig. 6. Implementation of Pin-driver.

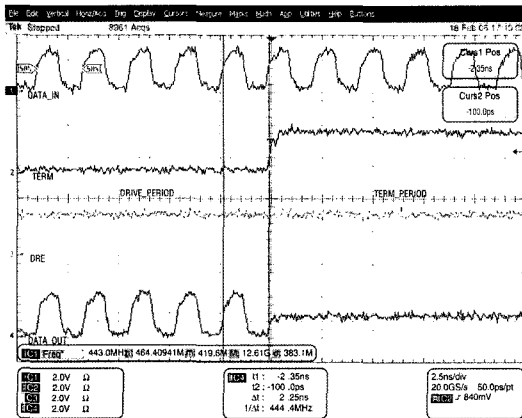


Fig. 7. Real waveform of drive & termination mode.

=1.8[V]이고 VL=0[V]인 880 Mbps의 구형파를 상온에서 인가 하였다.

그림 7의 파형은 데이터 동작 주파수 880 Mbps에 대해 디지털스코프의 전압 축 2 V/div에 2.5 ns/div 시간 축으로 측정하였다. 가장 아래에 있는 출력 파형을 보면 터미네이션 레벨 전압인 900 mV를 기준으로 +/-900 mV 파형이 출력된다. 이때 출력 파형 전압의 20%에서 80%로의 천이 시간에 대한 출력 파형의 상승시간(Rising time)은 0.3 ns이고 하강시간(Falling time)은 0.2 ns이다.

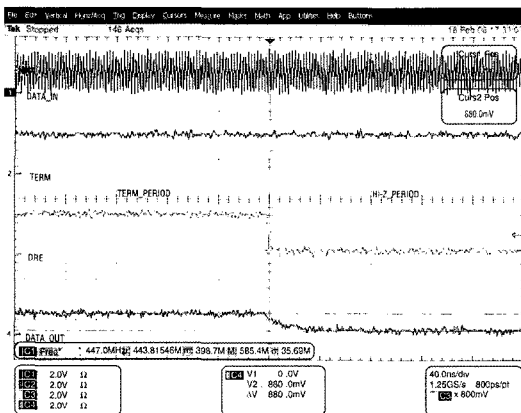


Fig. 8. Real waveform of Termination & HI-Z mode.

그림 8에서는 그림 5와 같이 터미네이션에서 하이 임피던스 상태로 전환하는 동작에 대한 측정 파형이 시뮬레이션과 잘 일치함을 볼 수 있다. 오실로스코프는 전압 축 2V/div에 시간 축 40ns/div로 설정하였다. 터미네이션 레벨 900mV로부터 하이 임피던스 상태로 모드

전환 시 PMU 에서 인가한 전압 레벨인 0[V]로의 천이 시간을 보면 시뮬레이션에서 33.606 ns이었고 측정결과에서도 매우 근접한 값인 35.2 ns가 측정되었다.

5. 결 론

본 논문은 반도체 칩의 제조에 있어서 양품과 불량을 판별하는 ATE 시스템에 사용되는 핀 드라이버의 구현에 관한 내용이다. 제안된 방식에 대한 시뮬레이션 및 실제 제작 후 측정된 결과와 같이 고가의 저집적 고소비전력의 전용 핀 드라이버를 고집적 저가의 저소비전력 범용 로직 드라이버를 이용하여 구현 가능함을 보였다. 구현된 시뮬레이션 회로에서 BUF1과 BUF2가 동일한 조건이 만족되지 않은 만큼의 오차가 발생할 수 있다는 문제점은 해결하지 못하였다. 그러나 전용 핀 드라이버에도 오차가 존재하는 만큼 시뮬레이션 및 측정 결과를 신뢰할 수 있다. 실제 실험을 통해서 측정된 파형은 시뮬레이션 값과 5% 이내에서 일치하는 것을 알 수 있다. 측정 파형에서 나타나는 시뮬레이션과의 오차는 고속 ATE에 사용 가능한 오차의 범위 내에 존재하였고 양질의 결과를 얻었다고 볼 수 있다. 본문에서 설계된 회로를 범용 로직 드라이버를 이용하여 구현함으로써 전용 드라이버를 대체 할 수 있고, 이를 통해서 전용 드라이버가 갖고 있는 여러 가지 단점을 보완 가능함을 보였다. FPGA의 범용 로직 드라이버를 이용하여 전용 핀 드라이버를 실제로 구현 가능함을 실험을 통해서 확인 하였다. ATE 개발 시 본 기술을 ASIC으로 구현한다면 수입에 의존하고 있는 핀 드라이버를 대체할 수 있어 테스트 장비의 국산화 시 수입 대체효과를 얻을 수 있고 향후 같은 문제의 해결에 있어서 효과적인 솔루션을 제공할 수 있다고 보여진다.

감사의 글

본 연구는 ㈜EXICON의 Memory Test System 인 EX8801의 드라이버에 대한 연구 개발로 진행하였다.

참고문헌

1. 박용수, 김철, “반도체 VLSI테스트기초및활용,” 한울출판사, 2004.
2. Advantest, “T5585 Memory Test System Tester Section Maintenance Manual,” Advantest, Manual Number 8350332-12, 2000.
3. Johnson H. and Graham, M., “High Speed Digital Design,” Prentice Hall, 1993.

4. Teradyne Korea, "Teradyne Korea WebZin 차세대 메모리와 ATE," Teradyne Korea, 1999.
5. Howard, W. Johnson and Martin Graham, "High-Speed Signal Propagation," Prentice Hall, 2003.
6. JOHN D. KRAUS, "Electromagnetics," McGraw-Hill Inc., pp488-532, 1991.
7. ADVANTEST, "T5593 Memory Test System Programming Guide," ADVANTEST KOREA CO., LTD, 2004.
8. Ronald, J. Tocci, Neal S. Widmer, "Digital System," Eight Edition, Prentice Hall, 2001.
9. Altera Corporation, "STRATIX II DEVICE HANDBOOK, Volume1," Altera , DEC 2005.
10. J. David Irwin, "Base Engineering Circuit Analysis," Macmillian Publishing Company, 1993.