

SiP의 새로운 도약 : Deep Via를 이용한 상호연결

이춘홍, 김재동(엠코코리아 기술연구소)

I. SiP와 SoC의 관계 정립

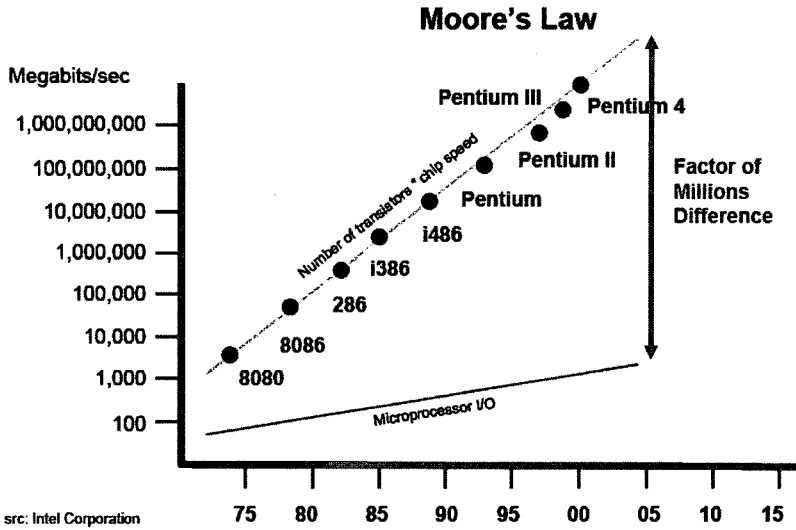
정보화 산업의 발달과 함께 전자산업, 즉 PC 산업과 통신 산업이 경량화, 소형화 및 고성능화를 지향하고 있으며, 근래에 들어서는 이동통신 기기의 급속한 발달과 대중화가 동시에 이루어지면서 기존의 기술 개발 속도를 상회하는 급속한 고기능화와 다기능화가 요구되어 지고 있다. 전통적으로 반도체 소자의 발전 역사를 보면, 반도체 소자의 고성능화 다기능화를 위하여 주어진 면적 내에 다양한 회로를 구성하는 방법이 주된 발전의 방향이 되어 왔다. 이를 위하여 제조 공정 기술의 미세화가 가장 중점적으로 추진되었으며, 이러한 제조 공정에서의 축소 기술은 여러 가지 기술적인 어려움에도 지속적으로 이루어져 왔으며, 소위 무어의 법칙은 그 예측 효용성을 유지하고 있다. 하나의 시스템을 동작시키기 위해서 전에는 여러 개의 칩과 회로가 필요했었지만, 반도체의 미세화 기술의 진전으로 지금은 시스템의 기능을 한 개의 칩 안으로 집적하는 것이 가능해 졌다.

이것이 SoC(System-on-a-Chip)이다. SoC는 반도체 칩의 집적화에 수반되는 문제점을 해결

하는 기술로서 10년 전에 등장한 이래, 전성기를 구가하고 있다. 그러나 패턴의 미세화와 더불어 칩의 복잡성이 더욱 증가함에 따라, 반도체 업체들은 기술보다도 비용관리, 마케팅, IP 코어, 라이브러리 관리 등의 영역에서 더욱 힘을 기울이고 있는 형국이 되어가고 있다. 또한 SoC칩이 너무 복잡하게 되면서, 리스크와 설계비용을 감당할 수 없는 수준에 도달하게 된다. 하나의 SoC 칩을 설계부터 제조까지 모두 제작하는 경우, 130nm 기술로는 200만~500만 불, 90nm 기술로는 1,500만~2,000만 불이 소요된다고 한다. 이러한 높은 제작비용의 SoC 칩을 제작하기 위해서는 매출규모가 수십억 불이 되지 않는 한 이익이 발생하기 어려운 사업형태가 되고 있는 것이다. 앞으로는 기술적으로 가능한지 어떤지가 아니라, 경제적으로 가능한지 어떤지에 의해 SoC 칩이냐 혹은 대안으로 부상하고 있는 SiP냐의 가부가 결정되어지는 시대가 되고 있는 것이다.

II. 소형화 고밀도에 대한 시장의 요구

반도체 소자의 고기능화 및 다기능화가 지속적으로 추진된 결과 현재의 반도체 소자는 과거



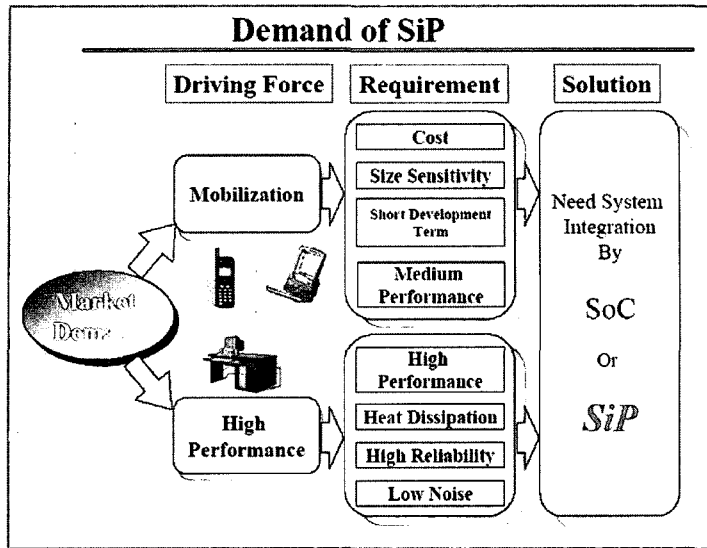
src: Intel Corporation

〈그림 1〉 무어의 법칙

에 비하여 다양한 기능과 고성능을 발휘하고 있다. 그러나 시스템 레벨의 소형화 다기능화는 상대적으로 발전이 이루어지지 못하였으며, 특히 소형화 측면에서는 일부 특수의 제한된 응용분야 이외에는 큰 진전이 없었다. 예를 들면 현재의 펜티엄 4급 CPU는 과거 80286 계열의 CPU에 비하여 100배 이상의 집적도를 가지면서 성능면에서도 비약적인 발전을 하였음에도 불구하고, 현재 사용되는 PC의 Main Board 크기와 과거 80286 PC의 Main Board 크기는 거의 변함이 없다. 즉, 전반적인 기술발전의 흐름을 보면, 각 단위 반도체 소자의 기술 집약도, 고기능화 및 소형화 등은 획기적으로 이루어져 왔음에도 불구하고, 해당 시스템의 소형화는 상당히 더디게 진전되어 왔다. 그러나, 근래에 들어 개인용 이동통신기기 및 각종 기기의 Mobile화가 진행되었고, 이에 대한 시장에서의 요구 및 일반 사용자의 요구가 날로 커지면서 SYSTEM 크기의 축소 요구가 일반화되고 있다. 또한 이러한 크기

의 축소와 함께 고성능 및 고기능화와 다기능화까지 요구되고 있는 상황이다. 이러한 정보화 사회에 대한 급속한 발전으로 인하여 다기능을 가질 뿐만 아니라 고속연산이 가능한 소형 칩셋에 대한 개발이 요구되고 있다. 그러나 다기능을 수행하기 위한 칩셋을 제조하기 위해서는 제품의 경박 단소화를 지향하는 현재의 전자제품의 추이로 볼 때 구조적으로 공간적 제약이 따를 뿐만 아니라 Power Dissipation 측면에서도 기존의 2D 형태의 칩셋 제조기술은 기술적인 제약이 많으므로 이를 극복할 수 있는 신기술의 개발이 필요하다. SiP(System-in-a-Package)방법으로써 3D integration technology에 대한 연구는 최근 chip에 대한 낮은 생산 원가, 높은 집적도에 대한 요구뿐 아니라 다양하고 복잡한 기능을 요구하는 복합 칩을 구현하기 위한 SoC 기술의 난이도에 대한 제한 등으로 인해 빠른 속도로 진행되고 있다.

3D integration 기술은 여러 가지 장점을 가지



〈그림 2〉 Demand of SiP

고 있다. 특히 small size package 내에 다양한 기능을 가진 chip들을 3차원으로 효과적으로 실장할 수 있으며 long wire bond 에 의한 chip 간 RC delay를 효과적으로 감소시킬 수 있다. 또한 RF 소자 등에서의 매우 중요한 저 잡음 특성을 얻기 위하여 wire bonding의 길이를 줄이는데 매우 효과적이다.

이러한 short interconnect 3D integration의 방법으로 BGA(Ball Grid Array)에 의한 연결 flip chip과 wafer level packaging 방법이나 wafer를 통과하는 long through contact(5~20um)를 통한 wafer 또는 chip간의 stack을 이루는 3D integration기술에 대한 연구가 활발히 진행되고 있다. 특히, wafer 또는 chip간 3D integration에 대한 대표적인 연구 group은 RPI Focus Center-SEMATECH, MIT의 Rafael Reif group, Fraunhofer IZM, CEA-LETI, IBM, Infineon, Intel, Tezzaron 등이 있다. 상기 기술에 대한 적용범위는 매우 다양하나 time to market 에 대한

기술효성을 검토해 볼 때 국내기술이 대외적으로 경쟁력이 있다고 판단되는 Memory Stacking 기술, Logic/Memory Device Stacking기술, Image Sensor 기술 등이 wireless application 측면에서 접근하는 것이 타당성이 있을 것이라고 판단되며 향후 Ubiquitous 구축을 위한 MEMS-Sensor/Memory/Logic Device Stacking이 궁극적인 SIP-3D integration기술의 추진 방향이 될 것이다. 또한 기반기술 및 요소기술의 확보 측면에서는 deep contact 형성기술, Interconnect 형성 기술, Backside 공정 등의 wafer level 공정기술과 이를 이용한 chip to chip기술에서 wafer to wafer bonding 기술을 이용한 package 기술개발이 필요할 것으로 판단되며 이러한 방향성의 향후 기술 개발이 이루어 질 것으로 판단된다. 매그나칩 반도체에서는 3D integration 요소공정 기술인 W super contact 공정 및 Cu 공정을 이용한 3D integration 공정기술 개발을 진행하고 있으며 세계 최초로 prototype의 working chipset을

출시한 바 있다. 그러나 제품양산화를 위한 기반 기술 및 요소기술의 확보차원에서는 Deep Si Etch process에 대한 process stability 확보와 process optimization을 해야 하는 것으로 나타났으며 공정단순화 측면에서 Cu Super contact 공정에 대한 개발의 필요성이 대두되었다. 삼성전자에서는 메모리의 고집적화를 위한 Deep via 기술을 최근에 선보인바 있다. 한편, 학계에서는 KAIST, 서울대, 경북대 등에서 3D integration에 관련된 연구를 하고 있는 것으로 알려져 있으나 wafer level 형태의 semiconductor 관련기술이라기 보다는 MEMS 관련된 bonding 기술에 대하여 주력하고 있는 것으로 평가된다.

III. Deep via를 이용한 기술의 내용

Thru-Via을 위한 Deep Etching 응용 기술개발 3D integration 기술은 이중의 기술(logic, memory, analog circuits, sensor/detector 등)을 접합하여 성능과 기능, 비용에 있어서 새로운 이점을 주는 것으로, 주요 세부 기술로는 Wafer-to-wafer Alignment, Wafer bonding, Wafer thinning, Etching, Metallization and Passivation 등으로 구성된다. 이 중에서 식각 공정은 웨이퍼와 웨이퍼 사이 또는 칩사이의 Interconnection을 위해 High Aspect Ratio의 Hole이나 Trench 패턴을 형성하는 것으로 단지 Silicon만이 아닌 다양한 물질을 식각하게 된다. 다음은 wafer bonding 기술의 종류를 보여준다.

(1) Anodic bonding

가장 많이 적용되는 기술로, 전기장과 열을 동시에 인가하여 유리와 실리콘 사이의 이온 이동을 촉진 시켜 본딩을 유도하는 고상 본딩 공정

유리기판이 주로 사용되는 OMEMS 나 센서 분야에 이용되며 상하 기판 재질이 다름으로 인해 발생하는 열팽창 계수 차이의 보상이 기술의 핵심이다.

(2) Silicon direct bonding

1990년대부터 확산되기 시작한 기술로 미려하게 가공된 표면을 화학적 또는 플라즈마를 이용하여 활성화시킨 상태에서 본딩하고 열처리를 통해 본딩력을 강화하는 공정을 거침. 플라즈마 활성화는 본딩 온도를 1000도에서 2~300까지 내리는 효과를 가져온다. 본딩을 위해서는 두 계면이 원자 레벨 정도로 아주 밀착되어야 하기 때문에 RMS <1.0 nm가 요구되며 동시에 표면 청정도가 양산성을 좌우하는 핵심 인자로서, 최근에 class 1 수준에서 시간당 약 30장 정도의 양산성을 보이는 것으로 알려져 있다.

(3) Thermal compression bonding

Glass와 glass fritz, 그리고 eutectic, diffusion의 세분야로 나눌 수 있는데, glass와 glass fritz 본딩에서는 유리연화 온도 이상에서 압력을 가함으로서 매개체가 유동하여 본딩이 유도된다. 중간 매개체가 금속인 경우는 훨씬 고진공 및 밀봉을 요하는 곳에 적합하다.

(4) Eutectic bonding

이 공정은 두 가지 금속이 일정 온도 이상에서 만나는 경우 각각의 용점보다 낮은 온도에서 녹는 특성을 이용한 방법으로 아주 강한 본딩력을 얻을 수 있으며 일례는 Au-Si system이다.

(5) Solid state thermo sonic bonding

이 방법은 eutectic과 유사하나 가장 큰 차이점

은 녹는 현상이 발생하지 않는다는 것이다. 대신 가능한 저온에서 상호간 확산이 아주 빠른 두 금속을 조합하여 이용하게 된다. 일례는 Cu-Au system이다.

(6) Adhesive bonding

BCB와 같은 저유전 상수 고분자를 사용하는 방법으로 각각 다른 기능의 모듈 사이에 전기적인 연결 통로를 만들 수 있는 공정이라는 면에서 점점 관심이 증가하고 있다.

<Wafer bonding 공정의 요구 기술 / 특성>

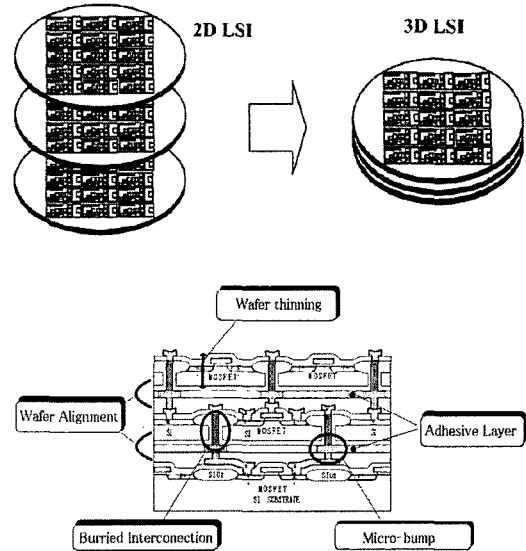
(1) Perfect bonding quality (No void)

일반적으로 웨이퍼 본딩 후 본딩되지 않은 반대면은 얇게 연마된다. 따라서 본딩된 면적내에 기공이나 결함이 있게 되면, backgrinding 연마 중에 파손될 수 있기 때문에 본딩 quality가 매우 중요하다.

(2) Uniformity of bonding layer

본딩 후 back grinding을 거친 표면의 웨이퍼 두께는 매우 얇아서 수~수십 μm 이하가 된다. 따라서 본딩 웨이퍼의 두께가 전면에서 고르게 유지되도록 back grinding 공정을 제어해야 하는데, 이를 위해서는 본딩시 전체 두께가 균일하도록 공정이 제어되어야 한다.

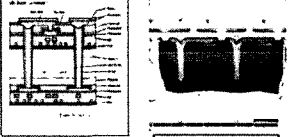
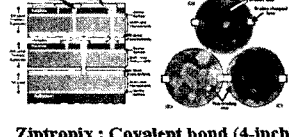
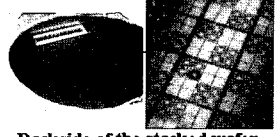
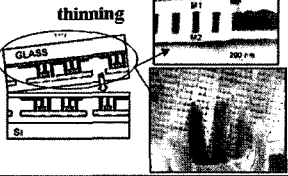
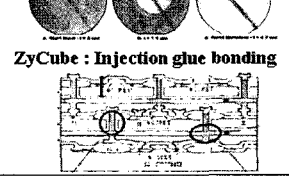
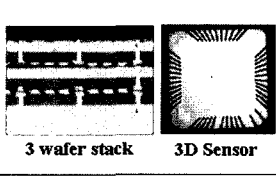
공정적인 측면에서는 1992년 Bosch 사의 특허인 Bosch Process와 극저온의 액체질소를 이용하는 Cryogenic Process의 두 가지로 나눌 수 있는데, 전자는 식각과 폴리머 증착을 교대로 진행하여 패턴을 형성하는 것으로 패턴 측벽에 가리비 효과(Scallop)이 발생하는 특징이 있다. 후자의 경우는 극저온에 의해 식각시 발생된 폴리머



<그림 3> Wafer Level개념의 3D stacking 개발 상황 요약

의 배출을 어렵게 하여 패턴의 측벽에 증착시켜 측벽의 손상을 방지하는 방식이다. 현재는 Bosch공정이 업계의 주류를 이루고 있는데, 이는 가리비 효과에도 불구하고 Aspect Ratio의 증가에 따라 깊은 패턴의 형성에 유리한 장점이 있으며, Cryogenic 방법의 경우 액화질소를 사용하기 위한 추가적인 장비 구성이 부담스러운 측면이 있기 때문이다.

따라서, 향후 Through-Via 식각 공정 개발에 있어서도 Bosch 공정을 이용한 방법이 필요할 것으로 판단된다. Bonding 기술 측면에서는 Bump bonding, Glue Bonding 및 Cu to Cu surface bonding 기술로 구별되며, Bump bonding 기술은 Tohoku University, Cortex 등에서 주로 연구/발표된 기술로서 In-Au나 Cu 등을 이용하여 저온에서 bonding하는 기술이며, 이러한 기술은 다층화에 유리하고 후공정이 유리하다는 장점은 있으나 내열성이 약하다는 단점이 있으

<p>Infineon : W deep via</p> 	<p>RPI : Dielectric bonding</p> 	<p>Tezzaron : Copper bonding</p> 
<p>IBM : SOI wafer thinning</p> 	<p>Ziptronix : Covalent bond (4-inch)</p> 	<p>Backside of the stacked wafer</p> 
<p>Impediments:</p> <ul style="list-style-type: none"> • Sliced wafer handling • Alignment budget • Uniform bonding • Film stress during deep via fills • Wafer warp • Heat dissipation 	<p>Impediments:</p> <ul style="list-style-type: none"> • Large alignment errors • Strength/uniform bonding, voids • Peeling propensity during thinning • Film stress during deep via fills • Wafer warp • Heat dissipation 	<p>"All key elements, Alignment, Bonding (Uniformity & Strength), Low thermal budget (<400C), Si thinning (Control & Uniformity), Limiting stacking yield losses, Facile heat dissipation of wafer level stacking have been simultaneously integrated to meet market demand for density, cost and speed"</p>

며 일부 process에서는 buried interconnection에 poly-Si 전극을 사용하기 때문에 높은 저항을 유발할 수 있는 단점이 있다.

Glue Bonding 기술은 MIT university, IBM 등에서 주로 연구/발표된 기술로서 wafer를 bonding 할 때 glue를 이용함으로써 bonding adhesion 을 강화시킬 수 있으며 대구경의 wafer에서도 사용 가능한 기술로 평가되나 Si to Si bonding이 어려운 점이 있어 다층화가 어려우며 via 형성이 용이하지 않다는 단점도 가지고 있다.

지금까지 보고된 3D integration에 대한 선진 기술을 분석해볼 때 비록 process상 일부 개선되어야 할 점들은 남아있지만 상기 기술이 multi function의 기능을 갖는 칩셋을 제조할 때 현 반도체 기술이 직면하고 있는 구조적인 제약문제, power control 문제 및 cost 문제를 풀어갈 수 있는 solution 중에 하나로 인식되고 있어 많은 유수의 연구기관에서 필수 요소기술에 대한 기술 선점을 위하여 드라이브하고 있다. 이러한 기술의 선점을 위해서는 다음과 같은 조건을 만족해

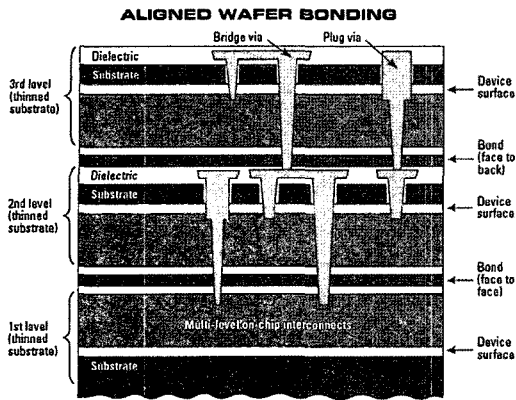
야만 한다.

- Precise alignment of full wafers ($\leq 1\mu\text{m}$ accuracy).
- Thin adhesive-layer bonding at low temperature ($\leq 400^\circ\text{C}$).
- Precision thinning and leveling of top wafer ($\sim 1\mu\text{m}$ thick).
- Inter-wafer connection by high-aspect-ratio ($>5;1$) vias.

가장 차별화된 공정 스텝은 wafer-bonding과 웨이퍼 내부의 상호연결 공정이다.

차별화의 기준은 웨이퍼 간 bonding 전 또는 후에 기판 관통 via 형성에 따라 via first, via second로 나뉜다.

그림 4는 wafer-level 3-D technology platform에 대한 Rensselaer의 방법을 three-wafer stack에 대해 나타내었다. 칩 공정이 완료된 두 장의 웨이퍼는 웨이퍼간 $1\mu\text{m}$ 이내의 허용치로 정렬되며



〈그림 4〉 Aligned Wafer Bonding

CMOS나 packaging에서 사용되는 절연 접착층을 사용하여 결합되었다. 그 후 상부 웨이퍼는 backside grinding, CMP, wet etching에 의해서 1m 정도 두께로 얇아진다. 그 뒤에 웨이퍼 사이에 bridge-type, plug-type via들을 copper damascene 공정을 작용하여 만든다. 이러한 공정의 반복으로 추가되는 웨이퍼들도 서로간 align, bonding, thinning, interconnect가 반복된다. 내부의 상호 연결과 웨이퍼 간의 결합, 정렬 등이 이루어진다. 이것은 적층 웨이퍼 수가 많지 않은 경우에 적용 가능하고, thinned 웨이퍼를 다룰 필요가 없는 장점이 있다.

IV. 향후의 기대 효과

휴대폰 산업은 최근 수년간 외형적 규모면에서는 고성장세를 지속하고 있으나 정작 기업들의 수익성은 과거에 비해 더욱 저조해지고 있다. 제품 가격은 지속적으로 하락하는 데 반해, 기술/제품 혁신 속도 단축과 기능의 다양화/고도화, 시장의 글로벌화 등으로 재료비, R&D 지출, 마케팅비용 등 제반 비용은 오히려 증가하고 있기

때문이다. 따라서 국내 휴대폰 기업들이 향후 진행될 위협 요소들에 적절히 대응하고 차별적인 경쟁우위를 확보하기 위해서는 근본적으로 다음과 같은 과제를 해결할 필요가 있다. 첫째, 기술/제품의 지속적 진화 및 유행의 빠른 변화에 신속히 대응하여 스피드 중심의 제품 혁신 능력을 보다 강화해야 한다. 둘째, 차별화 요소로서의 기술에 의한 코스트 절감 능력을 키워야 한다. 플랫폼 계열화를 통한 제품 간 부품 공유, One-Chip화/모듈화 등 ASIC 설계 기술 향상 등이 그 대안이 될 것이다. 셋째, 경쟁사들과의 대등한 경쟁 기반 마련을 위해 차세대 원천기술에 대한 대응력이 필요하다. 국내 기업이 상대적으로 강점을 지닌 High-end 폰시장에서 차별성이 퇴색되고 있고 이동통신 인프라의 세대별 진화와 멀티 네트워크의 도입 등으로 새로운 플랫폼 대응과 제품 차별화를 위해 원천기술력이 보다 중요시되고 있기 때문이다. 이러한 문제점들을 보완할 수 있는 기술이 소형화를 근본적으로 이룩하고 기술의 차별성을 제시할 수 있는 기술이 Deep Via를 이용한 적층기술이다. 이에 따르는 웨이퍼의 적층기술 또한 수반되어야 할 핵심 기술인 것이다.

용 어 해 설

IP Multimedia Subsystem

**IP Multimedia Subsystem, IMS
(통신서비스)**

무선통신의 국제표준을 개발하는 3GPP 그룹에서 제안한 표준화된 IP와 SIP 기반의 멀티미디어 네트워크.

3GPP II Release 5단계에서부터 적용된 개념으로 IP 프로토콜을 기반으로 하여 음성, 오디오, 비디오 및 데이터 등의 멀티미디어를 복합적으로 제공하는 시스템이다. IMS는 기본적으로 범용의 인터넷 기반 기술과 표준화된 네트워크 기능들을 사용함으로써 서비스의 가격 경쟁력 향상과 신속한 서비스 개발 및 변경을 추구한다. IMS는 액세스 네트워크와는 독립적이며, 세션관리 기능의 개선으로 서로 다른 통신망의 애플리케이션들이 손쉽게 연동되어 서비스간 글로벌 연동과 유무선망의 컨버전스를 촉진시킨다.

21세기 네트워크

**21st Century Network, 21CN, 世紀
[통신망]**

British Telecom이 구축하는 All-IP 네트워크. 유선전화, 이동전화, 초고속인터넷, 방송 등 모든 서비스를 통합하여 기존 망의 단점인 네트워크 중복을 없애고, 효율적인 IP 패키지 기술을 이용하여 높은 전송속도와 품질 및 보안성을 보장하는 서비스를 제공한다.

저자소개



이 춘 흥

1983년 고려대학교 학사(물리학)
1985년 고려대학교 석사(물리학)
1989년 Case Western Reserve Univ. M.S(물리학)
1993년 Case Western Reserve Univ. Ph.D(물리학)
1993년-1994년 Physics Dept. Case Univ.
Research Associate
1994년-1995년 고려대학교 물리학과 박사후 연구원
1996년-현 재 앰코코리아 기술연구소장
주관심분야 패키징전분야



김 재 동

1986년 경북대학교 학사(전자공학)
2001년 한양대학교 석사(전자공학)
1986년-2004년 Amkor Korea 기술연구소
2005년-현 재 Amkor Korea 기술연구소 제품개발팀장
주관심분야 패키징전분야