논문 2006-43SD-5-7

14b 100MS/s 3.4mm^2 145mW 0.18um CMOS 파이프라인 A/D 변환기

(A 14b 100MS/s 3.4mm^2 145mW 0.18um CMOS Pipeline A/D Converter)

김 영 주*, 박 용 현*, 유 시 욱*, 김 용 우*, 이 승 훈**

(Young-Ju Kim, Yong-Hyun Park, Si-Wook Yoo, Yong-Woo Kim, and Seung-Hoon Lee)

요 약

본 논문에서는 4세대 이동 통신 시스템에서 요구되는 사양을 위해, 해상도, 동작속도, 칩 면적 및 소모 전력을 최적화한 14b 100MS/s 0.18um CMOS ADC를 제안한다. 제안하는 ADC는 동작 모델 시뮬레이션을 통해 최적화된 구조를 분석 및 검증하여 3단 파이프라인 구조로 설계하였으며, Nyquist 입력에서도 14 비트 수준의 유효비트 수를 가지는 광대역 저잡음 SHA 회로를 기반으로 하고, MDAC에 사용되는 커패시터의 소자 부정합에 의한 영향을 최소화하기 위하여 3차원 완전 대칭 구조를 갖는 레이아웃 기법을 적용하였다. 또한, 100MS/s의 동작 속도에서 6 비트의 해상도와 소면적을 필요로 하는 최종단의 flash ADC는 오픈 루프 오프셋 샘플링 및 인터폴레이션 기법을 사용하였다. 제안하는 시제품 ADC는 SMIC 0.18um CMOS 공정으로 제작되었으며, 측정된 DNL과 INL은 14비트 해상도에서 각각 1.03LSB, 5.47LSB 수준을 보이며, 100MS/s의 샘플링 속도에서 SNDR 및 SFDR이 각각 59dB, 72dB의 동적 성능을 보여준다. 시제품 ADC의 칩 면적은 3.4mm^{2}이며 소모 전력은 1.8V 전원전압에서 145mW이다.

Abstract

This work proposes a 14b 100MS/s 0.18um CMOS ADC with optimized resolution, conversion speed, die area, and power dissipation to obtain the performance required in the fourth-generation mobile communication systems. The 3-stage pipeline ADC, whose optimized architecture is analyzed and verified with behavioral model simulations, employs a wide-band low-noise SHA to achieve a 14b level ENOB at the Nyquist input frequency, 3-D fully symmetric layout techniques to minimize capacitor mismatch in two MDACs, and a back-end 6b flash ADC based on open-loop offset sampling and interpolation to obtain 6b accuracy and small chip area at 100MS/s. The prototype ADC implemented in a 0.18um CMOS process shows the measured DNL and INL of maximum 1.03LSB and 5.47LSB, respectively. The ADC demonstrates a maximum SNDR and SFDR of 59dB and 72dB, respectively, and a power consumption of 145mW at 100MS/s and 1.8V. The occupied active die area is 3.4mm^2.

Keywords: high resolution, pipeline, CMOS, ADC, 3-D symmetric layout

I. 서 론

이동통신 시스템은 현대의 첨단전자산업의 가장 큰 시장중의 하나로, 세계 이동통신 업체는 4세대 이동통신 기술개발 및 표준화를 진행하고 있다. 특히, 4세대 이동통신 기술은 단일 단말기를 통해 다양한 무선통신 환경을 지원하는 Software Defined Radio (SDR) 기술을 중심으로 연구개발이 진행되고 있다. 이러한 SDR 기술을 구현하는데 있어서, 충분한 해상도와 처리능력으로 Intermediate Frequency (IF) 신호를 처리하기 위한 고해상도, 광대역 A/D 변환기 (Analog-to-Digital Converter : ADC)의 설계는 SDR 기술 발전의 가장 큰

* 학생회원, ** 평생회원, 서강대학교 전자공학과
(Dep. of Electronic Engineering, Sogang University)
※ 본 연구는 서강대학교 산업기술연구소 및 IDEC에 의해 지원되었음.
접수일자: 2006년3월17일, 수정완료일: 2006년5월8일

걸림돌로 작용하고 있다. 무선 근거리망 기술 (IEEE 802.11)을 바탕으로 하는 무선 랜 (Wireless Local Area Network : WLAN), 3세대 이동통신인 Wideband Code Division Multiple Access (WCDMA), CDMA2000 및 Universal Mobile Telecommunication System (UMTS) 등과 같은 다중표준, 다중대역의 무선 통신 환경을 동시에 지원하기 위한 ADC는 시스템 사양에 따라 정도의 차이는 있지만 최소한 14 비트 수준의 고해상도를 가지면서 샘플링 속도가 100MHz 이상의 수준이어야 한다. 또한 많은 시스템이 하나의 칩 속에 집적되는 System-on-a-Chip (SoC)의 발전 추세에 따라서 시스템의 코어 블록으로 사용되는 ADC는 대규모 CMOS 디지털 회로와 함께 집적이 가능하도록 작은 면적을 가지면서 동시에 적은 전력 소모가 필수적이다[1],[2].

기존의 다양한 ADC 구조 중에서도, 12 비트 이상의 고해상도와 수십 MHz의 고속 동작 주파수 조건을 동시에 만족시키고, 전력 소모 및 면적을 최소화하기 위한 ADC는 파이프라인 구조를 많이 적용하고 있는 추세이다[3]-[17]. 최근에 학회 및 저널을 통해 발표된 ADC 중 12 비트 이상의 해상도를 가지면서 샘플링 속도가 10MS/s 이상의 CMOS ADC를 본 논문에서 제안하는 ADC 사양과 함께 그림 1에 나타내었다[3]-[17].

그림 1에서 보는 바와 같이 기존의 특별한 보정기법 (Calibration)을 사용하지 않는 14 비트 ADC [13]의 사례는 해상도 및 샘플링 속도에 대한 전력소모가 4.53mW/MHz 수준이고 칩 면적은 7.8mm^{2}이며, 추가적인 보정기법을 사용한 ADC [12]의 경우는 정적특성은 좋으나 보정을 위한 추가적인 회로로 인하여 해상도 및

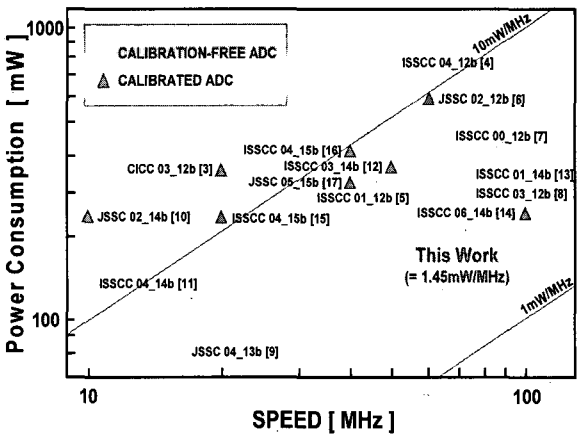


그림 1. 최근 발표된 12b 이상 고해상도를 가진 ADC의 성능 비교

Fig. 1. Performance comparison of recently reported high-resolution ADCs.

샘플링 속도에 대한 전력 소모가 7mW/MHz 수준으로 크며 칩 면적도 약 16mm^{2}로 매우 커서 SoC 응용을 위한 시스템 집적이 어려운 단점이 있다. 본 논문에서 제안하는 14b 100MS/s 3.4mm^2 145mW 0.18um CMOS 파이프라인 ADC는 기존 14 비트 수준의 ADC 중 가장 낮은 전원전압인 1.8V를 사용하며 동작의 여유를 고려하여 1.6V~2.0V의 전원전압에서도 모든 블록이 동작 가능하도록 설계하였으며, 해상도 대비 전력 면에서 1.45mW/MHz로 기존의 발표된 14 비트 ADC 중 가장 적은 전력을 소모한다. 칩 면적 또한 3.4mm^{2}로 기존의 ADC에 비해 SoC 집적에 대단히 유리한 작은 크기를 갖고 있다.

제안하는 14b 100Ms/s 0.18um CMOS ADC는 복잡한 보정기법 없이 14 비트의 고해상도와 100MS/s의 동작 속도를 만족시키기 위해, (1) 동작 모델 시뮬레이션을 통해 검증한 최적의 3단 파이프라인 구조로 설계하였으며, (2) 제안하는 입력단의 광대역 저잡음 Sample-and-Hold Amplifier (SHA)에는 위상 여유를 충분히 크게 하고 신호 왜곡을 최소화하기 위한 회로 설계 기법과 함께 14 비트에 해당하는 높은 DC 이득을 얻기 위해 2단 증폭기를 사용하였으며, (3) 전체 ADC 해상도에 결정적인 영향을 주는 Multiplying D/A Converter (MDAC)에 사용하는 커패시터 열에는 복잡한 보정기법을 사용하지 않으면서도, 소자 부정합을 최소화할 수 있는 3차원 완전 대칭 구조의 커패시터 레이아웃 기법을 적용하였고, (4) 고해상도 구현을 위해 최종단에 사용되는 6 비트 flash ADC에는 100MS/s의 동작 속도에서 6 비트 해상도를 구현하기 위하여, 2단 오픈 루프 오프셋 샘플링과 인터폴레이션 기법 (Interpolation)을 적용하면서 전체 ADC의 칩 면적을 최소화하는 방향으로 비교기를 배치하였으며, (5) 14 비트 해상도와 100MS/s의 동작 속도에서 글리치 에너지를 최소화하기 위한 기준 전류 및 전압 발생기를 온-칩으로 집적하여 중요한 아날로그 블록에 기준 전압을 안정적으로 공급하는 한편, 선택적으로 외부 기준 전압을 사용할 수 있도록 설계하였다. 본 논문의 II 장에서는 제안하는 파이프라인 ADC의 전체 구조를 논의하고, III 장에서는 제안하는 여러 가지 회로 설계 기법 및 레이아웃 기법을 간략히 요약한다. IV 장에서는 시제품 ADC의 측정결과를 정리한 뒤, V 장에서 결론을 맺는다.

II. 제안하는 14 비트 ADC 전체 구조

1. 기존의 다단 파이프라인 ADC 구조

기존의 k단을 갖는 다단 파이프라인 ADC의 구조는 그림 2와 같고, 이는 크게 두 가지로 분류되며, 각 단마다 단일 비트를 결정하는 구조와 각 단마다 다중 비트를 결정하는 구조로 구분된다.

단일 비트 구조의 경우 각 단의 구조는 상대적으로 간단해지는 장점이 있으나 다중 비트 구조에 비해 필요로 하는 단의 수가 많고 오차 요인 (Error Source)이 많아져 해상도가 제한되며 큰 전력 소모 및 면적의 증가를 피할 수 없게 된다. 그 반면, 다중 비트 구조의 경우에는 각 단에 많은 비트를 할당하면 할수록 전체 단수의 감소로 인하여 면적 및 전력 소모를 줄일 수 있고, 단 수의 감소 및 각 단의 이득 증가로 인해 입력으로 유입되는 오차 (Input Referred Error)가 감소하는 장점을 갖는다. 하지만, MDAC의 피드백 인자 (Feedback Factor)가 줄어들어 전체 ADC의 동작 속도가 제한되는 단점을 갖는다. 따라서 본 논문에서는 목표로 하는 14 비트 해상도와 100MS/s의 신호처리 속도를 구현하기 위해, 전형적인 복잡한 보정기법을 적용하지 않고 면적, 전력 및 해상도를 최적화하기 위한 구조로 하나의 단을 4 비트 또는 5 비트로 결정하는 2가지 경우를 고려하였다[18].

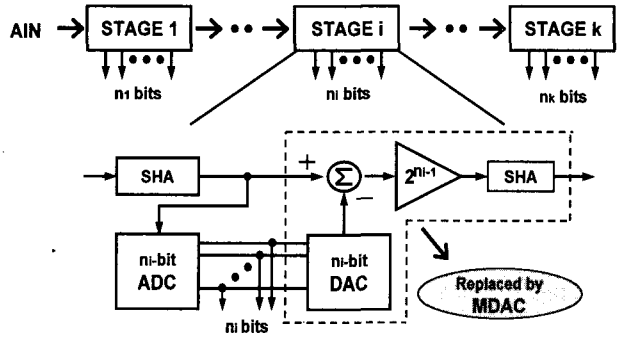


그림 2. 전형적인 k단 파이프라인 ADC
Fig. 2. Conventional k-stage pipeline ADC.

2. 동작 모델 시뮬레이션을 통한 최적의 고해상도 ADC 구조 검증

각 단에서 차례로 4 비트, 4 비트, 4 비트 및 5 비트를 결정하는 4-4-4-5 구조와, 각 단에서 5 비트, 5 비트 및 6 비트를 결정하는 5-5-6 구조는 모두 각 단사이의 비선형 오차 제거를 위해 각 단 디지털 출력을 디지털 교정 회로에서 각각 1 비트씩 중첩시켜 최종 14 비트를 출력한다. 이와 같은 두 가지 파이프라인 구조에 대해 동작 모델 시뮬레이션을 하여 선형성 및 수율을 비교 및 분석한 후, 그 검증된 결과를 바탕으로 14 비트 수준의 고해상도를 구현하기 위한 최적의 구조를 결정하였다.

구조 검증을 위해 각각의 구조에 해당하는 커패시터의 임의 오차 (Random Mismatch)는 최근 발표 논문을 참고하여 0.1%의 균일 분포 (Uniform Distribution)로 설정하였고, 그 이외 다른 조건은 모두 동일하게 하여 Monte Carlo 시뮬레이션을 하였다. Differential Non-Linearity (DNL), Integral Non-Linearity (INL)은 100개의 ADC 샘플을 사용하여 모의 실험하였다. 샘플 수는 100개 이상이 되면 전체 수율의 정확도에 큰 영향을 미치지 않기 때문에 100개 정도의 샘플을 사용하였다[19]. 그림 3은 4-4-4-5 및 5-5-6 각각의 구조에 대한 DNL과 INL의 수율 분포를 나타내고 있다.

그림 3에서 보듯이 5-5-6 구조의 경우 4-4-4-5 구조에 비해 그렇게 큰 차이는 아니지만 선형성 측면에서 우수한 결과를 보여준다. 결과적으로 4-4-4-5 구조는

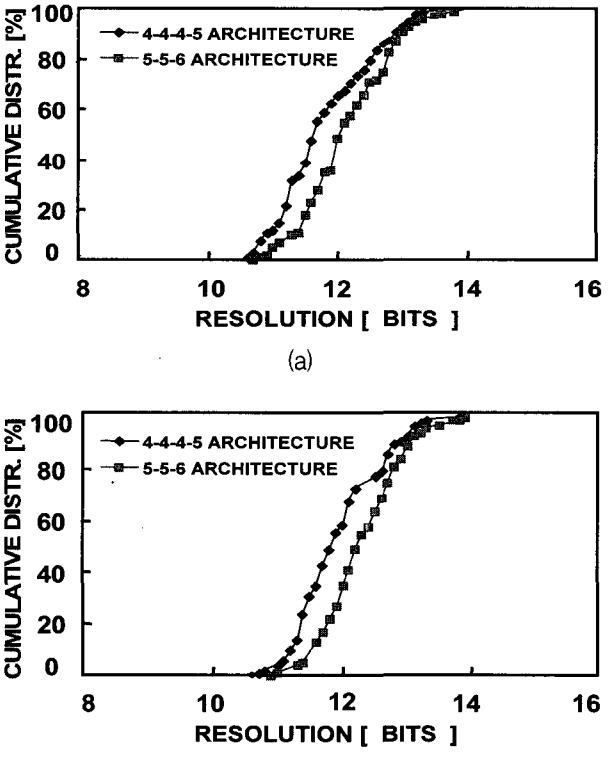


그림 3. 두 가지 ADC의 구조에 따른 수율 비교 : (a) DNL 및 (b) INL
Fig. 3. Yield distributions of two ADC architectures : (a) DNL and (b) INL.

5-5-6 구조에 비해 2배만큼 늘어나는 피드백 인자를 고려할 때 면적과 해상도 보다는 속도를 향상시키기 위한 응용에 적합한 구조이며 반면, 100MS/s 의 동작 속도가 문제가 되지 않는다면 5-5-6 구조는 4-4-4-5 구조에 비해 상대적으로 14 비트 해상도에서 면적, 전력 및 선형성을 최적화하기 위해 적합한 구조이다.

3. 제안하는 14b 고해상도 ADC 구조

본 연구에서 제안하는 14b 100MS/s 0.18um CMOS ADC는 처리 속도가 목표사양에 거의 문제가 없는 관계로 전력 및 면적 등을 우선적으로 고려하여 세 개의 단으로부터 각각 5 비트, 5 비트 및 6 비트를 얻는 3단 파이프라인 구조를 가지며, 전체 구조는 그림 4에 나타내었다. 전체 ADC는 입력단 SHA, 2개의 5b MDAC, 2개의 5b flash ADC, 1개의 6b flash ADC, 디지털 교정 회로 (Digital Correction Logic), 온-칩 기준 전류 및 전압 발생기, 온-칩 분주기 (Decimator) 및 클록 발생기 (Clock Generator)로 구성된다.

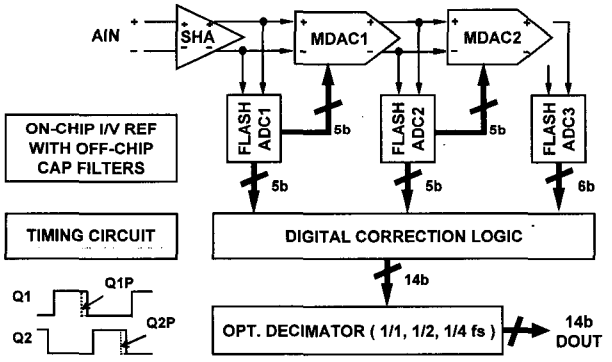


그림 4. 제안하는 14b 100MS/s CMOS ADC
Fig. 4. Proposed 14b 100MS/s CMOS ADC.

디지털 교정 회로에서는 각 블록 사이에서 발생하는 오프셋 및 클록 피드스루 등의 비선형 오차를 교정하기 위하여 각각 1 비트를 중첩시켜 최종 14 비트의 출력을 얻는다. 분주기는 측정 시에 시제품 ADC의 디지털 출력을 다운 샘플링하고, 측정 시 측정기판으로부터 발생할 수 있는 잡음 등을 14 비트 수준 이하로 최소화하기 위해 온-칩으로 집적하였다.

III. 제안하는 ADC의 주요 회로 설계 및 레이아웃

1. 광대역 저잡음 SHA 회로

제안하는 광대역 저잡음 SHA는 그림 5와 같이 저전

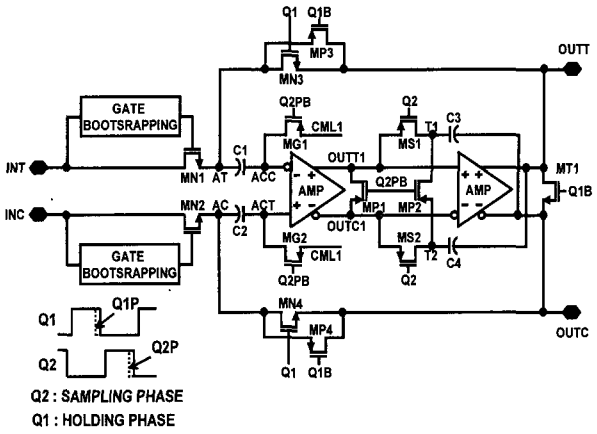


그림 5. 14 비트 정확도를 가지는 제안하는 광대역 저잡음 SHA
Fig. 5. Proposed wide-band low-noise SHA with 14b accuracy.

력 및 높은 동작 속도를 구현하기 위해 두 개의 피드백 커패시터 C1 및 C2를 사용하는 flip-around 구조를 사용하였다. SHA 회로는 적어도 14 비트 해상도를 필요로 하므로, 1.8V 전원 전압에서 100dB 이상의 높은 DC 전압 이득을 얻기 위해, 2개의 folded-cascode 구조를 가진 전형적인 2단 증폭기를 사용하였다.

제안하는 SHA 회로의 입력 커패시터는 입력 신호 1Vpp를 기준으로 0.5LSB 이하의 열잡음을 고려하여 4pF을 사용하였다. 사용된 0.18um CMOS 공정에서, 샘플링 스위치의 온-저항은 20ohm 정도로 14 비트 해상도에서 충분히 작은 시상수 (Time Constant)를 갖도록 하였고 입력 신호에 의해 스위치의 온-저항이 변화되어 신호가 왜곡되는 것을 최소화하기 위해 스위치의 게이트-소스 전압을 전원 전압 수준으로 일정하게 유지시켜 주는 부트스트래핑 기법을 사용하였다[20]. 기존의 부트스트래핑 회로에서는 채널이 길고 게이트 유전체가 두꺼운 3.3V용 소자를 사용함으로써 전원 전압 이상의 전압이 일부 노드에 인가되어 생기는 안정성 문제를 어느 정도 줄였으나, 이는 면적, 기생 커패시턴스 및 전력 소모를 증가시키는 결과를 가져온다[21].

한편, 제안하는 부트스트래핑 회로에는 0.18um 1P6M CMOS 공정에서 1.8V용 소자의 소스와 바디, 혹은 드레인과 바디 사이에 4V 이상의 전압이 인가되어도 문제가 없는 공정 특성을 고려하여 모든 소자들을 1.8V용 소자로 구현하여 작은 면적을 구현함과 동시에 기생 커패시터 성분을 줄이고 부트스트래핑 회로에 해

당하는 클록의 부하성분을 감소시켰다. 또한 본 논문에서는 위상 여유가 SHA 회로의 요구되는 동적 특성을 얻기 위한 중요한 요인이기 때문에 고해상도와 높은 위상여유를 동시에 만족시키기 위해 2단 증폭기 중 첫 번째 단과 두 번째 단 증폭기의 gm 비를 1:7의 비율로 조정하여 위상여유를 80° 이상이 되도록 설계하였다.

2. 3차원 완전 대칭 커패시터 레이아웃 기법이 적용된 5b MDAC

기존의 높은 해상도를 요구하는 ADC의 경우, 커패시터 열의 부정합을 제거하기 위해 다양한 아날로그 및 디지털 보정기법이 사용된다. 그러나 복잡한 알고리즘을 필요로 하는 이러한 보정기법은 추가적인 회로로 인한 면적과 전력 소모를 증가시켜서 결과적으로 소면적, 저전력을 추구하는 대규모 시스템 응용의 요구조건에 적합하지 않을 수 있다. 커패시터의 부정합은 주로 커패시터와 주변 신호 라인간의 기생 커패시턴스의 오차에 의한 영향이 크며 이러한 부정합의 영향은 추가적인 회로 없이 고도로 정돈된 레이아웃 기법만으로 상당 부분 감쇄시킬 수 있다. 본 연구에서 MDAC 커패시터 열의 부정합을 최소화하기 위해 제안하는 레이아웃 기법은 그림 6과 같다.

그림 6의 커패시터는 1P6M 공정의 Metal-Insulator-Metal (MIM) 구조를 가지며, 모두 동일한 대칭 형태이며 커패시터의 top과 bottom을 연결하는 메탈을 제외한 나머지 메탈 층들로 단위 커패시터들을 둘러싸도록 하였다. 이로 인해서, 각각의 단위 커패시터들의 주변 조건이 같아지므로 기생 커패시턴스가 동일한 양상으로 형성되고 결과적으로 공정상의 오차로 인한 커패시터의 부정합 영향을 최소화시킬 수 있다[22]. 이러한 레이아웃 기법은 민감한 아날로그 블록과 잡음을 발생시키는 블록을 분리하기 위해, 두개의 MDAC 및 세 개의 flash ADC에서 사용되는 커패시터에 동시에 적용하였다.

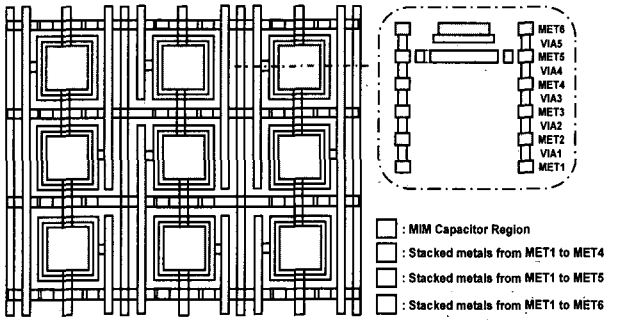


그림 6. 제안하는 3차원 완전 대칭 구조를 갖는 커패시터 레이아웃

Fig. 6. Proposed 3-D fully symmetric capacitor layout.

제안하는 ADC에서 사용하는 두 개의 MDAC인 MDAC1 및 MDAC2에는 요구되는 높은 DC 이득, 전력, 해상도 및 속도를 고려하여 2단 folded-cascode 증폭기가 사용되었다. 두 개의 MDAC에는 고속에서 전력과 잡음을 줄이기 위해 각각의 5b MDAC의 단위 커패시터 수를 32개에서 16개로 줄이는 병합 커패시터 스위칭 (Merged-Capacitor Switching : MCS) 기법을 적용하였다[23]. 이 방법으로 커패시터 수가 줄어든 만큼 디지털 게이트 및 신호선의 숫자가 절반으로 줄어들어 입력단 SHA의 부하 커패시턴스가 줄어드는 장점을 갖는다. 한편, MDAC1 및 MDAC2에 사용한 단위 커패시터의 크기는 열잡음 및 14 비트의 정합 등을 고려하여 각각 250fF 및 100fF를 사용하였다. 이와 같이 MDAC의 커패시터 열 간의 부정합은 ADC 전체의 정적 및 동적 성능을 결정하는 주요 요인이기 때문에, 커패시터 열 간의 부정합으로 인한 에러성분이 14 비트 정확도를 구현할 수 있도록 최소화 되어야 한다.

3. 6b 해상도를 갖는 최종단 flash ADC

제안하는 14 비트 ADC에는 3개의 flash ADC 즉, FLASH1, FLASH2 및 FLASH3가 사용되며 각 단에서는 각각 5 비트, 5 비트 및 6 비트의 디지털 값들을 출력한다. 제안하는 flash ADC는 고속, 저전력 신호 처리를 위하여 프리앰프 (Preamp)와 래치 (Latch)로 구성되는 비교기를 사용하며 특히, FLASH3는 그림 7에서 보는 바와 같이 6 비트의 높은 해상도를 구현하기 위해 2단 프리앰프를 사용하여 입력 오프셋을 오픈 루프 방식으로 샘플링 하는 구조를 사용한다.

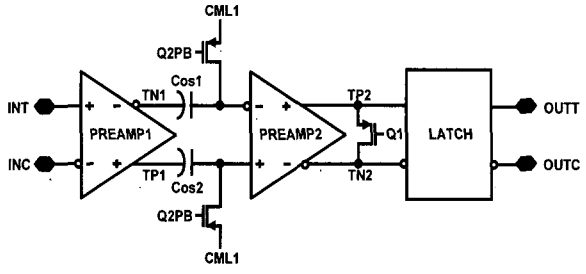


그림 7. 제안하는 오픈-루프 오프셋 샘플링 기법을 적용한 6b flash ADC의 비교기

Fig. 7. Proposed open-loop offset sampled comparator of the 6b flash ADC.

Q2가 high 상태일 때, 첫 번째 프리앰프의 출력단에 연결된 커패시터 Cos1, Cos2에는 입력 오프셋 전압이 샘플링되며, 두 번째 프리앰프의 출력단 TP2, TN2는 서로 단락됨으로써 다음 주기의 증폭 동작에서 안정된 동작을 할 수 있도록 한다. 반대로 Q1이 high 상태일 때는 Cos1, Cos2에 저장되어 있던 오프셋이 프리앰프의 입력 오프셋과 서로 상쇄되며, 신호 성분만 증폭되게 된다. 이와 같이 FLASH3의 비교기는 2단의 프리앰프를 사용함으로써 각 단의 이득을 낮추면서 출력단 폴 (Pole)의 위치를 증가시킴으로써 고속 동작에서 오프셋 샘플링이 가능하도록 하였다. 그림 8은 오프셋이 없을 때, 비교기의 출력 노드인 TP1과 TN1의 전형적인 전압 값을 나타내며 샘플링 된 오프셋 전압은 100MS/s 의 동작속도에서 요구되는 6 비트 해상도의 1LSB인 15.6mV를 기준으로 볼 때, 한 주기의 1/4인 2.5ns에서 이미 1LSB의 19% 이하의 정확도로 정착됨을 알 수 있다.

제안하는 14 비트 ADC의 최종단에 사용되는 6 비트 FLASH3는 64개의 온도계 코드 (Thermometer Code)를 얻기 위하여, 32개의 프리앰프 출력에 단일 인터폴레이션 기법을 적용하는 구조를 사용한다. 한편, 동일한 64개의 온도계 코드를 얻기 위한 방법으로 16개의 프리앰프 출력에 이중 인터폴레이션 기법을 적용하는 구조를 사용할 수도 있지만, 보통 추가적인 보조 프리앰프가 필요하며 전력 소모 및 면적을 증가시키고 회로의 복잡도가 증가하는 단점을 갖기 때문에 제안하는 FLASH3에는 단일 인터폴레이션 기법이 사용되었다. 또한, 6 비트 FLASH3에서 사용되는 32개의 비교기는 FLASH1 및 FLASH2에서 사용되는 비교기에 비해 절반 정도의 폭을 갖도록 레이아웃 함으로써, 전체 회로의 폭이 비슷하도록 하여 인접 회로간 신호 연결 및 배치 등의 측면에서 용이하도록 하였다.

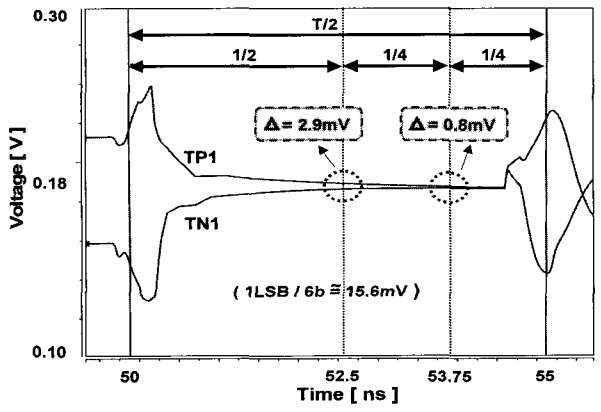


그림 8. 제안하는 FLASH3 비교기의 오프셋 샘플링 모의 실험 결과

Fig. 8. Simulated offset sampling of the proposed FLASH3 comparator.

4. 온-칩 저잡음 CMOS 기준 전류 및 전압 발생기

제안하는 시제품 ADC에는 그림 9와 같이 저전력으로 동작하는 온-칩 기준 전류/전압 회로를 집적하였고, 필요에 따라 외부에서도 별도의 기준 전압 값을 인가할 수 있도록 하였다.

그림 9에서 EXTRF 신호는 온-칩으로 집적한 기준 전압을 사용할 것인지 외부 기준 전압을 사용할 것인지를 결정하는 신호이며 EXTRF 신호가 high가 되면 출력단의 기준 전압 노드가 높은 임피던스가 되도록 함으로써 외부 기준 전압을 사용할 수 있게 하였다. 또한, 전체 시스템을 사용하지 않을 때는 POFF 신호를 high로 두어 전력 소비 절감을 위한 비동작 모드가 되도록 하여 휴대응용의 이점을 갖게 하였다. POFF 신호가 high인 상태에서 ADC의 전력 소모는 5uW 수준으로 줄어들며, POFF 신호가 다시 low 상태로 되면 1us 안에 정상 동작 모드로 돌아오도록 설계되었다. 그림 9의 IREF 블록은 온도와 공급 전압의 변화에 독립적인 CMOS 기준 전류를 발생시키고, 그 값은 IVCN 디지털 코드에 의해 ±30% 이내의 소자 변화를 보정할 수 있다. IREF에 의해 생성되는 온-칩 기준 전압 역시 온도와 공급 전압의 변화에 독립적인 특성을 갖는다[24].

한편, 스위치드 커패시터 구조를 사용한 최근의 고속 고해상도 CMOS ADC는 MOS 스위치를 통하여 내부 회로들을 위한 기준 전압을 공급한다. 이런 스위치드 커패시터를 사용한 기준 전압은 충 방전이 반복되면서 발생하게 되는 고주파 스위칭 잡음과 글리치를 포함하

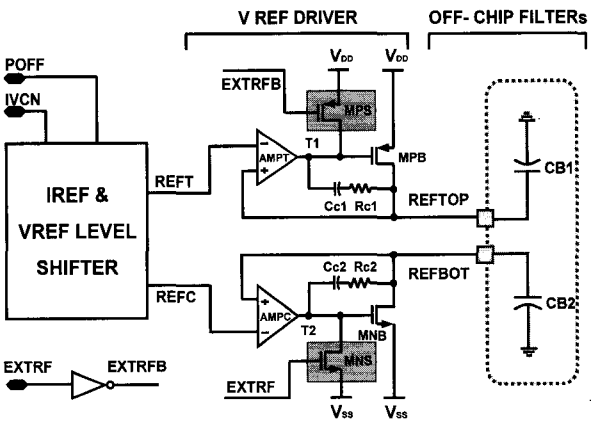


그림 9. 온-칩 기준전류 및 전압 발생기

Fig. 9. On-chip current and voltage references.

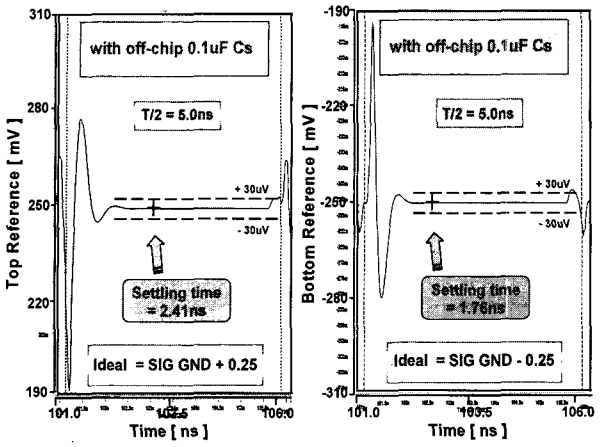


그림 10. 온-칩 기준전압의 모의실험 결과
Fig. 10. Simulated on-chip top and bottom reference voltages.

는 경우가 많기 때문에, 본 논문에서는 그림 10에서 보는 바와 같이 기준 전압 회로의 출력 단에 0.1uF 수준의 외부 커패시터를 사용하여 온-칩 기준 전류 및 전압 발생기만으로도 100MS/s의 속도에서 각 해당되는 기준 전압 노드가 충분히 정착할 수 있도록 하였다.

IV. 시제품 ADC 제작 및 성능 측정

제안하는 14b 100MS/s ADC는 SMIC 0.18um n-well 1P6M CMOS 공정을 사용하여 제작되었다. 그림 11은 제안하는 시제품 14b 100MS/s ADC의 칩 사진을 보여주며, □ 부분은 고속 동작에서의 잡음 차단을 위한 온-칩 PMOS 커패시터를 나타낸다.

제안하는 3차원 완전 대칭 구조의 레이아웃 기법을 적용한 시제품 ADC는 1.8V의 전원 전압과 100MS/s의 샘플링 속도에서 동작할 때 145mW의 전력을 소모하며, 입/출력 패드를 제외한 칩 면적은 3.4mm^{2}이다. 시제품 ADC의 측정된 DNL 및 INL은 그림 12와 같이 각각 -0.60~+1.03LSB, -5.31~+5.47LSB 이내에 있다.

측정된 INL 성능이 DNL 보다 비교적 높은 것은 본 시제품 제작시점에서 제작공정 SMIC 0.18um CMOS 공정의 커패시터의 디자인 규칙이 수정되어 부분적으로 최적화 되지 않았던 것으로 보이나 DNL은 14 비트 해상도 수준을 보여준다. 사실 많은 ADC 응용 시스템에서는 DNL 및 INL 사양이 둘 다 좋은 것이 바람직하지만 INL 보다는 DNL 요구사양이 더 엄격한 경향이 있음을 고려할 필요가 있다.

그림 13은 1MHz의 입력 주파수, 100MHz의 샘플링

그림 11. 시제품 14b 100MS/s 0.18um CMOS ADC 칩 사진 (1.76mm × 1.93mm)
Fig. 11. Die photograph of the prototype 14b 100MS/s 0.18um CMOS ADC (1.76mm × 1.93mm).

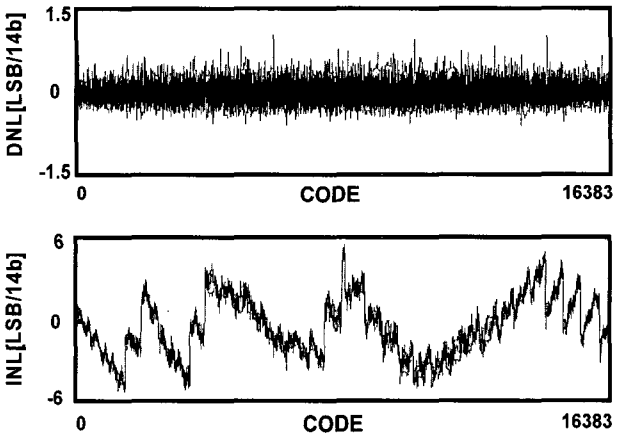


그림 12. 측정된 DNL 및 INL
Fig. 12. Measured DNL and INL.

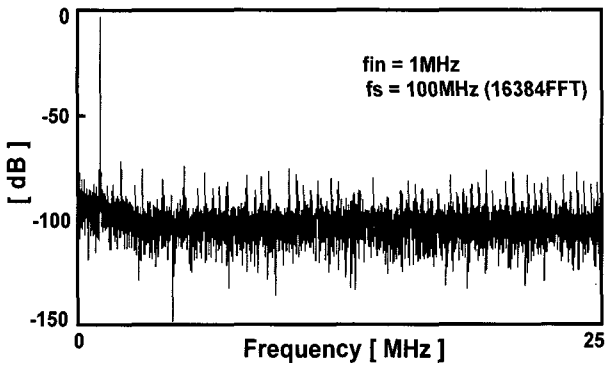
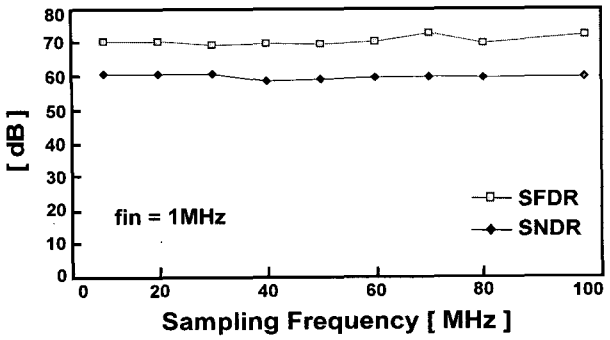
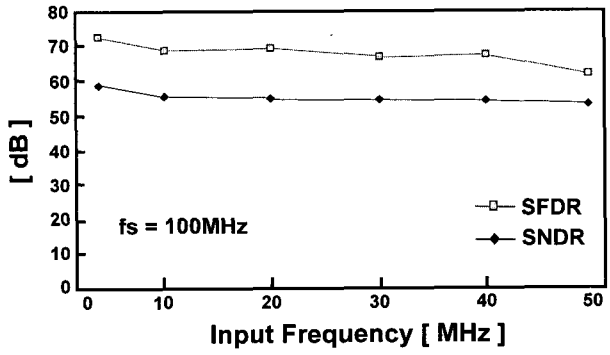


그림 13. 측정된 신호 스펙트럼
Fig. 13. Measured signal spectrum.



(a)



(b)

그림 14. 측정된 동적 성능 : (a) 샘플링 및 (b) 입력 주파수에 따른 SFDR 및 SNDR

Fig. 14. Measured dynamic performance of SFDR and SNDR versus (a) fs and (b) fin.

속도에서 온-칩 분주기를 사용하여 1/2 다운 샘플링하여 측정한 전형적인 신호 스펙트럼을 나타낸다.

그림 14는 시제품 ADC의 동적 성능을 나타낸다. 그림 14(a)는 샘플링 속도를 10MS/s에서 100MS/s 까지 증가시킬 때, 1MHz의 차동 입력 주파수에서의 Signal-to-Noise-and-Distortion Ratio (SNDR) 및 Spurious-Free Dynamic Range (SFDR)를 나타낸 것이다. 측정된 SNDR과 SFDR은 샘플링 속도가 100MS/s까지 증가하는 동안 59dB 및 72dB 이상 유지하는 것을 볼 수 있다. 그림 14(b)는 100MS/s 의 최대 샘플링 속도에서, 입력 주파수를 증가시킬 때의 SNDR 및 SFDR을 나타낸다. 입력 신호가 Nyquist 주파수까지 증가할 때, SNDR과 SFDR이 각각 53dB 및 62dB 이상을 유지하는 것을 알 수 있다.

시제품 ADC는 14 비트 해상도를 갖고 있기 때문에 1ps 미만의 지터를 갖는 크리스털 오실레이터를 샘플링 클록으로 사용하였으며, 전원 전압으로부터의 잡음을 최소화하기 위하여 적은 잡음을 갖는 전압 조정기 (Voltage Regulator)를 측정보드에 장착하여 측정하였다. 또한 아날로그 입력 신호는 Agilent 33250A 신호발생기로 인가하여 측정하였는데, 신호발생기만을 측정한 결과 낮은 주파수 대역에서는 70dB 수준의 SNR을 갖지만, 제안하는 ADC의 Nyquist 입력인 50MHz에서는 60dB 수준의 낮은 SNR을 갖게 되어 신호발생기 출력에 수동소자를 이용한 저대역 필터를 부착하여 측정을 하였다. 제안하는 시제품 ADC의 성능 측정 결과를 표 1에 요약하였다.

표 1. 시제품 ADC 성능 요약

Table 1. Performance summary of the prototype ADC.

Resolution	14bits
Max. Conversion	100MSample/s
Process	SMIC 0.18um CMOS (MIM Cap.)
Input Range	1.0Vp-p
SNDR (at fin = 1MHz)	59.0dB
SFDR (at fin = 1MHz)	72.1dB
DNL	- 0.60LSB / + 1.03LSB
INL	- 5.31LSB / + 5.47LSB
ADC Core Power	145mW
Active Die Area	3.4mm^2 (= 1.76mm × 1.93mm)

V. 결 론

본 논문에서는 차세대 4G 이동 통신 시스템 개발에 가장 큰 걸림돌인 고해상도, 광대역 ADC를 위한 특별한 보정기술을 사용하지 않는 저비용의 14b 100MS/s 3.4mm^2 145mW 0.18um CMOS ADC를 제안한다. 요구되는 사양을 구현하기 위해 다음의 설계 및 레이아웃 기법들을 제안하였다.

첫째, 제안하는 14b 100MS/s ADC는 낮은 면적 및 적은 전력 소모를 동시에 만족하기 위해서 전체 ADC를 동작 모델 시뮬레이션을 통해서 최적화한 3단 파이프라인 구조로 설계하였다. 둘째, 입력단의 광대역 저잡음 SHA는 Nyquist 입력에서도 14 비트의 유효비트 수를 유지함과 동시에 저전력 및 소면적을 구현하기 위해 80°의 높은 위상 여유를 갖는 2단 증폭기를 사용하고, 공정 특성을 최대한 활용하여 게이트-부트스트래핑 회로를 모두 3.3V가 아닌 1.8V용 정상 소자만을 사용하여 구성하였다. 셋째, 전체 ADC의 정적 및 동적 성능을 향상시키기 위해 2개의 MDAC에 사용하는 커패시터들의 주변 조건을 동일하게 함으로써 커패시터 부정합을

최소화하는 3차원 완전 대칭 구조를 갖는 레이아웃 기법을 적용하였다. 넷째, 최종단 flash ADC에는 6 비트의 해상도에서 100MS/s의 동작 속도를 구현하기 위해서 2단 오픈 루프 오프셋 샘플링 및 인터폴레이션 기법을 적용하였고, 전체 ADC의 칩면적을 최소화하기 위해 5b flash ADC에서 사용하는 비교기에 비해 절반 정도의 폭을 갖도록 레이아웃 하였다. 다섯째, 고해상도 ADC의 안정된 기준 전압을 위해서 온-칩 기준 전류 및 전압 발생기를 집적하였고 외부에 0.1uF 수준의 바이패스 커패시터를 사용하여 기준 전압의 정착 시간을 최소화하였다.

제안하는 시제품 ADC는 SMIC 0.18um CMOS 공정으로 제작되었으며, 측정된 DNL과 INL은 각각 1.03LSB, 5.47LSB 수준을 보이며, 100MS/s의 샘플링 속도에서 SNDR 및 SFDR이 각각 59dB, 72dB의 동적 성능을 보였으며, 칩 면적은 3.4mm^2, 소모 전력은 1.8V 전원전압에서 145mW이다.

참 고 문 헌

[1] J. Mitola. III, "Technical challenges in the globalization of software radio," *IEEE Commun. Mag.,* vol. 33, pp. 84-89, Dec. 1999.

[2] H. M. Seo, C. G. Woo, and P. Choi, "Relationship between ADC performance and requirements of digital-IF receiver for WCDMA base-station," *IEEE Trans. Vehic. Tech.,* vol. 52, no.5, pp. 1398-1408, Sept. 2003.

[3] X. Wang, P. J. Hurst, and S. H. Lewis, "A 12-bit 20-MS/s pipelined ADC with nested digital background calibration," in *Proc. CICC,* Sept. 2003, pp. 409-412.

[4] K. Nair and R. Harjani, "A 96dB SFDR 50MS/s digitally enhanced CMOS pipeline A/D converter," in *ISSCC Dig. Tech Papers,* Feb. 2004, pp. 456-457.

[5] H. Ploeg, G. Hoogzaad, H. Termeer, M. Vertregt, and R. Roovers, "A 2.5V 12b 54MSamples/s 0.25um CMOS ADC in 1mm^2," in ISSCC Dig. *Tech Papers,* Feb. 2001, pp. 132-133.

[6] A. Shabra and Hae-Seung Lee, "Oversampled pipeline A/D converters with mismatch shaping," *IEEE J. Solid-State Circuits,* vol. 37, no. 5, pp. 566-578, May 2002.

[7] L. Singer, S. Ho, M. Timko, and D. Kelly, "A 12b 65MSample/s CMOS ADC with 82dB SFDR at 120MHz," in *ISSCC Dig. Tech Papers,* Feb. 2000, pp. 38-39.

[8] B. Murmann and B. E. Boser, "A 12b 75MS/s pipelined ADC using open-loop residue amplification," in *ISSCC Dig. Tech Papers,* Feb. 2003, pp. 328-329.

[9] M. H. Liu, K. C. Huang, W. Y. Ou, T. Y. Su, and S. I. Liu, "A low voltage-power 13-BIT 16 MSPS CMOS pipelined ADC," *IEEE J. Solid-State Circuits,* vol. 39, no. 5, pp. 834-836, May 2004.

[10] S. Y. Chuang and T. L. Sculley, "A digitally self-calibrating 14-bit 10-MHz CMOS pipelined A/D converter," *IEEE J. Solid-State Circuits,* vol. 37, no. 6, pp. 674-683, June 2002.

[11] Y. Chiu, P. R. Gray, and B. Nikolic, "A 1.8V 14b 10MS/s pipelined ADC in 0.18um CMOS with 99dB SFDR," in *ISSCC Dig. Tech. Papers,* Feb. 2004, pp. 458-459.

[12] S. T. Ryu, S. Ray, B. S. Song, G. H. Cho, and K. Bacrania, "A 14b-Linear capacitor self-trimming pipelined ADC," in *ISSCC Dig. Tech. Papers,* Feb. 2003, pp. 464-465.

[13] D. Kelly, W. Yang, I. Mehr, M. Sayuk, and L. Singer, "A 3V 340 mW 14b 75MSPS ADC with 85dB SFDR at Nyquist," in *ISSCC Dig. Tech Papers,* Feb. 2001, pp. 134-135.

[14] P. Bogner, F. Kuttner, C. Kropf, T. Hartig, M. Burian, and H. Eul, "A 14b 100MS/s digitally self-calibrated pipelined ADC in 0.13um CMOS," in *ISSCC Dig. Tech Papers,* Feb. 2006, pp. 224-225.

[15] H. C. Liu, Z. M. Lee, and J. T. Tu, "A 15b 20MS/s CMOS pipelined ADC with digital background calibration," in *ISSCC Dig. Tech Papers,* Feb. 2004, pp. 454-455.

[16] E. Siragusa and I. Galton, "A digitally enhanced 1.8V 15b 40MS/s CMOS pipelined ADC," in *ISSCC Dig. Tech Papers,* Feb. 2004, pp. 452-453.

[17] H. C. Liu, Z. M. Lee, and J. T. Wu, "A 15-b 40-MS/s CMOS pipelined analog-to-digital converter with digital background calibration," *IEEE J. Solid-State Circuits,* vol. 40, no. 5, pp. 1047-1056, May 2005.

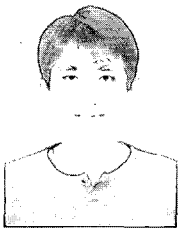
[18] S. H. Lewis, "Optimizing the stage resolution in pipelined, multistage, analog-to-digital converters for video-rate applications," *IEEE Trans. Circuits Syst. II,* vol. 39, pp 516-523, Aug. 1992.

[19] J. S. Lee, S. H. Joo, and S. H. Lee, "Resolution enhancement techniques for high-speed multi-stage pipelined ADC's based on a multi-bit multiplying DAC," *IEICE Trans. on Electronics,* vol. E84-C, No. 8, pp. 1092-1099, Aug. 2001.

[20] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipelined analog-to-digital converter," *IEEE J. Solid-State Circuits,* vol. 34, no. 5, pp. 599-606, May 1999.
[21] S. M. Yoo, J. B. Park, H. S. Yang, H. H. Bae, K. H. Moon, H. J. Park, S. H. Lee, and J. H. Kim, "A 10b 150MS/s 123mW 0.18um CMOS pipelined ADC," in *ISSCC Dig. Tech Papers,* Feb. 2003, pp. 326-327.
[22] H. C. Choi, S. B. You, H. Y. Lee, H. J. Park, and J. W. Kim, "A calibration-free 3V 16b 500kS/s 6mW 0.5mm2 ADC with 0.13um CMOS," in *Symp. VLSI Circuits Dig. Tech. Papers,* June 2004, pp. 76-77.
[23] S. M. Yoo, T. H. Oh, J. W. Moon, S. H. Lee, and U. K. Moon, "A 2.5V 10b 120MSample/s CMOS pipelined ADC with high SFDR," in *Proc. CICC,* May 2002, pp. 441-444.
[24] Y. J. Cho and S. H. Lee, "An 11b 70-MHz 1.2-mm2 49-mW 0.18-um CMOS ADC with on-chip current/voltage references," *IEEE Transactions on Circuit and Systems I,* vol. 52, no. 10, pp. 1989-1995, Oct. 2005.

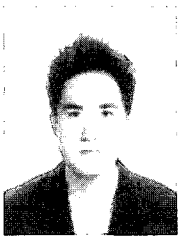
저 자 소 개

김 영 주(학생회원)
2005년 서강대학교 전자공학과 학사.
2005년~현재 서강대학교 전자공학과 석사과정.
<주관심분야 : 고속 데이타 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



유 시 욱(학생회원)
2006년 서강대학교 전자공학과 학사.
2006년~현재 서강대학교 전자공학과 석사과정.
<주관심분야 : 고속 데이타 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>

이 승 훈(평생회원)
1984년 서울대학교 전자공학과 학사
1986년 서울대학교 전자공학과 석사.
1991년 미 Illinois 대 (Urbana-Champaign) 공학박사.
1986년 KIST 위촉 연구원.
1987년~1990년 미 Coordinated Science Lab (Urbana) 연구원.
1990년~1993년 미 Analog Devices 사 senior design engineer.
1993년~현재 서강대학교 전자공학과 교수.
<주관심분야 : 집적회로 설계, 데이터 변환기 (A/D, D/A) 설계 등임.>



박 용 현(학생회원)
2005년 서강대학교 전자공학과 학사.
2005년~현재 서강대학교 전자공학과 석사과정.
<주관심분야 : 고속 데이타 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>

김 용 우(학생회원)
2006년 서강대학교 전자공학과 학사.
2006년~현재 서강대학교 전자공학과 석사과정.
<주관심분야 : 고속 데이타 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>