

ac PDP에서 Addressing 특성개선을 위한 Negative Ramp Slope이 적용된 Reset Pulse에 관한 연구

최혜림[†] · 정선욱 · 강정원

[†]단국대학교 전자컴퓨터공학과

The new reset pulse used negative ramp slope for improving the addressing characteristic in ac PDP

Hye Rim Choi[†], Sun Wook Jung and Jung Won Kang

[†]Dept. of Electronics and Computer Engineering, Dankook University

ABSTRACT

A new reset waveform with negative ramp pulse is proposed. Conventional reset waveform applied to the commercial PDP uses a positive ramp pulse. The reset waveforms, especially focused on ramp area, were examined with 2 dimensional fluid code. The proposed negative reset waveform showed much lower ignition voltage (~70V) as compared with the conventional reset waveform. When the negative ramp pulse was applied, all of the positive-charged ions are collected on the scan electrode. It is found that the ignition voltage of reset discharge due to the negative ramp pulse became lower than that of positive ramp discharge.

Key Words : PDP, Negative ramp reset

1. 서 론

Digital 방송과 다양한 High quality 콘텐츠의 유입으로 새로운 Flat panel display시장이 급격히 성장하고 있다. PDP는 기존 영상 디스플레이 장비보다 밝고 선명한 고화질의 영상을 재현할 수 있는 디스플레이 중 대표적이다. HDTV방송의 시작으로 일반적인 468 Scan라인의 VGA급보다 768 Scan라인의 XGA급 Display와 같은 High resolution display에 대한 수요가 증가되고 있다. Resolution이 증가됨에 따라 Address 기간에 필요한 시간이 증가되고 Pixel pitch는 감소하게 된다. 또한 상대적으로 고정된 디스플레이 구간 내에서 Address 시간의 증가로 인해 Reset과 Sustain 시간의 감소가 불가피해진다. 그러므로 휘도가 낮아지고 Address 특성이 불안정해지며 구동전압이 올라가는 문제점이 발생된다.

이런 문제점들을 해결하기 위한 PDP Cell 구조 변화, PDP내 Gas변화, 구동파형의 개선의 세가지 정도로 분류할 수 있다. 첫째, PDP를 구성하는 각 Layer의 Geometry factors를 변화시켜 PDP Cell내 인가되는 전압이 증가하게 되어 Wall charge가 많이 축적됨에 따라 Address에 필요한 시간이 감소되는 구조개선이 있다. 둘째, PDP panel내 Gas를 변화시켜 구동특성을 개선하는 방법이 있다. 예를 들어 가시광 변환 효율의 향상을 위하여 여기종의 직접적인 형성 비율을 높이는 방법으로 방전가스의 압력을 높이거나 Xe의 분압을 증가시키는 방법 등이 있다. 셋째, 이전 Sub-field의 On/Off Cell 간 갭을 최소화시키면서 좀더 많은 양의 Wall charge를 Uniform하게 생성할 수 있는 Reset파형의 개발을 들 수 있다.

본 논문에서는 세 번째 해결방안인 Reset파형 변화를 통해 Address 방전 특성을 개선하면서 Dark room 상황에서 Contrast ratio를 결정하는 중요한 Factor인 Reset구간에서 발생하는 가시광의 최소화를 목표로 연구했다. 이 논문에서는 Negative ramp slope을 적용한

[†]E-mail : zenca1997@gmail.com

Reset waveform으로 기존의 파형보다 더 낮은 전압으로, 더 빠른 Reset을 수행할 수 있는 실험결과를 보여주고자 한다.

2. 실험 방법

2.1. 2-Dimensional fluid simulation code

2-Dimensional fluid simulation code를 이용하여 Ramp 구간을 연산했으며 이 Code는 다음의 5단계에 걸쳐 PDP Cell로부터 휘도 효율에 기여하는 가시광을 발생시키게 된다.

- (1) 플라즈마 방전 발생
- (2) 여기된 원자로부터 UV광 방출
- (3) UV에 의한 형광체 여기
- (4) UV의 가시광으로의 변환
- (5) Cell로부터 가시광 산출

2.2. 계산된 PDP geometry

그림 1은 Reset waveform의 방전특성을 분석하기 위한 PDP Cell 구조 모식도이다. 50인치 XGA급으로 Cell pitch폭인 x축과 높이인 y축은 810 μm , 200 μm 으로 설정했으며 x방향으로 60개, y방향으로 40개의 격자로 구성된 Symmetric boundary 환경으로 계산되어 있다. 2-Dimensional fluid simulation code에서 격벽은 Address 전극과 평행하기 때문에 분석되지 않는다.

이차전자방출 계수(γ) 0.5, 0.05의 Ne(90%)-Xe(10%)의 혼합Gas가 봉입돼있다. 500 torr의 구동환경에서 유전층의 두께와 상대 유전율은 상판 20 μm , $\epsilon/\epsilon_0=10$, 하판 30 μm , $\epsilon/\epsilon_0=5$ 로 설정했으며 격벽 높이는 150 μm 이고 Sustain과 Scan 전극 길이는 0.283 μm , 전극 간 겹은 0.081 μm 이다

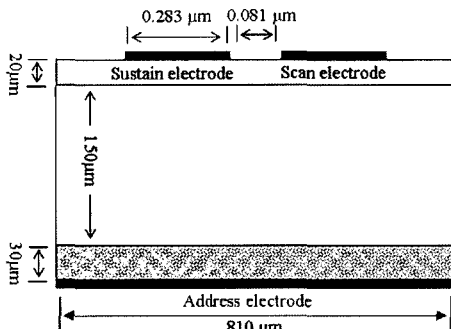


Fig. 1. 50인치 XGA급 PDP Cell 구조

3. 실험결과 및 고찰

3.1. PDP에서 Reset의 역할

ADS방식에서 Reset pulse는 Sub-filed에 해당되는 광을 표현하기 위해 모든 셀을 초기화 해야 한다. Wall charge의 초기화 이후의 Cell 상태는 Addressing 방전에 영향을 미치게 되므로 다음 Addressing을 하기 위해서는 Wall charge를 전체적으로 Uniform하면서 충분히 만들어줌으로써 Sustain 방전을 연속적으로 발생시킬 수 있는 Cell환경을 만들어준다. 이 단계에서 Addressing 전압, Addressing 실패, Addressing 속도 등은 중요한 요소가 되고 따라서 기존의 Reset파형과 제안된 파형의 방전 발생 시점과 Wall charge의 양을 비교하여 개선된 사항을 확인할 수 있다.

3.2. 제안된 Negative ramp reset pulse analysis

그림 2에 보이듯이 PDP의 Reset구간에서 Positive ramp pulse를 가지는 기존의 Reset 파형과 본 논문에서 제안하는 Negative ramp pulse가 적용된 Reset pulse를 비교한다. Y는 Scan전극, X는 Sustain 전극이고 A는 Address전극이고 Scan 전극에 인가된다. 기존의 유형인 (a)의 경우 Sustain과 Address 전극에는 0V를, Scan 전극에는 170V에서 500V까지의 Positive slope의 Reset pulse를 인가하고, 제안된 유형의 (b)에서는 (a)의 경우와 같이 Sustain과 Address 전극에는 0V를, Scan전극에는 Negative slope 형태로 -170V에서 -500V가 인가됐다.

3.2.1. Current peak와 time analysis

그림 3은 80 μs 동안 그림 2와 같은 Pulse를 세 전극에 인가했을 때 전극들 사이의 Interaction과 Current peak를 보여주고 있다. 우선 기존의 Reset pulse의 경우 (a)에서는, Scan 전극에 4V/ μs 의 Voltage increment로 170V에서 500V가 인가되는 동안 28 μs 가 지난

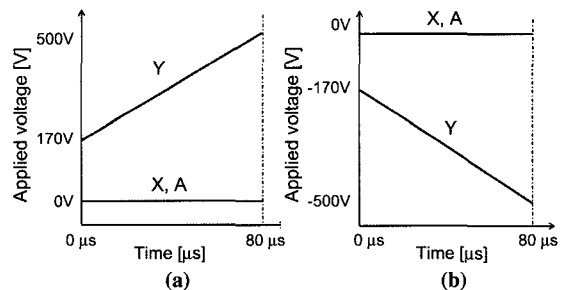


Fig 2. (a) 기존의 Positive ramp reset pulse, (b) 제안된 Negative ramp reset pulse

280V지점에서 Reset 방전이 발생된 것을 확인할 수 있다. Scan-Sustain 전극간, Scan-Address 전극간 약방전이 일어나고 Sustain 전극과 Address 전극은 Cathode가 되어 Positive ion들이 축적되고 Scan 전극은 Anode가 되어 Negative ion들이 Scan 전극 위에 쌓이게 된다. 따라서 Scan 전극으로부터 Negative current가 흐르고 Sustain과 Address 전극으로부터 Positive current가 흐르는 것을 관찰할 수 있다. 제안된 새로운 Reset pulse의 경우 (b)에서는, Scan 전극에 $-4V/\mu s$ 로 $80 \mu s$ 동안 $-170V$ 에서 $-500V$ 가 인가되는 과정에서 $10 \mu s$ 가 지난 $-210V$ 지점에서 Reset 방전이 발생된다. 따라서 기존의 Positive ramp pulse일 때보다 Negative ramp pulse가 적용된 경우 Reset 방전개시전압은 $280V$ 에서 $210V$ 로 $70V$ 의 Ramp 전압 폭이 낮아지고 소요시간 역시 $28 \mu s$ 에서 $10 \mu s$ 로 $18 \mu s$ 의 시간이 감소된 결과를 확인할 수 있다.

Positive ramp pulse를 인가했을 때 Positive ion들은 Sustain 전극과 Address 전극을 향해 분산되어 Drift되는 반면 Negative ramp pulse를 인가했을 때, Positive ion들은 모두 Scan 전극에 모이게 된다. 그러므로 Neg-

ative ramp pulse를 적용했을 때, Positive ramp pulse의 경우보다 더 낮은 전압으로도 Reset 방전이 가능하게 된다.

3.2.2. Reset 방전 후의 Cell 내 Wall charge

그림 4는 Positive reset pulse와 Negative reset pulse가 인가됐을 때 축적된 Wall charge를 보여주고 있다. 그림 3의 (a), (b)에서 방전이 소멸한 후의 동일시점 $70 \mu s$ 에서의 Wall charge profile이다. 앞서 말한 바와 같이 Positive reset pulse를 인가했을 경우 Sustain과 Address 전극에는 Positive ion들이 쌓이고 Scan 전극에는 Negative ion들이 쌓이게 된다. Negative reset pulse의 경우는 Positive의 경우와 반대 극성으로 Sustain과 Address 전극에는 Negative ion들이 쌓이고 Scan 전극에는 Positive ion들이 쌓이게 된다. Positive reset pulse

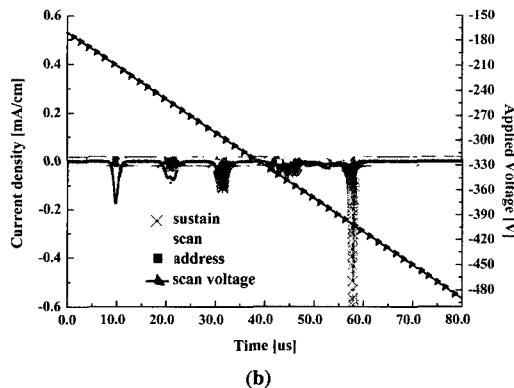
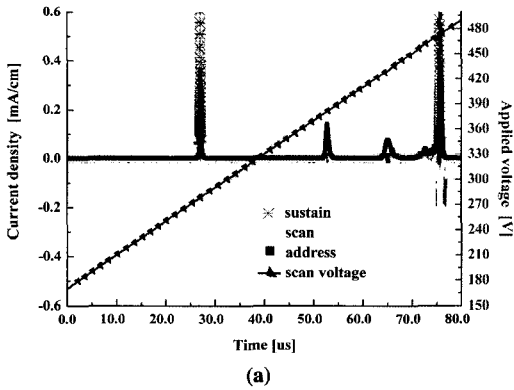


Fig. 3. (a) 기존의 Positive ramp reset pulse, (b) 제안된 Negative ramp reset pulse

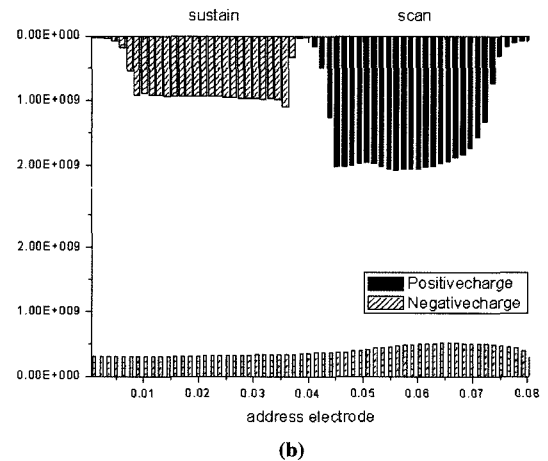
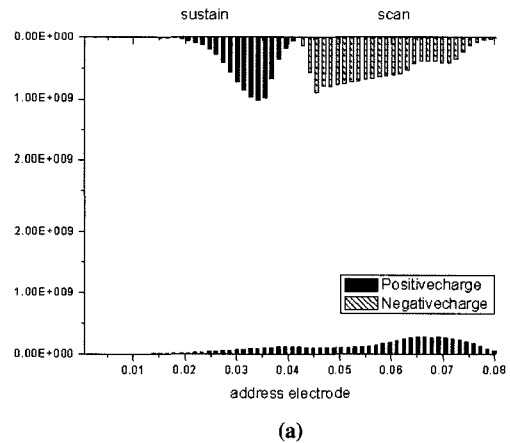


Fig. 4. (a) 기존의 Positive ramp reset pulse, (b) 제안된 Negative ramp reset pulse

와 비교했을 때 Negative reset pulse의 경우 50%가량 증가된 양의 Wall charge가 형성된 것을 확인할 수 있다. 따라서 Positive reset의 경우와 비교했을 때 전압도 감소시킬 수 있으며 충분한 양의 Wall charge 축적이 발생되므로 기존의 Reset waveform의 역할을 수행하면서 더 유리한 결과를 얻었다. 이러한 개선된 결과를 토대로 PDP full waveform을 설계하는 연구가 진행 중이다.

4. 결 론

본 연구에서는 기존의 Reset waveform에서의 Positive reset pulse 대신 Negative reset pulse를 인가함으로써, 63% 빨라진 방전 발생 시간과 25% 낮아진 전압 레벨을 확인할 수 있었다. Reset 방전 후의 Cell 내 Wall charge의 축적 양의 경우에서도 기존 파형에 의해 축적된 Wall charge보다 제안된 파형에 의한 Wall charge 양의 50% 이상 증가는 Addressing 방전에서도 더 낮은 방전개시전압으로 구동이 가능하게 한다. 그러

므로 감소된 Reset 전압과 감소된 Reset 방전시간으로 HDTV와 같은 대화면, 고화질의 PDP 구동에 있어 Addressing의 안정성과 낮은 휘도의 문제점에 관한 해결책을 제시하였다.

참고문헌

1. S. Mikoshiba, Inform. Display, Vol.10, pp.21-23, 1994.
2. J.P. Boeuf, V. Punset, A. Hirech and H. Doyeux, J. PHYS. IV FRANCE 7, 1997.
3. J.P. Boeuf, Journal of Applied Physics D: Applied Physics, 2003.
4. K. Yoshikawa, Y. Kanazawa, W. Wakitani, T. Shinoda and A. Ohtsuka. 1992 Japan. Display 92.
5. L.C. Pitchford, J. Kang, C. Punset and J.P. Boeuf Journal of Applied Physics, Vol.92, NO.12, 2002.
6. Jungwon Kang, IEEE Trans. Electron Devices, Vol.52, NO.5, pp.922, 2005.
7. C. Punset, S. Cany, and J.P. Boeuf, Journal of Applied Physics, Vol.86, NO.1, pp.124-133, 1999.