

선형적인 동적 영역 특성을 갖는 고출력 비대칭 도허티 전력 증폭기의 설계

Design of a High Power Asymmetric Doherty Amplifier with a Linear Dynamic Range Characteristic

이주영 · 김지연 · 이동헌 · 김종헌

Ju Young Lee · Ji Yeon Kim · Dong Heon Lee · Jong Heon Kim

요 약

본 논문에서는 WCDMA(Wideband Code Division Multiple Access) 기지국용 고출력 비대칭 도허티 전력 증폭기를 구현하였다. 구현된 도허티 증폭기는 P1 dB로부터 9 dB의 영역에 걸쳐 높은 효율을 가지며, 전체 동적 영역에서 선형적인 특성을 갖는다. 고효율 구간의 확장과 선형적인 동적 영역 특성을 얻기 위해서 주 증폭기의 소자보다 두 배 큰 피킹 소자를 사용했으며, 입력에는 비대칭 전력 분배기를 사용하였다. WCDMA 1FA (Frequency Assignment) 신호를 사용하여 측정한 결과 P1 dB로부터 9 dB 백-오프 지점에서 31 %의 전력 부가 효율과 -35 dBc의 ACLR(Adjacent Channel Leakage Power) 특성을 얻었다.

Abstract

In this paper, an asymmetric high power extended Doherty amplifier for WCDMA base-station applications is presented. The amplifier has an extended peak efficiency over 9 dB of output power and a linear dynamic range characteristic. To realize the peak efficiency extension and linear dynamic range characteristic, a two times larger peaking device compared to the main device, and an unequal power divider are used. From the experimental results of 1FA WCDMA signal, this amplifier has an efficiency of 31 % and an ACLR of -35 dBc is achieved at 9 dB back-off from P1 dB.

Key words : Asymmetric Doherty Amplifier, Unequal Power Divider, Linear Dynamic Range

I. 서 론

현대의 디지털 통신 시스템은 광대역, 멀티 캐리어로 이루어진 신호를 사용한다. 이러한 신호는 10 dB 이상의 높은 PAR(Peak-to-Average Ratio)을 가지며, 이것은 전력 증폭기에서 큰 효율의 저하를 가져온다. 따라서 이동 통신용 기지국이나 중계기용 다중 채널 고출력 전력 증폭기의 효율을 개선하기 위

한 노력이 계속되고 있다.

백-오프 상태에서 높은 효율을 얻기 위해서 EER (Envelope Elimination and Restoration), LINC(Linear amplification using Nonlinear Components), 도허티 구조 등과 같은 효율 개선 기술들이 제안되었다. 이러한 기술 중 도허티 기술은 추가적으로 복잡한 회로 없이 효율을 향상시킬 수 있는 장점을 가지고 있다. 그러나 일반적으로 도허티 증폭기에서 피킹 증폭기

「본 연구는 정보통신부 및 정보통신연구진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음」(ITA-2005-(C1090-0503-0003))」

광운대학교 전파공학과(Department of Radio Science & Engineering, Kwangwoon University)

· 논문 번호 : 20060417-041

· 수정완료일자 : 2006년 6월 8일

는 B급 또는 C급으로 구현되기 때문에 피킹 증폭기 동작 후 이득이 떨어져 선형적인 동적 영역을 갖지 못하고 AM-AM 특성이 왜곡되는 단점을 갖는다.

기존에 발표된 도허티 관련 논문 중 고효율 구간을 확장할 수 있는 도허티 증폭의 설계 방법으로는 주 증폭기와 피킹 증폭기를 서로 다른 소자로 설계하는 비대칭 구조의 도허티 증폭기와 동일한 소자를 사용한 다단 구조의 도허티 증폭기로 구분할 수 있다. 비대칭 구조를 사용한 경우, 확장된 높은 효율 구간과 선형성을 구현하였지만 자체적인 공정을 사용한 InGaP/GaAs HBT(Heterojunction Bipolar Transistor)를 사용하여 단말기용에 적합한 저출력으로 구현하였다. 또한 임피던스 정합 회로 및 입·출력단에 오프셋 선로 등이 없이 설계되어 기저국과 같은 고출력에 적용하기 어려운 단점을 갖는다^[1]. 다단 구조를 사용한 경우, 상용 LDMOS(Laterally Diffused Metal Oxide Semiconductor)를 사용하였기 때문에 고출력 증폭기에 적용이 가능하다. 그러나 다단 구조는 주 증폭기와 피킹 증폭기에 동일한 소자를 사용하기 때문에 피킹 증폭기에 추가적인 소자를 필요로 한다. 따라서 전체 회로의 크기가 커지고, 2개 이상의 소자를 사용하므로 발열 문제에 대한 대책이 필요하다^{[2],[3]}. 또한 구현된 증폭기의 9 dB 백-오프 지점에서 효율은 약 20 %로 본 논문에서 얻고자 하는 30 % 이상의 고효율 성능에 비하여 10 % 정도 낮은 효율을 보여주고 있다^[3]. 그 밖에도 PBG(Photonic Band Gap), DGS(Defected Ground Structure) 마이크로스트립 선로를 이용한 도허티 증폭기가 발표되었다^{[4],[5]}. 그러나 이러한 방법들은 도허티 증폭기 외에 PBG 또는 DGS의 사용을 위한 추가적인 해석이 요구되는 단점과 성능 면에서도 30 % 미만의 낮은 효율을 얻고 있다. 최근에는 동일 소자를 사용하여 6 dB 백-오프 지점에서 고효율을 갖는 도허티 증폭기의 선형성을 최적화시키기 위한 방법이 연구되었고, 퍼드포워드 선형화기를 이용하여 이러한 도허티 증폭기의 선형성을 20 dB 이상 개선시키는 논문이 발표되었다^{[6],[7]}.

본 논문에서는 고출력 도허티 전력 증폭기의 설계를 위하여 기존의 다단 구조 대신에 서로 다른 소자를 사용한 비대칭 구조를 적용하여 소자의 수량을 줄였으며 이를 통하여 소자에 의한 발열, 회로의 크기 및 가격에 대한 문제를 개선하고자 한다. 또한,

비대칭 전력 분배기와 입·출력단에 오프셋 선로를 추가하여 30 % 이상의 전력 부가 효율과 -35 dBc의 ACLR의 선형성을 갖는 전력 증폭기를 제안한다.

II. 고출력 비대칭 도허티 증폭기

그림 1은 본 논문에서 제안한 고출력 비대칭 도허티 증폭기의 구조이다. 여기서 Z_m , Z_p , R_L 은 각각 주 증폭기와 피킹 증폭기의 출력 임피던스, 그리고 도허티 증폭기의 공통 부하 임피던스를 나타낸다.

본 논문에서는 고효율 구간의 확장을 위해서 다단 구조 대신 비대칭 구조를 사용하였으며 기존의 논문에서 입력단에 사용한 90도 하이브리드 커플러 또는 Wilkinson 전력 분배기 대신에 C급으로 동작하는 피킹 증폭기의 이득 특성을 보상하기 위하여 비대칭 전력 분배기를 사용하였다. 또한, 피킹 증폭기의 소자를 주 증폭기의 소자보다 큰 용량의 소자를 사용하였으며, 입·출력 오프셋 선로를 삽입하였다.

2-1 입·출력단 오프셋 선로

비대칭 소자의 사용으로 인한 출력에서의 위상 차이를 보상하기 위하여 입력단에 오프셋 선로를 삽입하였다. 또한, 소출력 도허티 전력 증폭기와 달리 LDMOS의 출력 임피던스가 낮기 때문에 $\lambda/4$ 임피던스 변환기 이외에 리액턴스 성분을 보상하기 위한 정합 회로로서 출력단에 오프셋 선로를 삽입하였다. 따라서 주 증폭기의 출력 임피던스는 최적의 오프셋 선로의 길이에 의해서 피킹 증폭기를 높은 임피던스로 바라보게 되어 누설 전력을 최소화 할 수 있다^{[6],[7]}.

2-2 공통 부하 임피던스

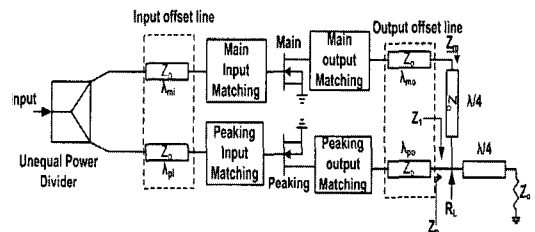


그림 1. 비대칭 고출력 도허티 증폭기의 구성도
Fig. 1. Schematic diagram of a high power asymmetric extended Doherty amplifier.

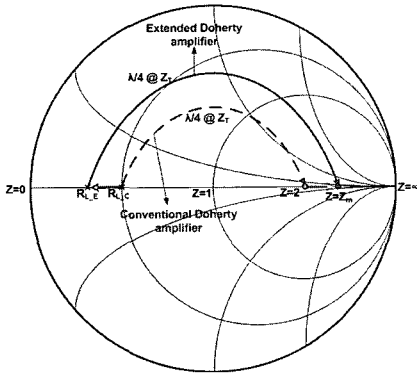


그림 2. 도허티 증폭기에서 임피던스 변환 관계
Fig. 2. Impedance transform of an extended Doherty amplifier.

최대 출력으로부터 9 dB 백-오프 구간에 걸쳐 높은 효율을 가지는 고효율 도허티 증폭기를 구현하기 위해서는 주 증폭기가 P1 dB로부터 9 dB 백-오프된 지점에서 포화되어야 하므로 낮은 입력 수준에서 주 증폭기의 출력 임피던스 Z_m 은 일반적인 도허티 증폭기보다 큰 값을 갖는다. 이처럼 큰 임피던스를 구현하기 위해서 도허티 증폭기의 공통 부하 임피던스는 일반적인 도허티 증폭기보다 작은 값을 가지며 $\lambda/4$ 임피던스 변환기에 의해서 높은 임피던스로 변환된다.

그림 2는 이러한 임피던스의 변환을 스미스 차트 상에서 보여준다. $R_{L,F}$ 와 $R_{L,C}$ 는 각각 제안된 도허티 증폭기와 일반적인 도허티 증폭기의 공통 부하 임피던스를 나타낸다. 일반적인 도허티 증폭기는 일반적으로 출력 임피던스가 100 Ω ($Z=2$)로 변환이 된다. 그러나 더 큰 출력 임피던스 값을 얻기 위해서 제안된 증폭기의 공통 부하 임피던스 $R_{L,F}$ 는 $R_{L,C}$ 보다 작아진다.

식 (1)~(3)은 입력 수준에 따른 각 증폭기의 출력 임피던스(Z_m, Z_p)와 공통 부하 임피던스 R_L 을 나타내고, σ 는 피킹 증폭기의 동작 점 또는 백-오프 양이다.

$$Z_m = \begin{cases} \frac{Z_0}{\sigma} & \text{low power region} \\ Z_0 & \text{peak power} \end{cases} \quad (1)$$

$$Z_p = \begin{cases} \infty & \text{low power region} \\ \left(\frac{\sigma}{1-\sigma}\right) \times Z_0 & \text{peak power} \end{cases} \quad (2)$$

$$R_L = \sigma \times Z_0, \quad \sigma = 10^{\frac{-B}{20}} \quad (3)$$

여기서, B 는 P1 dB로부터의 백-오프를 나타낸다. 기본적인 능동 로드-풀 이론에 의해서 공통 부하 임피던스를 바라보는 임피던스 Z_1 은 식 (4)와 같이 주어진다^[8].

$$Z_1 = R_L \left(1 + \frac{I_p}{I_m}\right) \quad (4)$$

여기서, I_m 과 I_p 는 각각 주 증폭기와 피킹 증폭기의 출력 전류를 나타낸다.

주 증폭기의 출력 임피던스는 최대 출력 전력에서 최적 부하 임피던스 Z_0 로 변환된다. 그러므로 식 (1), (3), (4)로부터 주 증폭기의 출력 전류 I_m 과 피킹 증폭기의 출력 전류 I_p 의 최대값 $I_{m,max}$ 와 $I_{p,max}$ 의 관계식을 식 (5)와 같이 얻었다.

$$I_{p,max} = \left(\frac{1}{\sigma} - 1\right) I_{m,max} \quad (5)$$

비대칭 도허티 증폭기에서 최대 출력 전류는 식 (5)와 같은 관계식을 갖고, 출력 드레인 최대 전압은 이상적인 경우 V_{dc} 이므로 비대칭 도허티 증폭기의 전압, 전류 특성은 그림 3과 같다. 또한 위의 관계로부터 피킹 소자는 적절한 부하 변조를 위해서 주 증폭기의 소자보다 $\left(\frac{1}{\sigma} - 1\right)$ 배 커야 함을 알 수 있다.

2.3 비대칭 전력 분배기

그림 4는 비대칭 전력 분배기가 적용된 간략화 된

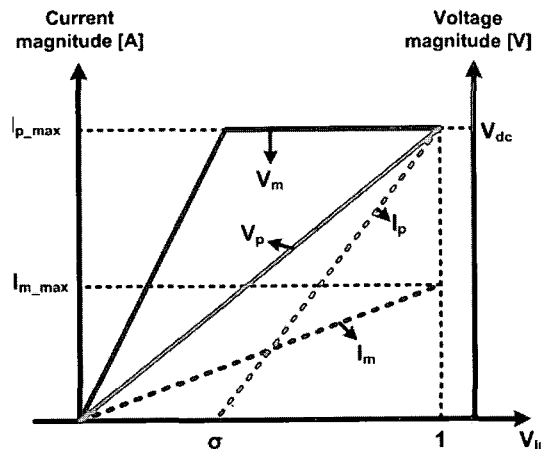


그림 3. 비대칭 도허티 증폭기의 전압, 전류 특성
Fig. 3. Voltage and current characteristic of an asymmetric extended Doherty amplifier.

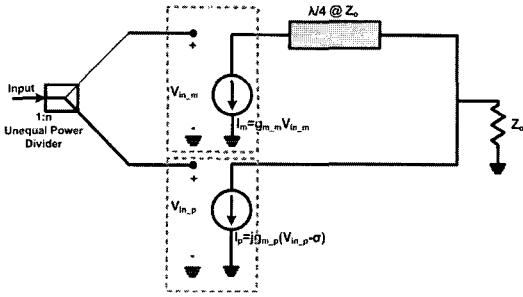


그림 4. 비대칭 전력 분배기가 적용된 간략화된 도허티 증폭기 구조

Fig. 4. Simplified Doherty amplifier with an unequal power divider.

도허티 증폭기의 구조를 보여준다. 여기서 각 소자는 이상적인 전압 조정 전류원으로 가정하였다. 여기서 그림 3과 같은 이상적인 전류 특성을 유도하고, 선형적인 AM-AM 특성을 가지기 위해서 입력에 1:n 비대칭 전력 분배기를 사용하였다.

일반적으로 피킹 증폭기는 C급으로 바이어스 되어 있기 때문에 피킹 증폭기의 동작 시점에서 이득이 감소하고 도허티 증폭기는 왜곡된 AM-AM 성능을 나타낸다. 그러나 비대칭 전력 분배기를 사용하면 피킹 증폭기의 충분한 이득을 보장함으로써 전체 동적 영역에서 선형적인 AM-AM 특성을 유지할 수 있다.

주 증폭기의 입력과 피킹 증폭기의 입력의 비가 1:n인 비대칭 전력 분배기가 입력에 사용되고, 주 증폭기와 피킹 증폭기의 트랜스 컨덕턴스를 각각 $g_{m,m}$, $g_{m,p}$ 라 하면 I_m 과 I_p 는 각각 식 (6) 및 식 (7)과 같다.

$$I_m = g_{m,m} \times \frac{1}{\sqrt{n+1}} \times V_i \quad (6)$$

$$I_p = g_{m,p} \times \left(\sqrt{\frac{n}{n+1}} \times V_i - \sigma \right) \quad (7)$$

여기서 V_i 는 입력 전압을 나타낸다.

최대 입력 전압 $V_{imax} = \sqrt{\frac{n+1}{2}}$ 에서 식 (6)과 식 (7)은 식 (5)를 만족해야 하므로 비대칭 전력 분배기의 비율을 식 (8)과 같이 유도할 수 있다.

$$n = 2 \times \left[\frac{1}{\sqrt{2}} \times \frac{g_{m,m}}{g_{m,p}} \times \left(\frac{1}{\sigma} - 1 \right) + \sigma \right]^2 \quad (8)$$

III. 설계 및 시뮬레이션

표 1. 비대칭 도허티 증폭기의 설계 규격

Table 1. Specifications of an asymmetric extended Doherty amplifier.

항목	설계 규격
주파수(MHz)	2,140
대역폭(MHz)	20
이득(dB)	10 이상
PAE(%)	30 이상
ACLR(dBc)	-30 이하(± 5 MHz 오프셋)

본 논문에서는 AB급으로 동작하도록 바이어스된 주 소자로 MRF21045 LDMOS FET와 C급으로 동작하도록 바이어스된 피킹 소자로 MRF21090 LDMOS FET를 각각 사용하여 비대칭 도허티 증폭기를 설계하였다. Agilent사 ADS(Advanced Design System)를 사용하여 유전상수 3.52인 테프론 기판에 도허티 회로를 시뮬레이션하였다. 시뮬레이션에 사용한 소자는 Freescale사의 디자인 라이브러리를 이용하였다. 표 1은 설계하고자 하는 비대칭 도허티 증폭기의 설계 규격이다.

본 논문에서 설계한 9 dB 백-오프 비대칭 도허티 증폭기의 경우 σ 는 0.354이고, 식 (8)에 의해서 결정된 입력의 비대칭 전력 분배기의 입력 비는 1:2이다. 그리고 출력 보상 선로의 특성 임피던스 Z_0 와 Z_p 는 각각 50 Ω 과 27.4 Ω 이다. 출력 보상 선로의 길이 λ_{m0} 와 λ_{p0} 는 각각 0.082 λ 와 0.2 λ 이다. 또한 입력 보상 선로는 출력에서 위상의 차이를 보상하기 위해서 삽입되었고, 입력 보상 선로의 길이 λ_{mi} 와 λ_{pi} 는 각각 0.06 λ 와 0.443 λ 이다. 그림 5는 출력 전력에 대한 주 증폭기와 피킹 증폭기의 부하 임피던스의 시뮬레이션 결과를 보여준다.

주 증폭기를 일반적인 도허티 증폭기보다 낮은 전력 수준에서 포화시키기 위해서, 주 증폭기의 출력 임피던스는 낮은 출력 구간에서 약 140 Ω 의 임피던스를 갖는다. 각 증폭기의 최대 출력 전력 지점에서 주 증폭기의 출력 임피던스는 52 Ω 으로 피킹 증폭기의 출력 임피던스 27.8 Ω 보다 약 1.8배 크다.

그림 6은 1:2 비대칭 전력 분배기가 사용된 비대칭 도허티 전력 증폭기의 전압 및 전류 특성에 대한 시뮬레이션 결과를 보여준다. 피킹 증폭기는 출력 전력이 42 dBm인 지점에서 동작을 하고, 주 증폭기

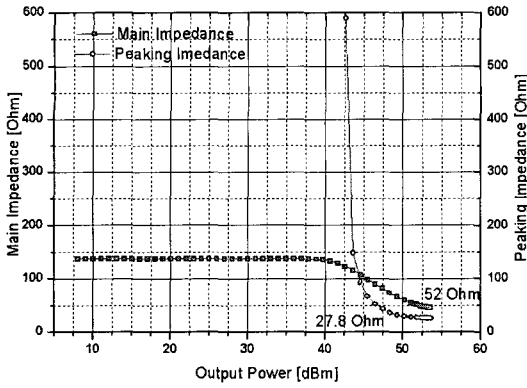


그림 5. 출력 전력에 대한 주 증폭기와 피킹 증폭기 부하 임피던스의 시뮬레이션 결과

Fig. 5. Simulated load impedances of the main and peaking amplifier versus output power.

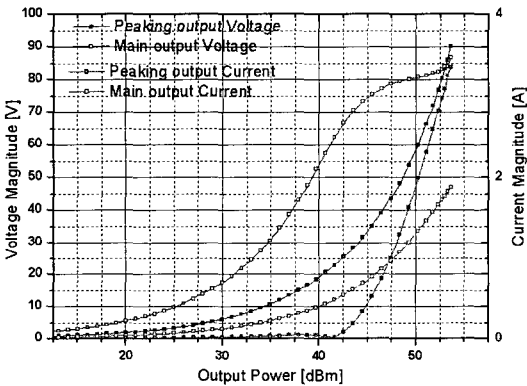
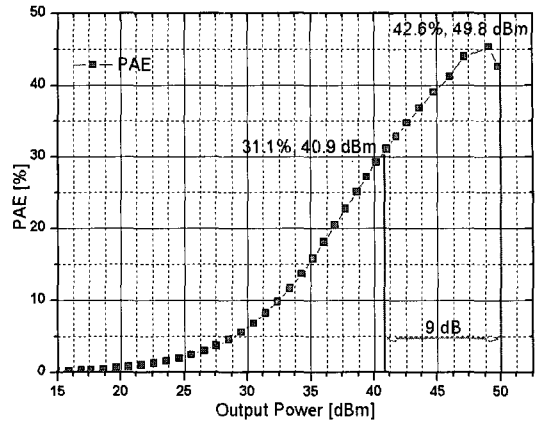


그림 6. 비대칭 도허티 전력 증폭기의 전압 및 전류 시뮬레이션 결과

Fig. 6. Simulated output voltage and current characteristics of the main and peaking amplifiers.

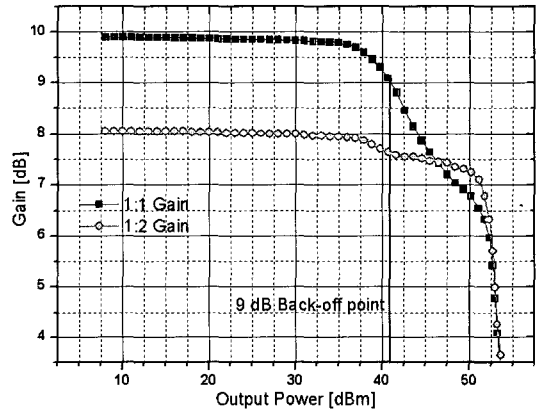
의 출력 전압은 동일 지점에서 포화된다. 그리고 피킹 증폭기의 최대 출력 전류는 주 증폭기의 최대 출력 전류보다 1.78배 크다.

그림 7은 ADS에서 3GPP(3rd Generation Partnership Project) test1 신호를 사용하여 측정된 전력 부가 효율과 이득, 그리고 ± 5 MHz 오프셋에서 측정된 ACLR 특성을 보여준다. 그림 7(a)에서 9 dB 백-오프한 지점에서 31.1%의 전력 부가 효율을 얻었다. 그림 7(b)에서는 전력 분배기의 비에 따른 전력 증폭기의 이득의 변화를 비교하였다. 1:1 전력 분배기와 같이 전력 분배기의 비율이 적절치 않으면 증폭기는

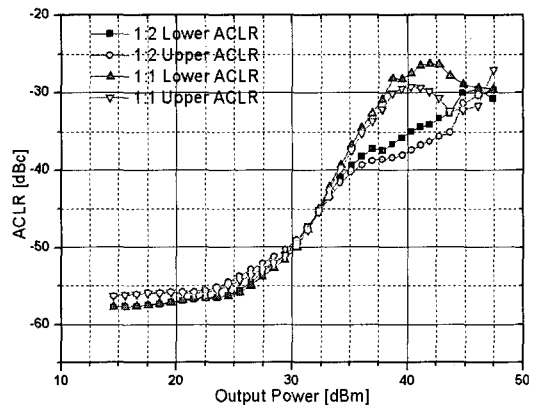


(a) 전력 부가 효율

(a) PAE



(b) 1:1 분배기와 1:2 분배기를 적용한 경우 이득 비교
(b) Comparison of 1:1 power divider with 1:2 power divider based Doherty amplifier



(c) ACLR 비교(± 5 MHz 오프셋)

(c) Comparison of ACLR(± 5 MHz offset)

그림 7. WCDMA 시뮬레이션 결과

Fig. 7. WCDMA measurement results.

큰 이득의 변화를 보인다. 반면 1:2 분배기와 같이 적절한 전력 분배기를 사용한 증폭기는 평탄한 이득 특성을 갖는다. 그림 7(c)는 WCDMA 1FA 신호를 사용하여 1:1 전력 분배기를 사용한 경우와 1:2 전력 분배기를 사용한 도허티 전력 증폭기에서 ± 5 MHz의 오프셋에서 측정된 ACLR 특성을 나타낸다. 1:1 전력 분배기를 사용한 증폭기는 왜곡된 AM-AM 특성을 가지므로 1:2 분배기를 사용한 증폭기보다 선형성이 떨어진다. 1:2 전력 분배기를 사용한 경우 9 dB 백-오프 지점에서 약 -35 dBc의 ACLR 결과를 얻었지만, 1:1 전력 분배기를 사용한 경우 약 -28 dBc의 ACLR 결과를 얻었다.

IV. 측정 결과

본 논문에서는 Freescale사의 MRF21045와 MRF-21090을 사용하여 P1 dB에서 9 dB 구간에 걸쳐 높은 효율을 가지는 비대칭 도허티 전력 증폭기를 그림 8과 같이 제작하여 2,140 MHz 주파수 대역에서 측정하였다. 여기서 비대칭 전력 분배기의 비율은 1:2로 제작하였다.

그림 9는 WCDMA 신호를 사용하여 측정된 PAE 결과를 보여준다. 사용한 WCDMA 신호는 3GPP TS 25.213 V5.5.0과 TS 25.211 V5.5.0에서 규정된 FDD (Frequency Division Duplex) 모드의 1 FA 신호와 4FA 신호를 각각 사용하였으며, PAR은 0.01 %의 CCDF (Complementary Cumulative Distribution Function)에서 각각 9.67 dB, 9.55 dB이다. 최대 출력 전력은 49.8

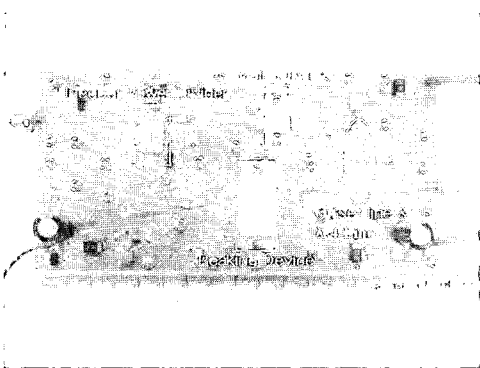


그림 8. 실제 제작한 비대칭 도허티 증폭기
Fig. 8. Picture of realized an asymmetric Doherty amplifier.

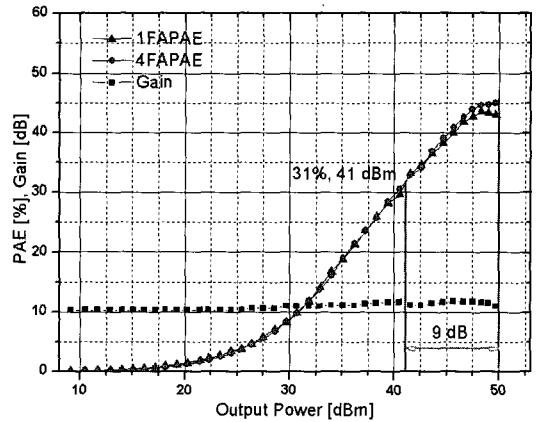


그림 9. WCDMA 신호에서의 PAE 측정 결과
Fig. 9. Measured PAE using WCDMA signals.

dBm이고, 9 dB 백-오프 한 지점에서 전력 부가 효율은 약 31 %이고, 전체 동작 영역에서 평탄한 이득 특성을 얻었다.

그림 10은 WCDMA 1 FA 신호로 ± 5 MHz 오프셋에서 측정된 ACLR을 보여준다. 9 dB 백-오프 지점에서 ACLR은 약 -35 dBc의 값을 갖는다. 기지국에서 피드포워드 선형화기를 사용하는 경우 약 20 dB 이상의 ACLR 개선 효과를 얻을 수 있으므로 본 논문에서 구현된 전력 증폭기는 피드포워드 선형화기를 기지국에서 사용하는 경우 -55 dBc로 3GPP 규격을 만족시킬 수 있음을 알 수 있으며 기존에 발표된 논문들에 비하여 10 % 이상의 높은 효율을 얻었

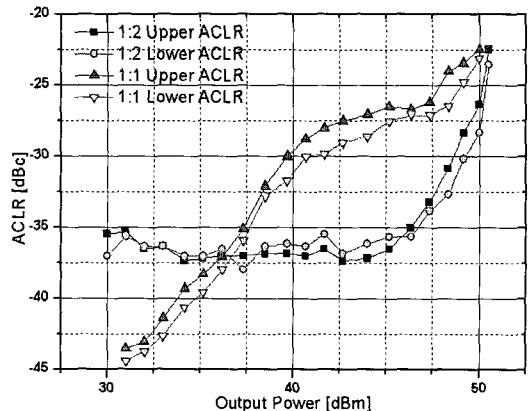


그림 10. ACLR 측정 결과(± 5 MHz 오프셋)
Fig. 10. Measured ACLR using WCDMA 1FA(± 5 MHz offset).

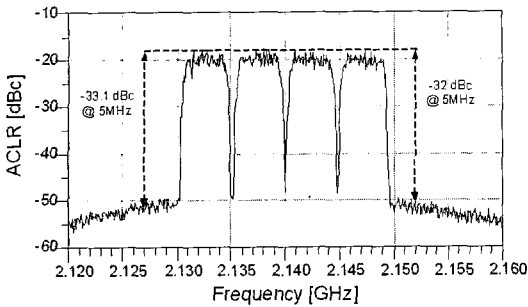


그림 11. WCDMA 4FA 신호에 대한 비대칭 도허티 증폭기의 ACLR 특성
 Fig. 11. Measured 4FA spectrum of an asymmetric extended Doherty amplifier.

표 2. 비대칭 도허티 증폭기의 시뮬레이션과 측정 결과
 Table 2. Comparison of simulation results with measurements.

항목		시뮬레이션	측정
주파수(MHz)		2,140	2,140
대역폭(MHz)		20	20
이득(dB)		8.3	10.2
P1 dB(dBm)		51.3	49.8
PAE(%)	PEP	44.66	약 45
	9 dB 백오프	31.3	31
ACLR(dBc)	+5 MHz	-37.3	-36.5
	-5 MHz	-35	-35.5

다^{[6],[9]}.

그림 11은 평균 전력 20 W에서 WCDMA 4FA 신호에 대한 비대칭 도허티 증폭기의 ACLR 측정 결과를 보여준다. ±5 MHz 오프셋에서 -33.1 dBc와 -37 dBc의 ACLR을 각각 얻었다.

표 2에서는 WCDMA 신호에 대한 비대칭 도허티 증폭기의 시뮬레이션과 측정 결과를 비교하였다. 측정 결과는 시뮬레이션 결과와 유사하였다. 이득의 경우에는 두 증폭기 모두 바이어스 위치가 시뮬레이션보다 약간 높게 제작이 되었기 때문에 시뮬레이션보다 높은 이득을 얻었다.

V. 결 론

본 논문에서는 선형적인 동적 영역을 가지는 W-

CDMA 기지국용 고출력 비대칭 도허티 전력 증폭기를 구현하였다. 그리고 고효율 구간을 구현하기 위해 기존의 논문에서 사용한 다단 구조대신 비대칭 구조를 사용하여 추가적인 소자의 사용을 피함으로써 크기와 열 문제를 동시에 해결하였다. 동시에 최대 출력에서 9 dB 구간에 걸쳐 30 % 이상의 효율을 구현하였으며 비대칭 전력 분배기와 비대칭 정합 회로를 이용하여 증폭기의 전체 동작 범위에서 일정한 이득을 유지하고 AM-AM 왜곡을 줄여 기존의 도허티 증폭기보다 개선된 선형성을 얻을 수 있었다. 또한 본 연구에서 제시한 비대칭 전력 분배기의 비율과 출력 전류의 비율 식을 이용하여 9 dB 이상의 효율 구간을 갖는 고효율 전력 증폭기의 설계에도 적용이 가능할 것으로 기대된다.

참 고 문 헌

- [1] M. Iwamoto, A. Williams, P. Chen, A. G. Metzger, L. E. Larson, and P. M. Asbeck, "An extended Doherty amplifier with high efficiency over a wide power range", *IEEE Trans. Microw. Theory Tech.*, vol. 49, no. 12, pp. 472-478, Dec. 2001.
- [2] Y. Yang, J. Cha, B. Shin, and B. Kim, "A fully matched N-way Doherty amplifier with optimized linearity", *IEEE Trans. Microwave Theory Tech.*, vol. 51, no. 3, pp. 986-993, Mar. 2003.
- [3] 홍용의, 양승인, "3-Way Doherty 증폭기의 선형성 및 효율 개선에 관한 연구", 한국전자과학회논문지, 17(2), pp. 124-128, 2006년 2월.
- [4] 이왕열, 서철현, "적응형 바이어스와 PBG를 이용한 Doherty 전력 증폭기 전력효율과 선형성 개선에 관한 연구", 한국전자과학회논문지, 16(8), pp. 777-782, 2005년 8월.
- [5] 최홍재, 임종식, 정용채, "부하 변조 및 위상 보상 DGS 마이크로스트립 선로를 이용한 도허티 증폭기", 한국전자과학회논문지, 16(8), pp. 815-824, 2005년 8월.
- [6] K. J. Cho, J. H. Kim, and S. P. Stapleton, "RF high power Doherty amplifier for improving the efficiency of a feedforward linear amplifier", *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 847-850, 2004.

[7] K. J. Cho, W. J. Kim, J. H. Kim, and S. P. Stapleton, "Linearity optimization of a high power Doherty amplifier based on post-distortion compensation", *IEEE Microwave and Wireless Components Letters*, vol. 15, Issue 11, pp. 748-750, Nov. 2005.
 [8] S. C. Cripps, *RF Power Amplifier for Wireless*

Communications, Norwood, MA: Artech House, 1999.

[9] 3rd Generation Partnership Project, Technical Specification Group Radio Access Network; Base Station radio transmission and reception(FDD)(Release 6).

이 주 영



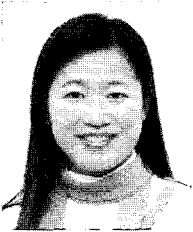
2005년 2월: 광운대학교 전자공학부 (공학사)
 2005년 3월~현재: 광운대학교 전자공학과 석사과정
 [주 관심분야] RF 고효율 전력증폭기 및 선형화기 설계

이 동 현



1996년 2월: 숭실대학교 전자공학과 (공학사)
 1999년 2월: 숭실대학교 전자공학과 (공학석사)
 2004년 3월~현재: 광운대학교 전자공학과 박사과정
 [주 관심분야] 이동통신 시스템, 마이크로웨이브 시스템, 선형증폭기, 고효율 증폭기, RFID

김 지 연



2002년 2월: 광운대학교 전자공학부 (공학사)
 2004년 2월: 광운대학교 전자공학과 (공학석사)
 2004년 3월~현재: 광운대학교 전자공학과 박사과정
 [주 관심분야] RF 고효율 전력증폭기, RF 선형전력증폭기

김 중 현



1984년 2월: 광운대학교 전자통신공학과 (공학사)
 1990년 6월: 독일 Ruhr Univ. Bochum 전자공학과 (공학석사)
 1994년 8월: 독일 Dortmund Univ. 전자공학과 (공학박사)
 1995년 4월~현재: 광운대학교 전자공학과 교수

2002년 1월~현재: 캐나다 SFU Research Associate
 2004년 7월~현재: 미국 TelASIC Technical Advisor
 2005년 3월~현재: IT 국제표준화 전문가
 [주 관심분야] 스마트 전력증폭기, 고효율 전력증폭기, 선형화기, 스펙트럼 공학, 마이크로파 센서