

전자 패키징의 고밀도 실장프로세스와 신뢰성

신영의 · 김종민 · 김영탁 · 김주석

High Density Stacking Process and Reliability of Electronic Packaging

Young-Eui Shin, Jong-Min Kim, Young-Tark Kim and Joo-Seok Kim

1. 서 론

전자·정보통신 산업의 급속한 발달에 따라 전자 패키징 기술 분야에서는 시스템의 보다 빠른 신호 처리와 고성능, 다기능화가 요구되고 있으며, 이를 뒷받침하기 위한 패키징 기술도 더욱 고집적화, 미세피치화가 요구되고 있다. 따라서 전자 패키징의 고밀도실장 프로세스를 확보하기 위한 많은 연구가 진행되고 있으며, 그 과정에서 무엇보다도 그에 대한 신뢰성 확보가 중요한 과제라고 할 수 있다

본 논문에서는 국제적 규약에 의한 무연 솔더링 대책에 관하여 소개하고, 최신 전자 패키징 기술로서 주목받고 있는 무연 솔더 적용시의 문제점과 도전성 접착제(Conductive Adhesives) 접속 기술 및 3차원 실장(3D Packaging)기술에 대하여 논하고, 전자 부품의 열 피로 파괴 특성에 대한 신뢰성 평가와 플립 칩의 무플릭스 접합에 대해서 간략히 기술하고자 한다.

2. Lead-Free Soldering

2.1 납의 환경규제 이슈

전자산업의 발전과 함께 급증하고 있는 전자제품의 폐기물이 주는 심각성에 대하여 세계 각국이 공통적으로 인식하고 있으며 유해원소에 대한 법적 규제화가 이루어지고 있다. 폐기물로부터 유해원소를 제거하여 리사이클이나 폐기 처리를 쉽게 하는 것은 안전한 사회 시스템을 위한 필수조건이다.

EU는 2006년부터 폐기되는 전자 제품의 양을 제한하기 위하여 WEEE 법안과 특정 위험물질 사용 제한(RoHS) 지침을 확정하였으며 2006년 7월부터 납을 비롯한 환경 유해 원료를 사용한 전자부품 수입품에 대한 실질적인 규제에 나설 전망이다.

납 등의 중금속의 오염이 주는 심각성은 무엇보다 급성 독성도 문제지만, 축적성이 높고 만성 독성이 염려된다는 점이다. 전자기기에 함유된 납은, 솔더에 포함된 납 뿐만 아니라 브라운관이나 세라믹 칩 부품(콘덴서)에도 다량으로 함유되어있다. 그 중 유독 솔더 중의 납이 문제로 대두되는 이유는 전자기기의 폐기 시 납이 산성비 레벨의 pH에서 쉽게 용출된다는 점이다.

아래 Fig. 1에 나타낸 바와 같이 용출된 납은 지하수를 오염시키게 되고, 오염된 지하수는 인체에 흡수 시 지능저하, 생식기능 저하 등의 심각한 해를 끼치게 된다.

2.2 무연실용화의 과제

각종 환경규제 관련 무연 솔더링 개발을 위해 세계 각국은 프로젝트를 통해 무연 솔더에 대해 연구해 오고 있다. 이러한 무연 솔더가 주로 사용해 오던 Sn-37Pb 솔더의 대체 재료로써 갖추어야할 요구특성을 살펴보면

(1) 낮은 용점

전자부품을 손상 입히지 않고 솔더링 할 수 있다는 관점으로부터, 현재의 전자부품의 내열성 범위 내에서

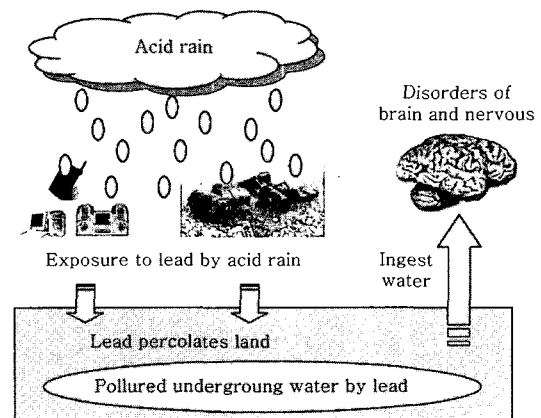


Fig. 1 납이 환경 및 인체에 미치는 영향

솔더링을 해야만 하고, Sn-Pb 공정의 183°C 용점에 가까운 용점을 갖는 솔더여야 할 필요가 있다. 용점이 높은 솔더를 사용하면 솔더링 공정 시 전자부품의 내열 온도를 초과할 수가 있기 때문이다.

(2) 젖음성

기본적으로 솔더링이 가능하기 위해서는 도금을 포함해서 전자부품의 전극모재(Cu, Ni, Ag 등)에 잘 젖어야 하는 것이 중요하다.

(3) 신뢰성

완성된 솔더 접합부가 사용 환경에 따라 장시간 동안 안정된 접합상태를 유지해 나가기 위해서는, 솔더 합금과 소재가 급속적으로 강한 결합을 형성해야 하며, 합금 자체의 접합강도가 충분해야 할 것이다. 특히 장기 신뢰성이라는 측면에서는 전자기기 특유의 열 피로에 강한 특성이 요구된다.

(4) 작업성

솔더의 작업성 관점에서 보면 솔더링 불량 발생이 적지 않다는 것이 문제로 된다. 브릿지, 솔더볼, 미납 등의 불량은 솔더 합금의 젖음 특성과 밀접한 관계가 있어 솔더 합금의 선정이 무엇보다 중요해진다.

이외에도 재료의 안정성, 독성문제, 경제적인 입장에서의 공급의 안정성이나 가격 또한 무연 솔더가 갖추어야 할 주요한 인자들이다.

2.3 각종 Sn 공정 솔더들의 특성

현재까지 실용화된 무연 솔더는 아래 Fig. 3에 나타난 것처럼 주로 4종류의 공정합금에 필요에 따라 제1, 제2원소를 첨가하여 특성을 개선해서 실용화 되어 왔다. 현재 개발된 각종 무연 솔더는 Sn-Pb 공정 솔더에 비해 장단점이 있다는 것을 이해해서 종합적인 특징을 고려해서 선정되고 개선되어야 할 것이다¹⁾.

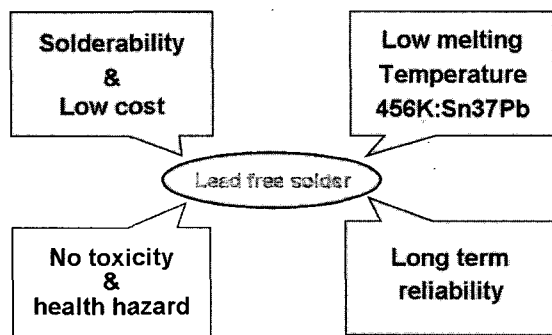


Fig. 2 무연 솔더가 갖추어야할 요구특성

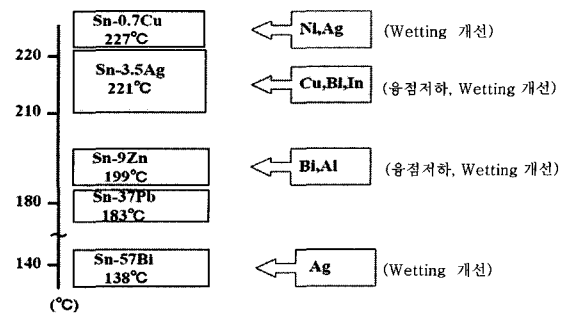


Fig. 3 각종 Sn 공정 솔더의 용점과 특성개선을 위한 첨가물

2.4 Lift-Off 대책

무연 솔더의 양산 적용은 일본 전자업체가 주도적인 역할을 해오고 있으며, 양산 적용시 현실적으로 문제가 되었던 불량으로 리프트 오프 문제가 부각되었다. 무연 솔더 중에서 대표적으로 사용하고 있는 합금 계열은 Sn-Ag-Cu솔더와 Sn-Cu솔더로 압축되어 왔다. 이런 Sn-Ag-Cu계의 공통적인 문제는, 용점이 높고 젖음성이 나쁘다고 하는 공통적인 특징이 지니고 있다. 또한 피플로우 솔더링의 경우에는 브릿지, 고드름 현상의 발생 등과 같은 제조상의 불량이 발생하기 쉽고, 리플로우 솔더링시 문제점들 중 최대문제는 리프트 오프의 발생으로, 솔더 접합부가 솔더링 직후에 솔더 펠렛이 프린트 기판의 랜드에서 박리하는 경우와 랜드나 모재로부터 박리되는 랜드박리 현상 등이 문제시 되고 있다.

이러한 리프트 오프 현상을 막기 위한 대책으로는 다음과 같은 사항들을 고려하여 현상을 최대한 저지할 수 있다²⁾.

- 평면 기판을 사용한다.
- 고액 공존 영역 폭이 넓은 합금의 선택을 피한다.
- 피플로우 공정 시 냉각속도를 빨리한다.
- 솔더 합금원소의 미세화
- 기판의 재질 및 열 설계를 고안한다

3. Conductive Adhesives

본 장에서 소개할 도전성 접착제는 이미 오래전부터 사용되어 오고 있던 재료였으나, 전통적인 솔더링 영역에서 그다지 큰 관심을 끌지 못하고 있다가 앞서 기술한 바와 같이 환경적인 문제 등으로 인하여 무연 솔더와 더불어 기존 솔더의 주요한 대체 재료로서 현재 폭 넓게 사용되기 시작하였으며 관련재료의 연구 및 개발이 진행되고 있다.

이렇듯 대체 재료의 하나로 주목받고 있는 도전성 접착제는 일반 솔더에 비해 다음과 같은 장점을 가지고 있다³⁾.

- 저온 프로세스가 가능 (낮은 열응력)
 - 열 피로 특성 향상
 - 환경 친화적 (무연, 독성 금속 미함유)
 - 프로세스 간이화 (무플럭스, 세척공정 불필요)
 - 솔더링이 불가능한 재료 및 폭넓은 재료에 사용 가능
- 위와 같은 잠재적인 우수한 특성으로 인하여, 재료뿐만 아니라 PEP (Polymetric Electronic Packaging) 기술 개발이 활발히 진행되고 있다.

도전성 접착제는 크게 두 종류로 구분할 수 있는데, 하나는 전류가 모든 방향으로 흐를 수 있는 등방성 도전성 접착제(Isotropic Conductive Adhesives : ICAs)와 오직 z축 방향으로만 흐를 수 있는 이방성 도전성 접착제(Anisotropic Conductive Adhesives : ACAs)로 나눌 수 있다.

3.1 ICAs 접속 프로세스

최근에는 도전 필러 입자의 형상은 구형과 많은 점-면 접촉을 위하여 플레이크(flake) 형상의 입자를 사용하고 있다. 그러나 이러한 도전성 복합재료는 위에서 언급한 바와 같이 솔더 접합에 비해 낮은 도전성, 불안정한 접촉 저항, 낮은 접합 강도, Ag 이온 마이그레이션(ion migration) 등의 커다란 단점을 가지고 있다.

이런 단점을 극복하고자 도전 입자 재료로 Ag 입자와 솔더 입자를 혼합한 재료, Cu 입자와 솔더, Sn이 도금된 Cu 입자, Ag가 도금된 Cu를 사용한 재료가 개발되기도 하였다. 한편, Ag 마이그레이션 문제점을 보완하기 위해 20 %의 Pd를 포함한 Ag-Pd 합금을 이용한 접착제를 이용한 스타드 와이어(stud-wire) 접속 프로세스가 개발되기도 하였다⁴⁾. 또한, ICA에 Ag 필러 입자와 저융점 합금 필러 입자를 혼합하여 기재가 완전 경화되기 전에 저융점 재료를 충분히 용융시켜 단자와 Ag 필러 간에 젖음(wetting)으로써 금속학적 결합을 통해 전기적 특성을 향상시키고 있다⁵⁾. 이 외에도 금속필러 위에 저융점 재료를 도금하여 저융점 재료의 용융에 의한 금속학적 결합을 이용한 사례도 보고되었다⁶⁾.

일반적으로 ICAs의 접속 프로세스는 Fig. 4에 나타난 것과 같이 ICAs를 전기적인 연결이 요구되는 금속 패드 위에만 국부적으로 도포한 후, 부품 및 칩을 장착하고 열을 가하여 수지를 경화시키는 방법을 사용한다.

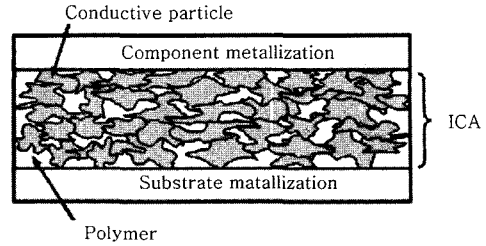


Fig. 4 ICAs 접속 프로세스

3.2 ACAs 접속 프로세스

ACAs에는 상당히 다양한 종류의 도전 입자를 사용하고 있는데 Au 입자, Au가 도금된 금속(Ni, titanium oxide 등) 입자, Au가 도금된 플라스틱(acrylic rubber, polystyrene 등) 입자와 앞선 입자들 위에 프로세스 중에 쉽게 파괴되고 용융될 수 있는 절연막을 입힌 입자, 솔더(Bi, Sn-58Bi 등) 입자 등을 함유한 ACAs가 개발 되고 있다.

아래의 Fig. 5에 ACAs 접속 프로세스를 도식화 하였다. 그림에서 알 수 있듯이 전극 사이의 도전은 전극 패드 위에 갇혀진 도전 입자에 의해 이루어지는 것을 알 수 있다. 따라서 최종적인 접합부의 도전성은 패드 위의 평균 필러 입자 수, 필러 입자의 압축정도 등에 의해 결정된다. 이러한 접합부의 성능은 접합온도 및 시간, 접합 압력과 분포, 기판 및 범프의 평탄도, 필러 입자분산도 및 크기 분포 등의 변수들에 의해 영향을 받게 된다⁷⁾.

4. 3D & Opto-Electronics PKG

전자 제품의 고성능화에 함께 패키지 기술도 보다 고집적화와 미세 피치화 되어가고 있다. 이에 따라 기존 플립칩 접합 방법에서의 고집적화와 미세피치의 한계를 극복하기 위한 패키징 방법으로 기판 위에 칩을 여러 개를 적층시켜 접합시키는 3D 패키징 기술이 대두되고 있다.

여러 개의 칩 간의 전기신호 교환과, 접합을 위해 Si 칩에 미세관통 홀을 형성한 후 그 안에 Cu를 채운 후, 이를 통해 전기적 신호의 교환이 가능하게 한 후 각 칩

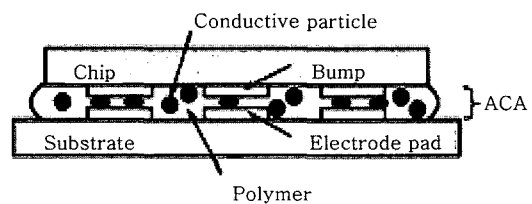


Fig. 5 ACAs 접속 프로세스

을 범프를 이용하여 접합하는 방식을 취하게 된다. 여기에서 Si 칩에 미세관통 홀을 형성하는 방법으로 레이저 어블레이션과 반응성 이온에칭을 사용하는 2개의 방법에 대해 소개하고자 한다.

4.1 Laser Ablation

레이저를 이용한 미세관통 홀 형성방법은 에칭방법에서 일반적으로 사용되는 마스크를 사용하지 않고 비접촉으로 임의로 가공위치를 결정하고, 조건에 따라 미세관통 홀의 직경 또한 임의로 결정할 수 있는 장점을 가지고 있다. 그러나 이 경우 문제점으로 지적되는 레이저를 사용함에 따른 Si 칩의 열 손상을 최소화하기 위하여 레이저의 종류, 에너지출력, 반복주파수, 가공방법, 조사시간 등의 변수를 조절하여 최소한의 열손상을 갖는 최적의 가공 조건을 산출할 필요가 있다.

아래의 Fig. 6은 IFRIT-Femtp Laser를 사용하여 100Hz의 주파수, 출력 29mW, 20times trepanning 조건을 주어, 두께 170 μ m의 Si 웨이퍼에 미세관통 홀을 가공한 표면 및 단면사진을 나타낸 것이다.

그림(a)에서 보듯이 관통 홀 주변으로 레이저 조사시 발생한 열영향부가 홀 중심으로 약 400 μ m정도 퍼져있는 것을 볼 수 있다. 또한 관통 홀 주변에 가공시 발생한 미립자의 부착이 발생한 것을 알 수 있다. 따라서 레이저 가공시 가공부 주변에 미립자의 부착을 방지할 수 있는 방지책이 필요할 것으로 관찰되었다.

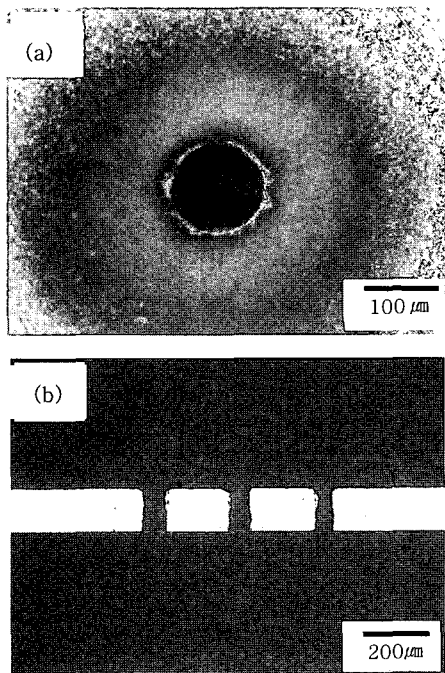


Fig. 6 Si 웨이퍼 관통홀의 (a) 표면사진 및 (b) 단면 사진

결론적으로 레이저의 반복주파수, 출력, 조사 시간 등의 변수가 커질수록 열영향부가 증가하게 됨을 확인할 수 있었다. 또한, Si 웨이퍼의 두께와 홀의 측벽 가공도를 고려할 때, 이런 가공 인자들을 각 공정에 맞게 제어 할 필요성이 있다⁸⁾.

4.2 RIE (Reactive Ion Etching)

에칭을 사용한 미세관통 홀 형성방법은 대표적으로 RIE(Reactive Ion Etching)를 이용하여 구현하는 방법이 있다. 이 방법은 식각 장치를 이용하여 Si 웨이퍼 두께를 모두 식각하여 미세관통 홀을 얻는 방법이다.

세부적으로는 ICP(Inductively Coupled Plasma) 타입의 플라즈마 소스(source)를 사용한 균일한 이방성 식각을 통해 미세관통 홀을 가공하여 레이저방법과 비교 평가하였다.

이 방법의 경우, 앞서 기술한 레이저를 이용한 미세관통 홀 형성 시 문제점으로 지적되는 열손상이 거의 없고 수십 μ m의 홀 가공이 가능하다는 것을 실험을 통하여 확인할 수 있었다.

그러나 임의의 직경을 갖는 미세관통 홀을 얻기 위해서는 원하는 직경에 맞는 마스크(mask)를 별도로 제작해야 하는 번거로움과 함께 가공시간이 상대적으로 길고, 반응 부산물(polymer)이 재분해, 재축적되는 현상이 생길 수 있어 공정 재현성이 저하되는 문제점을 지니고 있다.

앞서 기술한 두 가지 방법 모두 100 μ m 전후의 직경을 갖는 양호한 미세관통 홀을 가공할 수 있는 것을 실험을 통해 확인하였으며, 이후 관통된 홀 측면에 Cu 전극막을 접착력 및 균일성을 유지하면서 접착시키는 공정을 연구 검토 중에 있다. 궁극적으로 수 십 μ m 직경의 초미세 홀을 얻기 위해서는 칩에 손상을 주지 않으면서도 균일하고 공정재현성을 유지하는 가공 프로세스 확립이 중요하며, 현재도 체계적인 연구 활동이 지속적으로 진행되고 있다.

5. Evaluation & Reliability Method

전자 부품 및 시스템에 있어 신뢰성(Reliability)이란, 사용자가 제품의 사용 기간에 있어 얼마나 사용자가 편리하게 사용할 수 있는 정도를 나타내는 척도라고 볼 수 있다. 생산자의 입장에서 본다면 신뢰성이란 제품의 수명과 연관된다. 즉 보다 높은 신뢰성, 보다 긴 수명을 가진 제품을 설계하기 위해서는 제품의 생산 또는 설계 과정에 있어 신뢰성의 확보가 절실하게 요구된다.

특히 전자 산업에 있어서 제품의 불량은 대부분 사소

한 마이크로 패키지의 결합에서 발생된다. 결국 칩 내부의 미세 균열이 제품 전반의 불량률 가져오는 경우가 대부분이다.

전자 패키지 접합부의 파괴의 70% 정도가 열팽창계수(CTE)의 차이에 의해 발생하는 열피로(Thermal Fatigue) 및 열, 환경 하중에 의해 이루어진다. 특히 금속은 온도에 따라 길이방향의 변화가 일어나게 된다. 이로 인해 아래의 Fig. 7과 같이 서로 다른 물체의 경우 열팽창계수의 차이가 나타나게 되므로 서로 다른 두 물체의 길이방향 증감의 차이가 발생하게 된다. 결국 두 물체를 접합시킨 솔더볼 부분에 응력이 작용하게 되며 직접적인 파괴를 가져올 만큼의 응력이 아닐지라도 장시간에 걸친 반복된 응력으로 인해 파괴가 일어나게 된다.

BGA의 경우 가운데 위치한 솔더볼이 이러한 응력을 완화시켜주며, QFP의 경우 Lead의 damping효과를 통해 어느 정도 응력 값의 완화를 얻을 수 있다.

Fig. 7의 아래쪽 그림은 이러한 솔더볼 부분에 집중되는 응력을 완화시키는 방법 중의 하나로 언더필을 공급하는 방법이다. 솔더볼 부분의 빈 공간을 폴리머로 채워주어 양쪽에서 작용하는 응력을 완화시켜주는 역할을 하게 된다. 특히 언더필로 사용되는 폴리머의 조성에 따라 강도 값의 변화를 가져오기도 한다. 열팽창계수의 차이에 의한 이러한 열피로 파괴를 막는 방법으로는 언더필을 적용하는 방법 이외에도 패키지의 설계 자체에서 온도차를 최소화 할 수 있도록 설계하는 방법 등이 있다.

열피로로 인한 파괴는 실제 실험을 통해 관찰할 수 있으며 또한 유한요소 해석(FEA)을 통한 수치해석을 통해 그 수명을 예측 할 수 있다.

Fig 8, 9에서 a)는 실제 열피로 실험을 통한 μ -BGA와 QFP에서의 파괴 단면이며, b)는 유한요소 해

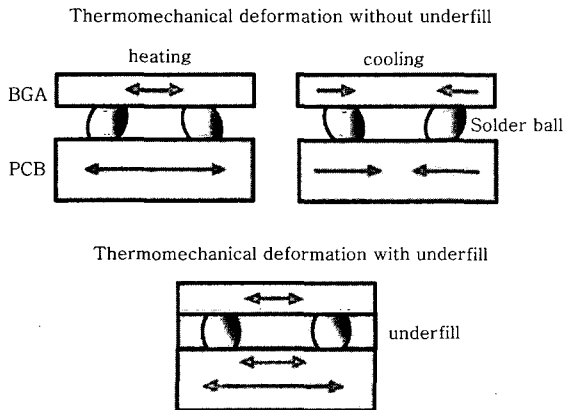
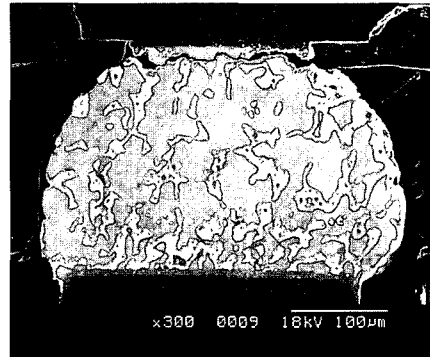


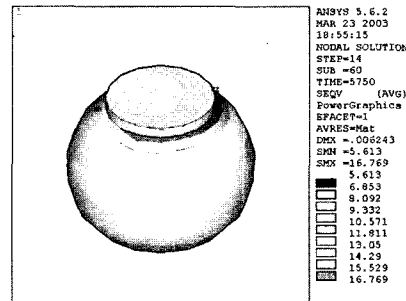
Fig. 7 온도 변화에 의한 거동 변화

석을 통해 얻어진 응력 집중 부분을 나타낸 것이다. Fig 8과 9에서 알 수 있듯이 대부분 수치해석을 통해 얻어진 응력집중부에서 파괴가 일어남을 알 수 있다⁹⁻¹⁰.

아래의 Fig. 10은 유한요소 해석을 통해 파괴 수명

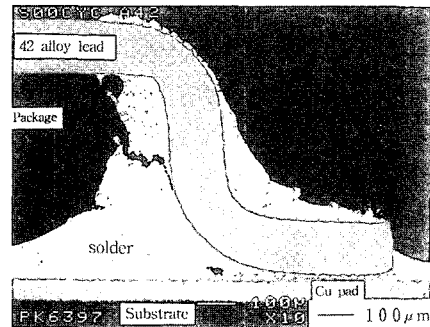


a) Thermal Fatigue Failure

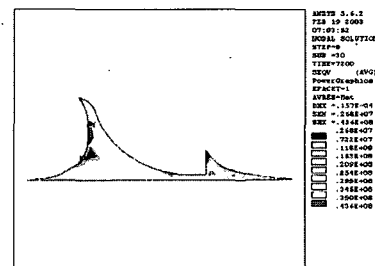


b) stress distribution

Fig. 8 μ -BGA Packaging



a) Thermal Fatigue Failure



b) stress distribution

Fig. 9 QFP Packaging

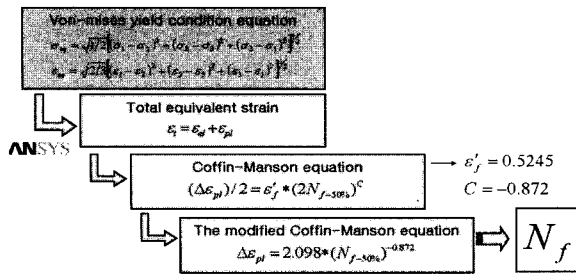


Fig. 10 유한요소해석을 통한 파괴 수명 예측

을 예측하는 과정을 나타낸 것이다.

이러한 수치해석의 결과는 Von-mises 항복 조건식과 Coffin-Manson 식 등을 통해 열피로 파괴에 이르는 수명을 예측할 수 있으며, 해석방법은 크게 변형률과 에너지법을 근거로 계산을 하고 있다.

다만 수치해석을 통해 얻어진 수명의 경우 실제 실험을 통해 얻어진 결과와 다소 차이가 존재 할 수 있다. 이는 실제 실험의 경우 파괴에 이르게 하는 변수가 다양하며, 또한 다양한 파괴기구(failure mechanism)를 통해 파괴가 일어나기 때문이다. 따라서 항상 수치해석을 통한 수명 예측과 이를 보완하기위해 실제 실험을 병행하여 해석과 고찰이 수반되는 연구를 수행되어야 할 것이다.

6. Fluxless Flip Chip Bonding

솔더링 공정(Soldering process)을 사용한 플립칩 본딩기술은, 일반적으로 플럭스를 도포하여 리플로우(reflow)공정을 통해 기판과 칩의 패드를 솔더로 접합하는 기술이다. 플럭스를 세척한 후, 언더필을 충전 및 경화시켜서 기판과 칩의 신뢰성을 높여준다.

여기서 플럭스는 솔더링 공정에서 솔더의 젖음성 향상과 산화막 제거 등 중요한 역할을 하지만, 솔더링 후에는 일반적으로 유해한 잔류물이 솔더링 접합부에 남아서 접합부 주위의 부식과 절연 저항 감소 등을 유발한다. 또한 플럭스 잔사를 제거하기 위한 CFC(chloro fluoro carbon) 솔벤트(solvent)로 인한 오존층 파괴

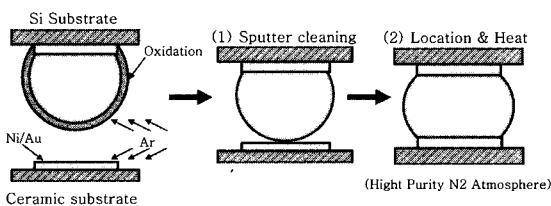


Fig. 11 플럭스리스 플립칩 본딩 공정

등의 심각한 환경문제를 야기하기도 한다. 이러한 이유로 인하여 플립칩 같은 미세한 피치의 전자 부품과 광통신 부품 등에는 플럭스를 배제하려는 경향이 많다.

이에 대응하기 위한 플럭스리스 솔더링의 여러 가지 공정 중, 한가지 방법이 플라즈마 크리닝 후 플럭스리스 솔더링을 하는 것이다.

플라즈마 처리는 금속표면의 산화막을 제거하는데 효과적이며, 이로 인해 솔더링성을 향상시킬 수 있다¹¹⁾.

플라즈마 크리닝 처리가 접합성을 향상시킨다는 보고들이 많이 있는데, 예를 들어, Ni층이 도금된 금속 기판 위의 Sn-Pb 솔더 접합부에 Ar+을 스퍼터링하면 접합부에 기공을 감소시킬 수 있다¹²⁾.

또, PBGA (Plastic Ball Grid Array)에서 O₂, Ar, Ar-H₂ 플라즈마 처리를 행하면, 솔더 마스크와 성형재료(molding compound)의 접합성과 와이어의 접합 강도를 향상시킨다는 보고도 있다¹³⁾.

이와 같이 플라즈마 클리닝을 통해 플럭스 잔사에 의한 문제점을 해결하고, 기판과 성형재료의 접합 강도를 향상시킨다는 장점을 얻을 수가 있다.

7. 결론 및 요약

본 논문에서는 전자 패키징의 고밀도 실장 프로세스와 관련하여 많은 연구와 개발이 이루어지고 있는 무연 솔더의 양산적용시의 문제점 및 도전성 접착제 및 3차원 패키징 기술과 신뢰성 평가방법 등을 개략적으로 소개하였다. 현재 국제적 규약에 의한 무연 솔더의 사용이 의무화되어 가고, 이에 따라 기존 솔더의 전기적 접속성, 열 도전성, 접합성 등의 특성을 확보하기 위한 새로운 재료 및 공정에 대한 연구 및 개발이 필요한 시점이다. 또한 기존의 접합 방법에서의 고집적화 및 미세 피치의 한계를 넘기 위한 3차원 패키징 기술 등이 시도되고 있다. 따라서 신소재 개발 및 공정 변화에 맞는 새로운 신뢰성 평가 방법의 도출도 필요하다. 아울러 국내 대학 및 관련 연구소에서도 국제 경쟁력을 향상시키고 차세대 첨단 산업 분야의 신기술을 확보하고 이를 선도하기 위한 체계적인 연구 활동이 요구된다.

후 기

본 연구의 일부는 과학재단 특정기초연구과제 (R01-2004-000-10572)의 지원으로 수행되었으며, 관계자 여러분께 감사를 드립니다.

참 고 문 헌

1. 정재필, 신영의, 임승수 : 무연 마이크로 솔더링
2. JEITA 무연 솔더 실장편집 위원회 : 무연 솔더 실장기술
3. D. Wojciechowski, J. Vanfleteren, E. Reese and H. - W. Hagedorn, Microelec. Relia., 40 (2000), 1215
4. Y. Bessho et al., Proc. Int. Microelec. Conf., 183-189, 1990
5. K. S. Moon et al., IEEE Trans. Components and Packag. Technol., 26-2 (2003), 375-381
6. S. K. Kang et al., J. Elec. Mater., 28-11 (1999) 1314-1318
7. J. Liu : Conductive Adhesives for Electronics PKG, Electrochemil Publications Ltd., 1999, 212
8. 신영의, 정승부, 정재필 : 차세대 고밀도 3차원 적층 실장에 관한 연구, 과학재단 연구보고서, 2005
9. Young-Eui Shin, Jong-Min Kim, Young-Wook Ko : Thermal Fatigue Life of Underfilled μ BGA Solder Joint., International Journal of Korean Welding Society 4-1 (2004)
10. Young-Eui Shin, Yeon-Sung Kim, Hyoung-il Kim, Jong-Min Kim, Koung Ho Chang and Dave F. Farson : Selection of Proper Fatigue Model for Filp Chip Package Reliability., Materials Science Forum 502, 393-398
11. S.M.Hong, C.S.Kang, J.P.Jung : Flux-free Direct Chip Attachment of Solder-Bump Flip Chip by Ar+H₂ Plasma Treatment., Journal of Elect. Materials, 31-10 (2002)
12. J.Onuki, Y.Chonan, T.Komiyama and M.Nihel : Influence of soldering condition on void formation in large ara solderjoints, Materials Trans., 43-7 (2002)
13. C.Lee, R.G., K.Nyunt, A.wong, R.C.E.Tan, J.W.L.Ong : Plasma cleaning of PGA package, Physical & Failure Analysis of IC., Proceedings of the 1997 6th International Symposium, 21-25



- 신영의(辛永議)
- 1956년생
- 중앙대학교 기계공학부 교수
- 마이크로시스템 패키징, 마이크로접합, 인터페이스 미케닉
- e-mail : shinyoun@cau.ac.kr



- 김영탁(金寧鐸)
- 1956년생
- 중앙대학교 기계공학부
- 메카트로닉스, 로보틱스
- e-mail : robokim@cau.ac.kr



- 김종민(金種珉)
- 1972년생
- 중앙대학교 기계공학부 조교수
- 마이크로시스템 패키징
- e-mail : 0326kjm@cau.ac.kr



- 김주석(金周奭)
- 1978년생
- 중앙대학교 기계공학부
- 패키징
- e-mail : youinaru78@empal.com