

VHDL을 이용한 동기탈조 검출 알고리즘 구현에 관한 연구

論 文

55A-5-1

A Study on Implementation of Out-of-Step Detection Algorithm using VHDL

權 五 相[†] · 金 喆 煥^{*}
(O-Sang Kwon · Chul-Hwan Kim)

Abstract - In a power system, an out-of-step condition causes a variety of risk such as serious damage to system elements, tripping of loads and generators, mal-operation of relays, etc. Therefore, it is very important to detect the out-of-step condition and take a proper measure. This paper presents a study on implementation of out-of-step detection algorithm using VHDL(Very high speed Hardware Description Language). The structure of out-of-step detection algorithm is analyzed for development of out-of-step detection relay on the FPGA(Field Programmable Gate Array). The out-of-step algorithm is separated to 4 parts: DFT IP, complex power calculation IP, out-of-step detection IP, control unit. Each parts are developed and simulated by using VHDL.

Key Words : VHDL, Out-of-Step, DFT, Relay, FPGA

1. 서 론

첨단의 디지털, 정보통신기술을 기반으로 전력계통 보호제어 분야에서도 각종 보호장치가 디지털화 되고 있다. 이에 따른 디지털형 보호계전기는 기존의 전기 기기형(EM type, Electro-Magnetic type) 보호계전기에 비하여 고속, 고감도, 외형축소, 사용자 위주 편의제공 등의 장점을 갖추고 있다. 디지털 계전기의 이러한 장점 때문에 최근의 추세는 디지털 보호 계전기의 일반화라고 할 수 있다. 이러한 디지털 보호 계전기를 설계함에 있어서 VHDL(Very high speed HDL)을 이용한 하드웨어 설계는 빠른 기간 내에 효과적으로 하드웨어를 설계하는 하나의 수단으로 떠오르고 있다.

본 논문은 참고문헌 [5]에서 제시한 알고리즘을 이용하여 VHDL로 구현하는 방법에 대하여 논하였다. 새로 개발된 동기탈조 검출 알고리즘을 하드웨어로 구현하기 위한 알고리즘의 분할 및 블록화에 대하여 논의 하였으며, 또한 분할된 알고리즘 블록을 VHDL을 이용하여 IP(Intelligent Property)로 구현하는 방법에 대하여 논의 하였다. 이렇게 구현된 IP를 임의로 입력된 데이터를 적용하여 IP의 적합성을 검증하였다.

2. 동기탈조 검출 알고리즘의 하드웨어 구조

2.1 디지털 보호계전기의 구조

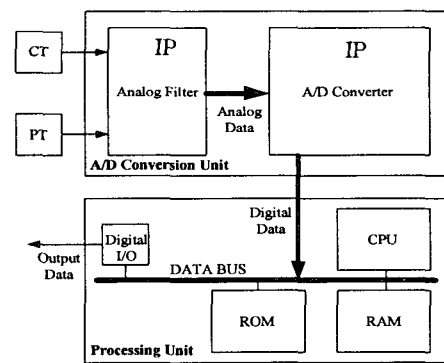


그림 1 디지털 계전기의 구조

Fig. 1 Structure of digital relay

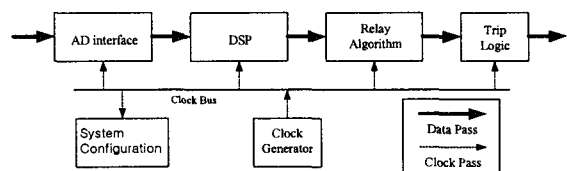


그림 2 Processing Unit의 구조와 데이터 처리과정

Fig. 2 Structure of Processing Unit and Data process

그림 1은 디지털 계전기의 전체적인 구조를 보여주고 있다 [1-4]. 각 부분은 크게 A/D Conversion Unit과 Processing Unit으로 나눌 수 있으며 A/D Conversion Unit은 CT, PT에

† 교신저자, 正會員 : 成均館大學校 情報通信工學部 博士課程
E-mail : dinosur@hanmail.net

* 正會員 : 成均館大學校 情報通信工學部 教授 · 工博
接受日字 : 2005年 10月 20日
最終完了 : 2006年 4月 12日

서 입력된 신호를 noise filtering, anti-aliasing 등을 통하여 디지털 신호로 변경하기 좋은 아날로그 신호로 변경 후 A/D Converter를 통과하여 Processing Unit이 처리할 수 있는 디지털 신호로 변경하는 역할을 수행한다.

그림 2는 디지털 계전기의 일부분인 Processing Unit의 데이터 처리과정을 설명하고 있다. Processing Unit은 계전 알고리즘이 적용되는 핵심 부분으로써 A/D Conversion Unit에서 입력된 디지털 신호는 입력부를 거쳐서 DSP에서 계전 알고리즘에 적용하기 위한 연산을 수행하고, 계전 알고리즘(relay algorithm)에서는 연산된 데이터를 이용하여 고장 발생 여부를 판단하기 위한 데이터를 가공 한다. 그리고 차단신호 발생부에서는 연산된 결과를 이용하여 보호계전 동작 여부를 판단하고 trip 신호를 출력한다.

2.2 EMTP MODELS를 이용한 동기탈조 검출 알고리즘 구현

2.2.1 동기탈조 검출 알고리즘의 블록도

다음 그림 3은 기존에 제시된 참고문헌[5]의 전체 데이터 처리과정을 표현한 블록도이다.

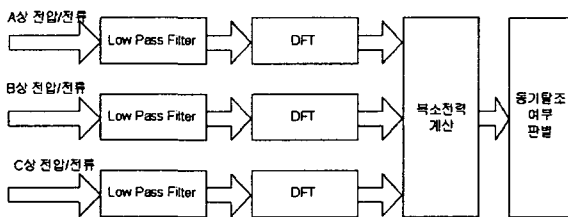


그림 3 동기탈조 검출 알고리즘의 전체 블록도
Fig. 3 Total block diagram of Out-of-Step Detection Algorithm

각 부분의 처리과정은 다음과 같다.

2.2.1.1 저역통과필터

실 계통의 A, B, C상 전압, 전류 데이터를 이용하여 알고리즘을 적용하는 경우 아날로그 데이터를 가공하기 위하여 저역통과필터를 이용한 잡음 제거 작업을 수행한다. 본 알고리즘을 디지털 하드웨어로 구현하는 경우 A/D converter에서 디지털 신호로 변경되어 입력되므로 하드웨어 설계 대상에서 제외된다.

2.2.1.2 DFT

DFT 블록은 A/D converter에서 입력된 a, b, c상의 전압, 전류 디지털 신호를 이용하여 복소수 형태로 변환한다.

2.2.1.3 복소전력 계산

복소전력 계산 블록은 DFT 블록에서 계산된 복소 전압, 복소 전류를 이용하여 복소전력을 산출한다. 여기서 계산된 복소전력은 매 sampling 간격으로 출력되어 동기탈조 여부 판별 블록으로 입력된다.

2.2.1.4 동기탈조 여부 판별 블록

동기탈조 여부 판별 블록은 매 sampling 마다 복소전력 계산 블록에 의하여 계산된 복소전력을 이용하여 순간 변화

율과 발전기 기계적 입력을 이용하여 동기 탈조 여부를 판별한다. 동기탈조 현상이 발생할 경우 계통 분리 신호를 출력한다.

3. 동기탈조 검출 계전기의 VHDL 구현

동기탈조 검출 알고리즘을 VHDL로 구현하기 위한 첫 단계로써 EMTP로 구현된 동기탈조 검출 알고리즘을 분석한다. 이를 바탕으로 MODEL로 구현된 각 블록을 VHDL IP로 구성하여 구조적인 프로그래밍을 실시한다. VHDL을 이용한 설계에 있어서 여러가지 형태의 프로그래밍 방법이 있는데 크게 나누어 동작적, 자료흐름적, 구조적 프로그래밍 방법이 있다[13]. 본 논문에서는 각 IP별로 동작적 프로그래밍 방법을 사용하며, 전체구조는 구조적 프로그래밍 방법을 사용하여 구성하도록 한다.

3.1 VHDL을 이용한 복소전력 계산 블록의 IP 구현

3.1.1 복소전력 계산 블록

복소전력 계산 블록은 두 개의 DFT를 이용하여 추출된 복소수 형태의 전압, 전류를 이용하여 유효전력 P , 무효전력 Q 를 계산한다. A상, B상, C상의 전압, 전류 값을 이용하여 각 상의 복소전력 값을 계산한 뒤 이를 합산한다.

3.1.2 복소전력 계산 블록도

다음 그림 4는 3상이 아닌 단상의 경우 복소전력 계산 블록도이다.

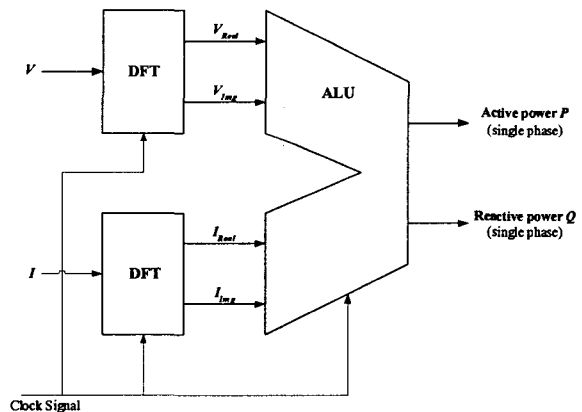


그림 4 복소전력 계산 블록도(단상의 경우)
Fig. 4 Block diagram of complex power calculation(single phase)

그림 4는 복소전력 계산부의 블록도를 보여주고 있다. DFT에서 복소형으로 변환된 단상전압, 전류 값이 ALU (Arithmetic Logic Unit)로 입력되어 단상 유효전력 P 와 단상 무효전력 Q 를 계산하게 된다. 각 상마다 계산된 유효전력과 무효전력은 합산되어 유효전력, 무효전력으로 사용되게 된다.

그림 4와 같은 블록도를 만들기 위해 DFT 블록이 2개 필요하며 ALU 블록을 따로 설계하여 구조적 프로그래밍 기법을 이용하여 묶을 필요가 있다.

3.1.3 복소전력 계산 블록의 시뮬레이션

3.1.3.1 시뮬레이션을 위한 입력 데이터 scaling

Power calculation 모듈에서는 scaling 계수를 사용하여 계산한다. 이는 다음 식 (1)과 같이 계산된다.

$$Power = \frac{(VIN_R/SC) \times (UIN_R/SC) + (VIN_I/SC) \times (UIN_I/SC)}{2} \quad (1)$$

여기서 VIN_R : 전압 (실수형)

VIN_I : 전압 (허수형)

UIN_R : 전류 (실수형)

UIN_I : 전류 (허수형)

SC : scaling 계수

Scaling 계수를 사용함으로써 계산 시 발생할 수 있는 overflow를 미연에 방지할 수 있다. Scaling 계수를 32와 64로 할 경우 시뮬레이션을 위한 입력으로 사용하는 샘플링 값은 다음 표 1과 같다.

표 1 12 sampling 시 A/D converter의 출력과 실제 sine wave 및 스케일링 된 A/D converter의 출력 비교
Table 1 The Output of A/D converter and output of scaling A/D converter

Sampling	Sine wave	A/D출력	64배	32배
1	0	512	8	16
2	0.5	768	12	24
3	0.87	955	14	28
4	1	1023	15	30
5	0.87	955	14	28
6	0.5	768	12	24
7	0	512	8	16
8	-0.5	256	4	8
9	-0.87	69	1	2
10	-1	0	0	0
11	-0.87	69	1	2
12	0.5	256	4	8

표 1에서 살펴 볼 수 있듯이 64 이상의 샘플링 값은 적합하지 않으며 (9번째와 11번째가 0이 될 수 있다) 64가 사용할 수 있는 가장 큰 scaling 계수이다. 본 시뮬레이션에서는 2⁶인 64를 scaling 계수로 사용하였다.

3.1.3.2 파형 입력을 이용한 시뮬레이션

다음 그림 5는 복소전력 계산 블록의 동작을 시뮬레이션한 것으로서 VIN_R, VIN_I는 복소전압 데이터이며 UIN_R, UIN_I는 복소전류 데이터이다. P_OUT은 유효전력 출력 결과이며 Q_OUT은 무효전력 출력 결과이다. 본 시뮬레이션의 출력 결과는 2⁶으로 scale down 되어 있다.

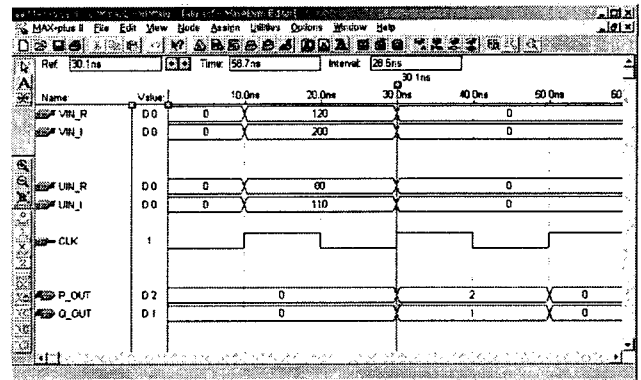


그림 5 각 복소전력 계산 블록의 계산결과 출력
Fig. 5 Calculation result of complex power calculation block

3.1.3.3 복소전력 계산 블록의 합성도

복소전력 계산 블록을 Xilinx ISE를 이용하여 합성한 회로도는 다음 그림 6, 7과 같다.

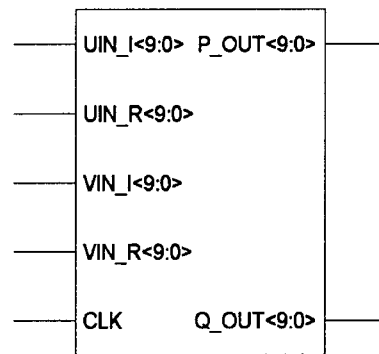


그림 6 Entity 형태로 표현된 복소전력 계산 블록
Fig. 6 Complex power calculation block in entity type

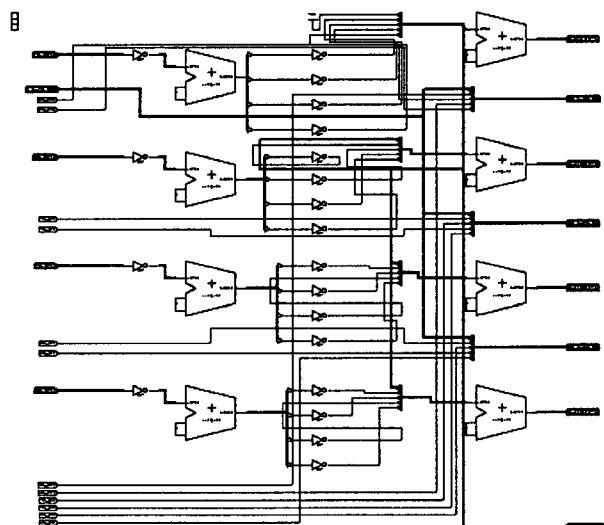


그림 7 복소전력 계산 블록의 합성 회로도
Fig. 7 Synthetic circuit diagram of complex power calculation block

3.2 VHDL을 이용한 동기탈조 검출 블록의 IP 구현

3.2.1 동기탈조 검출 블록

동기탈조 검출 블록은 복소전력 계산 블록에서 산출된 복소전력을 이용하여 매 sampling 간격마다 복소전력의 순간변화율을 계산하고 복소전력과 발전기의 기계적 입력을 비교하여 동기탈조 여부를 판별한다[5].

3.2.2 동기탈조 검출 블록도

다음 그림 8은 DFT 블록, 복소전력 계산 블록 및 동기탈조 검출 블록이 어떻게 구성되는지 보여주고 있다.

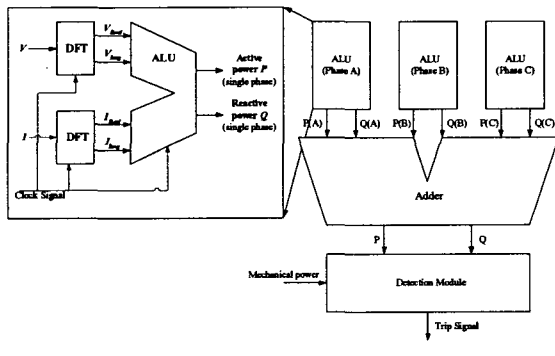


그림 8 각 블록의 전체 구성도
Fig. 8 Total organization of each block

위 그림 8에서 볼 수 있듯이 DFT 블록을 이용하여 산출된 A상, B상, C상의 복소전압, 전류가 복소전력 계산 블록으로 입력되어 복소전력으로 변환된다. 이렇게 산출된 복소전력은 동기탈조 검출 블록으로 입력되며 매 sampling 간격으로 복소전력과 기계적 입력을 이용하여 복소전력의 시간당 변화율을 계산한 후 동기탈조 검출 알고리즘에 의거하여 trip 신호를 출력한다.

3.2.3 복소전력 계산 블록의 시뮬레이션

3.2.3.1 시뮬레이션을 위한 입력 데이터

다음 그림 9는 동기탈조 현상을 모의하기 위한 복소전력 궤적의 sampling 값을 보여주고 있다.

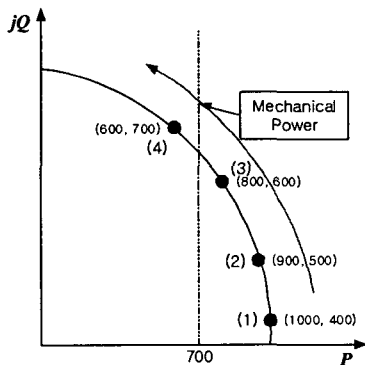


그림 9 시뮬레이션을 위한 임의의 복소전력 궤적
Fig. 9 Arbitrary trajectory of complex power for simulation

위 그림 9에서 볼 수 있듯이 (1)→(4)로 이동하는 복소전력 궤적의 시간당 변화율은 $\Delta P < 0$ 이며 $\Delta Q < 0$ 이다. 이 경우 동기탈조 여부를 판별하는 기계적 입력이 700W라고 가정할 경우 복소전력의 궤적이 (3)→(4)가 되는 순간 동기탈조 현상이 발생된다.

3.2.3.2 파형 입력을 이용한 시뮬레이션

다음 그림 10은 동기탈조 검출 블록의 동작을 시뮬레이션한 것으로써 P_IN은 유효전력, Q_IN은 무효전력 데이터이며 M_IN은 기계적 입력 데이터이다. D_OUT은 동기탈조 검출 알고리즘이 적용된 trip 신호이며 시뮬레이션을 통하여 trip 신호가 발생되는 것을 확인할 수 있다.

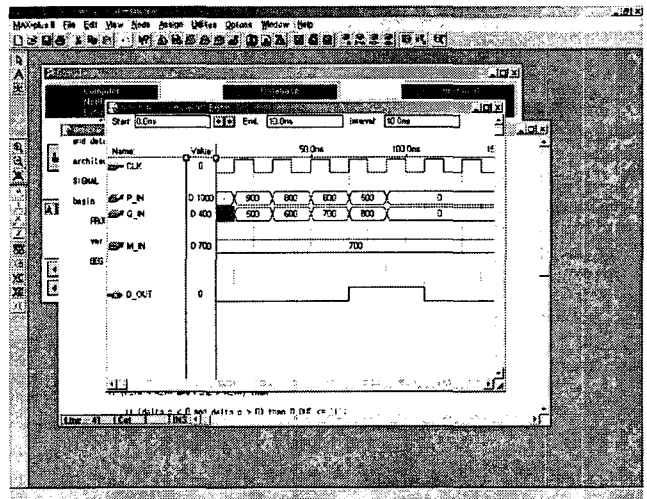


그림 10 복소전력 계산 블록의 계산결과 출력
Fig. 10 Output of complex power calculation block

3.2.3.3 복소전력 계산 블록의 합성도

복소전력 계산 블록을 Xilinx ISE를 이용하여 합성한 합성 회로도도는 다음 그림 11, 12와 같다.

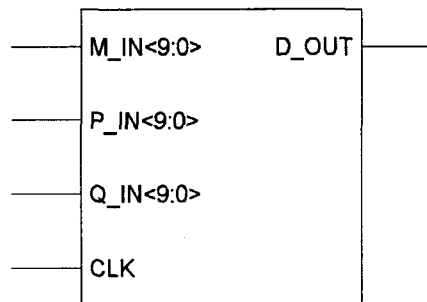


그림 11 Entity 형태로 표현된 동기탈조 검출 블록
Fig. 11 Out-of-Step Detection block in entity type

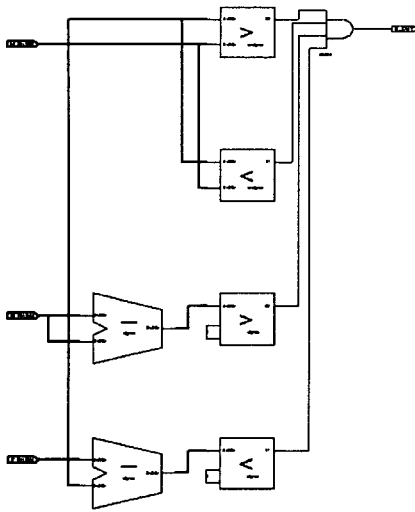


그림 12 동기탈조 검출 블록의 합성 회로도
 Fig. 12 Synthetic circuit diagram of Out-of-Step Detection block

3.3 VHDL을 이용한 제어 블록의 IP 구현

3.3.1 디지털 동기기의 기본 구조

다음 그림 13은 디지털 동기기(Digital Synchronous Machine)의 기본 구조이다.

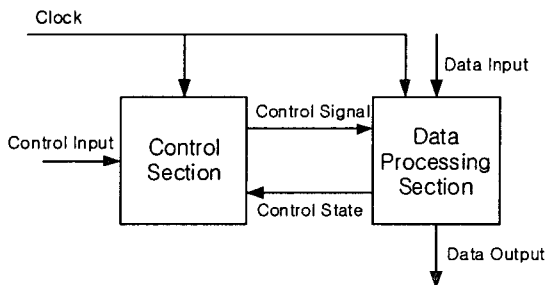


그림 13 디지털 동기기
 Fig. 13 Digital Synchronous Machine

일반적인 디지털 시스템은 데이터 처리부와 이를 통제하는 제어부로 나누어져 있다. 따라서 동기탈조 검출 계전기를 하드웨어로 설계함에 있어서 위와 같은 구조를 이용하여 설계하여야 한다. 동기탈조 검출 계전기의 control 블록은 다음과 같은 역할을 수행하도록 설계 되어야 한다.

- 1) 계전기 동작신호 발생 (starting signal)
- 2) 계전기 초기화 신호 발생 (Reset signal)
- 3) 데이터 처리과정 감시

3.3.2 제어 블록도

다음 그림 14는 제어 블록을 보여주고 있다.

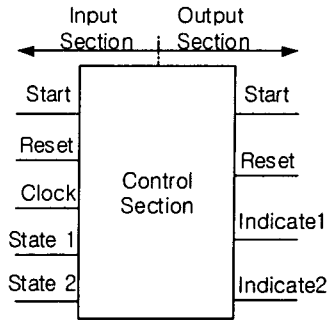


그림 14 Control 블록도
 Fig. 14 Control block diagram

위 그림 14에서 볼 수 있듯이 제어 블록은 input section과 output section으로 나뉘어져 있다. 제어 블록은 사용자와의 interface를 구성하는 부분으로써 input section을 통한 입력 신호를 processing unit에 전달한다. Output section의 경우 input section에서 입력된 start 신호와 reset신호를 후미로 전달하는 역할을 수행하며 동기탈조 검출 계전기의 작동 여부를 알려주는 indicate lamp를 점멸하는 기능을 수행한다.

3.3.3 제어 블록의 합성도

복소전력 계산 블록을 Xilinx ISE를 이용하여 합성한 합성 회로도 는 다음 그림 15, 16과 같다.

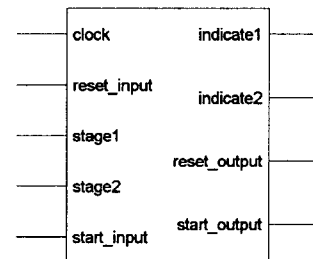


그림 15 Entity 형태로 표현된 동기탈조 검출 블록
 Fig. 15 Out-of-Step Detection block in entity type

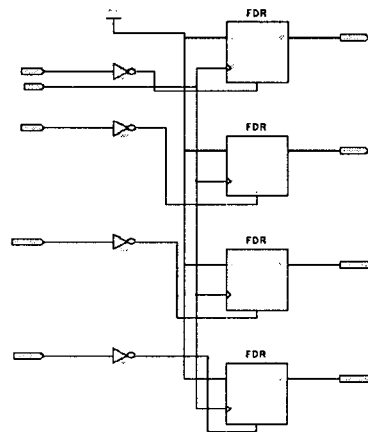


그림 16 동기탈조 검출 블록의 합성 회로도
 Fig. 16 Synthetic circuit diagram of Out-of-Step Detection block

4. 결 론

본 논문에서는 참고문헌[5]에 제시된 알고리즘을 이용하여 실제 하드웨어로 구현하기 위한 연구를 수행하였다.

동기탈조 검출 알고리즘을 IP로 구현하기 위하여 디지털 보호 계전기의 구성 방식에 대하여 연구하였다. 이를 토대로 EMTP/ATP MODELS로 구현된 동기탈조 검출 알고리즘을 기능별로 블록화 하여 IP로 구현하고, 블록별로 구현된 동기탈조 검출 알고리즘을 동작적 프로그래밍 기법과 구조적 프로그래밍 기법을 이용하여 하드웨어로 설계 하였다. 이렇게 설계된 하드웨어 블록들을 시뮬레이션을 이용하여 동작 여부를 검증 하고 이를 합성도구를 이용하여 합성 회로도를 작성하였다.

본 논문은 기존에 제시한 새로운 동기탈조 검출 알고리즘을 IP로 구현함으로써 기존의 동기탈조 검출 보호 계전기와는 다른 새로운 보호 계전기를 시장에 제시할 수 있을 것으로 기대되며, 본 연구를 통하여 구현된 동기탈조 검출 하드웨어 블록은 하드웨어 설계언어인 VHDL을 이용하여 설계 되었으므로 추후 새로운 기능의 추가 및 기존 알고리즘의 보완 시 효과적으로 변경할 수 있을 것으로 기대된다. 또한 새로운 보호 계전 알고리즘의 IP 구현 시 본 연구를 통하여 개발된 각 하드웨어 블록을 효율적으로 사용할 수 있을 것으로 기대된다.

감사의 글

본 연구는 과학기술부/한국과학재단 우수연구센터사업의 지원으로 수행되었음 (차세대전력기술연구센터)

참 고 문 헌

[1] Feng Tao, Zhang Guiqing, Wang Jianhua, Geng Yingsan, Zhang Hang, "A FPGA-based Implementation of Data Acquisition and Processing for Digital Protective Relays", Proceedings. 4th International Conference on ASIC 2001. 23-25 pp. 518-521, Oct. 2001.

[2] M.A. Manzoul, "Multi-function protective relay on FPGA", Microelectronics Reliability, Vol. 38, pp. 1963-1968, 1998.

[3] M.A. Manzoul, Prasad Modali, "OVERCURRENT RELAY ON A FPGA CHIP", Microelectronics Reliability, Vol. 35, No. 7, pp. 1017-1022, 1995.

[4] 서종완, "디지털 보호계전기를 위한 ASIC 설계", 성균관대학교 석사학위논문, 2000.

[5] 권오상, 허정용, 김철환 "복소전력의 변화율을 이용한 동기탈조 검출 알고리즘에 관한 연구-Part II: 복소전력의 계적 변화를 이용한 동기탈조 검출 알고리즘", 대한전기학회 논문지, vol 54A, No. 5, pp. 217-225, May, 2005.

[6] Chul-Hwan Kim, Myung-Hee Lee, R. K. Aggarwal, A. T. Johns, "Educational Use of EMTP MODELS for the Study of a Distance Relaying Algorithm for Protecting Transmission Lines", IEEE Trans. on Power Systems, vol. 15, no. 1, pp. 9-15, Feb. 2000.

[7] J.Y. Heo, C.H. Kim, R.K. Aggarwal, "Simulation of

the Distance Relay using EMTP MODELS", KIEE International Transactions on Power Engineering, vol. 4-A, no. 1, pp. 26-32, Mar. 2004.

[8] C. H. Kim, J. Y. Heo, R. K. Aggarwal, "An Enhanced Zone 3 Algorithm of a Distance Relay using Transient Components and State Diagram", IEEE Tran. on Power Delivery, vol. 20, no. 1, pp. 39-46, Jan. 2005.

[9] Sang-Pil Ahn, Chul-Hwan Kim, R. K Aggarwal, A. T. Johns, "An Alternative Approach to Adaptive Single Pole Auto-reclosing in High Voltage Transmission Systems based on Variable Dead Time Control", IEEE Tran. on Power Delivery, vol. 16, no. 4, pp. 676-686, Oct. 2001.

[10] Chul-Hwan Kim, Hyun Kim, Young-Hun Ko, Sung-Hyun Byun, R. K. Aggarwal, A. T. Johns, "A Novel Fault-detection Technique of High-Impedance Arcing Faults in Transmission Lines using the Wavelet Transform", IEEE Trans. on Power Delivery, vol. 17, no. 4, pp. 921-929, Oct. 2002.

[11] D. Farquhar, "A microprocessor Based Relay with Implications for Distribution Switchgear Design", 2nd International Conference on Developments in Distribution Switchgear(CONF, PUBL, No.261), pp. 69-73, 1986.

[12] G. C. Kakoti, H. K. Verma, "New algorithm for Microprocessor-Based Distance Relaying", Electric Power System Research, No. 15 pp. 233-238, 1988.

[13] Charles H. Roth, Jr., "Digital system design using VHDL", PWS publishing company, 1997.

[14] Sophocles J. Orfanidis, "Introduction to Signal Processing", PRENTICE -HALL inc., 1996.

저 자 소 개



권 오 상 (權 五 相)

1978년 1월 13일생. 2003년 성균관대 정보통신공학부 졸업. 현재 동 대학원 전자전기공학과 석사과정, 차세대전력기술연구센터

Tel : 031-290-7166, Fax : 031-290-7955
E-mail : dinosaur@hanmail.net



김 철 환 (金 喆 換)

1961년 1월 10일생. 1982년 성균관대 전기공학과 졸업. 1990년 동 대학원 전기공학과 졸업(공학박). 현재 성균관대 정보통신공학부 교수, 차세대전력기술연구센터

Tel : 031-290-7124
Fax : 031-290-7179

E-mail : chkim@skku.edu