

논문 2006-43SD-4-8

# 강건 QCA 설계 지침을 이용한 고속 가산기 설계

## (Design of a Fast Adder Using Robust QCA Design Guide)

이 은 철\*, 김 교 선\*\*

(Eunchoul Lee and Kyosun Kim)

### 요 약

Quantum-dot Cellular Automata (QCA)는 분자 혹은 원자 수준의 작은 크기의 소자이며 극도로 낮은 소모 전력 특성을 가지기 때문에 디지털 논리 구현에 있어 차세대 기술로 많은 주목을 받고 있다. 현재까지 다양한 QCA 설계가 발표되었지만 대부분 시뮬레이션에 의해 동작하지 않음이 확인되었으며 설계를 위한 일반적인 규범이나 지침도 제시되지 않았다. 동작하는 기본적인 구조를 간단히 확장하는 경우에도 시뮬레이션이 실패하였으며 대규모 회로 설계에는 엄청난 시간 소요가 예상되었다. 본 논문에서는 게이트 입력 경로의 불균형 및 배선구조의 숨은 잡음 경로등 기본적인 QCA 구조에서 나타난 치명적인 취약성에 대해 설명하고 이를 해결하기 위한 강건한 QCA 설계를 위해 규범 및 지침을 제시한다. 또한, 이 강건 설계 기법에 따라 설계되고 시뮬레이션에 의해 그 동작이 검증된 고속 가산기를 제시한다.

### Abstract

The Quantum-dot Cellular Automata (QCA) can be considered as a candidate for the next generation digital logic implementation technology due to their small feature sizes and ultra low power consumption. Up to now, several designs using QCA technology have been proposed. However, we found not all of the designs function properly. Furthermore, no general design guidelines have been proposed so far. A straightforward extension of a simple functional design pattern may fail. This makes designing a large scale circuits using QCA technology an extremely time-consuming process. In this paper, we show several critical vulnerabilities related to unbalanced input paths to QCA gates and sneak noise paths in QCA interconnect structures. In order to make up the vulnerabilities, a disciplinary guideline will be proposed. Also, we present a fast adder which has been designed by the discipline, and verified to be functional by the simulation.

**Keywords :** Quantum-dot Cellular Automata, Unbalanced Input Path, Sneak Noise Path, Disciplinary Guideline, Fast Robust QCA Adder.

### I. 서 론

CMOS 소자의 스케일링은 트랜지스터 치수를 축소하고, 전원 전압을 감소시키며, 동작 주파수를 증가시키는 등 공격적으로 추구되어 왔다. 이러한 공격적 스케일링은 누설 전류 및 전력 밀도 증가 등과 같이 비정상적 특성을 야기하게 되었다. 이러한 이슈들은 결국 수

십 년간 진행되어온 스케일링 추세에 걸림돌이 되어 진행을 늦추게 될 것이다<sup>[1]</sup>. Quantum-dot Cellular Automata (QCA)는 분자 혹은 원자 수준의 작은 크기의 소자이며 극도로 낮은 소모 전력 특성을 가지고 있어 많은 주목을 받고 있다<sup>[2]</sup>. 그림 1(a)에 나타낸 바와 같이 양자 셀은 네 개의 양자점으로 구성되어 있으며 양자점들 간에 터널링 할 수 있는 두 개의 과도 전자를 가지고 있다. 쿨롱 반발력 때문에 이 과도 전자는 항상 대각선 방향 반대쪽에 위치한다. 에너지가 등가인 두 가지 편극 (polarization) 형태가 존재하며 +1, 그리고 -1로 표시한다. 셀 간의 높은 에너지 때문에 셀 밖으로 터널링 하는 것은 통제되어 있다. 또 다른 종류의 QCA 셀에는 양자점들이 그림 1(b)와 같이 각 변 중앙에 위

\* 학생회원, \*\* 정회원, 인천대학교 전자공학과  
(Department of Electronic Engineering University of Incheon)

※ 이 논문은 인천대학교 2003년도 신입교수 연구비 지원에 의하여 연구된 것임.

접수일자: 2005년8월11일, 수정완료일: 2006년3월3일

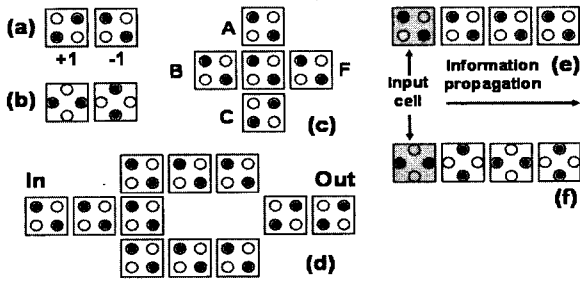


그림 1. (a) 90° 셀 (b) 45° 셀 (c) 다수결 게이트 (d) 인버터 (e) 90° 셀 배선 (f) 45° 셀 배선

Fig. 1. (a) Two 90-degree quantum cells with opposite polarizations (b) Two 45-degree quantum cells with opposite polarizations (c) A majority gate (d) An inverter (e) A QCA wire using 90-degree cells and a (f) QCA wire using 45-degree cells.

치한다.

QCA 논리 회로의 기본적 논리 소자는 다수결 게이트 (majority gate)이며 그림 1(c)에 나타내었다. A, B, C 셀은 입력 셀이고 F 셀은 출력 셀이다. F 셀의 편극은 입력 셀들의 다수가 가진 편극에 의해 결정된다. 이 예제에서 3개의 입력 셀 중 두 개의 편극이 -1이기 때문에 출력 셀의 편극도 -1이 된다. 그림 1(d)에 나타낸 셀 배치는 인버터를 구현하며 출력 Out의 편극이 입력 In의 편극과 서로 반대가 된다. 두 가지 종류의 셀을 각각 사용하여 구성된 배선을 그림 1(e)와 (f)에 나타내었다. 입력이 입력 셀에 인가되면 인접 셀 내 전자들의 쿨롱 반발력에 의해 2진 정보가 좌측에서 우측으로 전파된다. 배선 내의 모든 셀들이 안정 상태로 정착하면 모두 같은 편극을 가질 것이다. 그러나 그림 1(f)에서 배선 내 각 셀은 인접 셀과 정반대의 편극을 가진다.

셀의 편극 천이는 셀 내 인접 양자점 간의 전자 터널링에 의해 발생된다. 그러나 양자점 간 전위가 높으면 셀의 편극은 변하지 않으며 인접 셀들의 편극 변화에 반응하지 않을 것이다. 셀의 양자점 간 전위를 클럭과 동조시키면 환경에 의한 편극 천이를 허가 또는 금지할 수 있다. 흔히 클럭 주기는 천이 (switch), 유지 (hold), 해제 (release), 휴지 (relax)와 같이 4 단계로 나눌 수 있다. 천이 단계에는 양자점 간 전위가 올라가 셀은 점차적으로 안정 상태로 정착된다. 유지 단계에는 양자점 간 전위를 높은 상태로 유지하여 전자 터널링을 제한함으로써 현재 안정 상태를 동결시킨다. 해제 및 휴지 단계에서는 양자점 간 전위가 낮아져 전자들의 이동성이 점차 높아진다. 셀의 편극이 사라지고 인접 셀들의 편

극 변화에 반응할 수 있게 된다. 따라서 셀의 편극 천이는 천이 단계 동안 현재 유지 단계에 있거나 천이 단계에서 방금 천이된 인접 셀들에 의해 결정된다. 해제 및 휴지 단계의 편극이 되지 않은 인접 셀들은 천이하는 셀에 영향을 주지 않는다.

일반적으로 셀을 클럭에 동조시키는 동기 QCA 설계에서는 네 개의 파이프라인 클럭  $\Phi_1, \Phi_2, \Phi_3, \Phi_4$ 를 사용한다. 각 클럭은 이전 클럭보다 90°만큼 위상 지연을 가지고 있으며 QCA 설계에서 각 셀은 이 파이프라인 클럭들 중 하나가 지정된다. 클럭  $\Phi_1$ 가 지정된 셀은 같은 클럭이 지정된 인접 셀들에 의해 편극이 대부분 결정된다. 편극이 결정된 셀은 또 다시 같은 클럭이 지정된 인접 셀들의 편극에 기여함으로써 정보 흐름은 양방향성이 되며 같은 클럭이 지정된 셀들 간에 피드백을 형성한다. 클럭  $\Phi_{i-1}$ 이 지정된 인접 셀들은 유지 단계에서 클럭  $\Phi_i$ 가 지정되고 천이 단계에 있는 셀의 편극에 기여한다. 그러나 클럭  $\Phi_i$ 가 지정된 셀은 클럭  $\Phi_{i-1}$ 이 지정된 인접 셀들의 편극에 영향을 주지 않는다. 이 특성에 의해 서로 다른 파이프라인 클럭이 지정된 셀들 간의 경계 면에서는 단방향성 신호 흐름만이 허용된다.

1980년대 후반 QCA 셀의 기본 동작들이 하드웨어로 구현되어 시연된 이후 가산기와 같이 간단한 회로로부터 마이크로프로세서와 같은 대규모 집적 회로에 이르는 다양한 QCA 설계가 발표되었다. Tougaw와 Lent<sup>[3]</sup>가 최초로 QCA 형태의 단일 비트 전가산기를 설계하였다. 이 전가산기는 두 수 A, B 및 캐리 입력 Cin을 입력으로 취하고 출력 Sum은  $M(M(A', B, Cin), M(A, B', Cin), M(A, B, Cin'))$ 으로 발생시켰다. 여기서 A', B', Cin'는 각각 A, B, Cin의 보수이고 M( )은 다수결 게이트이다. 마찬가지로 캐리 출력 Cout은  $M(A, B, Cin)$ 으로 발생된다. 전체적으로 이 전가산기는 다수결 게이트 5개, 인버터 3개를 포함하고 총 192개의 셀이 필요하였다. Wang 등은 Sum을  $M(Cout', Cin, M(A, B, Cin'))$ 으로 발생시켜 145개의 셀로 QCA 전가산기를 설계하였다<sup>[4]</sup>. Fijany 등은 이 전가산기를 수정하여 Cout과 Cin 사이에 피드백 연결을 포함시킨 비트 직렬 가산기를 제안하였다<sup>[5]</sup>. 캐리 출력력을 미리 다음 단 가산기의 캐리 입력에 연결하는 캐리-룩-어헤드 가산기가 발표되었으며<sup>[6]</sup> 마이크로프로세서도 제안되었다<sup>[7]</sup>.

반면에 설계 입력 및 검증을 위해 설계 툴 및 시뮬레이터가 개발되어 왔다. 현재까지 결합 벡터, 쌍안정, 비선형 근사, 디지털과 같은 네 가지 시뮬레이션 모델

이 사용되어 왔다<sup>[8]</sup>. 결합 벡터 모델은 어떤 셀과 모든 다른 셀 간의 킥크 (kink) 에너지를 근간으로 그 셀의 상태를 시간에 따라 계산한다. 두 셀 간의 킥크 에너지는 그 두 셀들이 반대 편극을 가지는 에너지 비용이다. 결합 벡터 모델의 정확도는 타이밍 스텝의 간격이 작을수록 높아지며 셀의 편극 천이 시 동적인 동작을 평가하는데 사용될 수 있다. 쌍안정 및 비선형 근사 모델도 킥크 에너지를 사용하여 셀의 상태를 계산하지만 시간에 독립적인 방법을 사용하여 전체 시뮬레이션 시간을 단축한다. 디지털 모델은 Logic Analyzer처럼 동작하고 가장 빠르지만 정확도가 가장 낮은 시뮬레이션 엔진이다.

앞선 연구에서 그 동안 주장되어온 소자와 연결 구조의 간결성에는 걸맞지 않게 많은 사람이 QCA 설계를 시작하여 시뮬레이션을 하면 금방 실패의 좌절을 맛보게 된다. 실패의 원인을 분석하기 위해 Wang 등의 가산기 (그림 2(a))를 살펴보자.

시뮬레이션 결과인 그림 2(b)는 QCA Designer<sup>[4]</sup>의 쌍안정 근사모델을 사용한 것이며 결합 벡터, 비선형 근사 모델 결과는 지면 관계상 생략한다. 시뮬레이션 결과 Wang 등의 회로는 정상적으로 동작하지 않는다는 것이 발견되었으며 원인은 그림 2(a)에 나타난 기본적인 QCA 게이트와 배선구조에 존재하는 치명적인 취약성이 때문이다. 또한 이러한 구조는 대부분의 QCA 설계에 사용되어왔기 때문에 본 논문에서 제시한 방법 같은 대책 없이는 기존 연구에서 발표한 QCA 회로가 동작하지 않는다는 것을 알 수 있다. 작은 회로를 단일 시뮬레이션 모델 상에서 파라미터를 조정하고 회로 각부를 수정하면서 시뮬레이션을 성공시킨 사람도 있을 것

이다. 하지만 다른 시뮬레이션 모델을 사용하면 금방 실패함을 확인할 수 있을 것이다.

본 논문은 다음과 같이 구성한다. 먼저, 앞서 발견된 취약성들에 대해 II장에서 설명할 것이다. 또한 그럴듯하지만 실제로는 동작하지 않는 QCA 설계가 더 이상 발표되지 않도록 하기 위해 강건한 QCA 설계를 위한 규범 및 지침도 제시될 것이다. 이후 III장에서 제안된 규범적 지침에 따라 설계된 고속 가산기를 제시하고 IV장에서 결론을 맺을 것이다.

## II. QCA 설계상의 숨은 잡음 경로

결합 벡터 모델은 킥크 (kink) 에너지를 누적시켜 셀의 상태를 계산한다. 셀  $i$ 와  $j$ 간의 킥크 에너지는 셀  $i$ 와  $j$ 가 반대 편극을 가지는 에너지 비용을 표현한다. 이것은 모든 전하들 간의 정전기적 상호 작용으로부터 계산된다. 셀  $i$ 의 각 양자점에 대해 그 양자점과 셀  $j$ 에 있는 각 양자점 간의 정전기적 상호 작용은 다음과 같이 계산된다.

$$E_{i,j} = \frac{1}{4\pi\epsilon_0\epsilon_r} \frac{q_i q_j}{|r_i - r_j|} \quad (1)$$

여기서  $\epsilon_0$ 는 자유 공간에서 유전율이고  $\epsilon_r$ 은 물질 체계의 상대 유전율이다. 이것은 모든  $i$ 와  $j$ 에 대해 누적된다. 총 킥크 에너지는 모든 개별 킥크 에너지의 합이다. 따라서 셀의 상태는 원하는 정보를 전달하는 셀들 뿐만 아니라 모든 이웃 셀들에 의해서 결정된다.

그림 3(a)에 나타낸 배선 교차부 (crossover)를 검토해 보자. 셀 C에 인가된 입력이 셀 A에 인가된 입력이 지나가는 배선을 교차하여 지난 후 셀 Z에서 관측된다. 시뮬레이션 결과를 통해 기능의 정확성을 확인할 수 있다. 그러나 셀 A에 인가된 입력도 셀 Z의 상태를 결정하는데 참여하며 사실 수직 배선 상의 모든 셀이 참여한다. 그림 3(b)의 시뮬레이션에서 셀 C에 입력이 인가되지 않으면 셀 Z의 상태는 셀 A에 인가된 입력에 의해 결정됨을 확인할 수 있다. 설계자의 관점에서 셀 C의 입력에 의해 셀 Z에 준 영향은 신호이고 셀 A의 입력에 의한 영향은 잡음이다. QCA 설계에서 다수의 입력이 존재할 때 어떤 셀에 의도적으로 전달되는 신호는 그 셀의 논리 입력이고 잡음은 그 밖의 모든 다른 입력들에 의한 영향이다. 이 예제에서는 신호가 잡음을 이겨내고 셀 Z에 제대로 전달되었지만 항상 그렇지만은

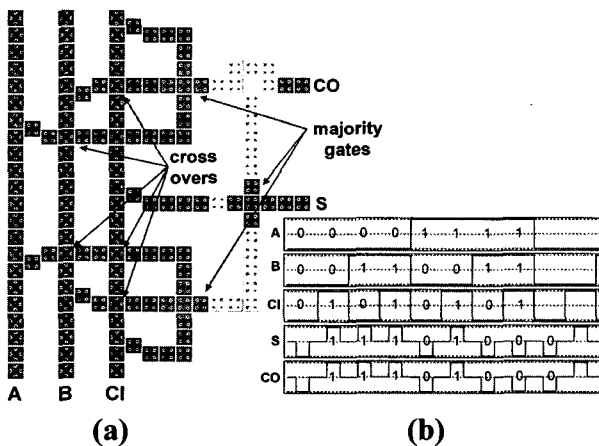


그림 2. (a) Wang의 가산기 (b) 시뮬레이션 결과  
Fig. 2. (a) Wang's adder. (b) the simulation result.

않다. 이 절에서는 동작 결함을 일으키는 숨은 잡음 경로를 포함한 설계 패턴 몇 가지를 확인한 후 원인을 분석하여 적합한 설계 규칙을 제안할 것이다.

1. 확장된 교차부 구조

그림 3(a)에 나타난 교차부에서 수평 배선의 출력 Z 바로 앞에 셀을 하나 더 추가하여 확장한 것을 그림 4(a)에 나타내었다. 그러나 결합 벡터 모델을 사용한 시뮬레이션 결과는 셀 C의 신호 입력은 셀 Z에 전달되지 못했음을 보이고 있다. 셀 Z에 전달된 정보는 사실 셀 A의 입력이 반전된 값이다.

그림 5는 셀 A<sub>1</sub>과 C<sub>2</sub> 간의 4가지 편극 패턴을 열거하

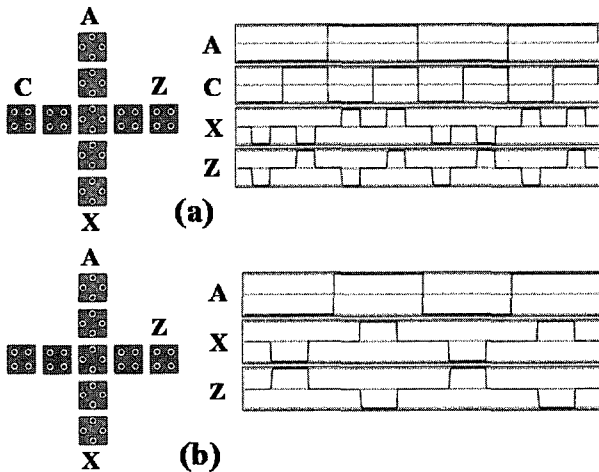


그림 3. (a) 교차부 및 시뮬레이션 결과 (b) 입력 C를 인가하지 않은 교차부 및 시뮬레이션 결과

Fig. 3. (a) crossover and the simulation result (b) a crossover with input C absent and the simulation result.

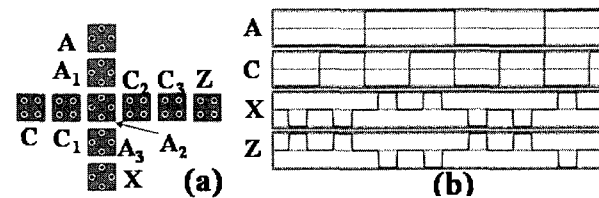


그림 4. (a) 확장된 교차부 (b) 시뮬레이션 결과  
Fig. 4. (a) An extended crossover. (b) Simulation result.

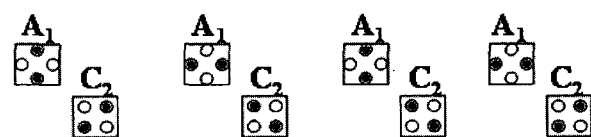


그림 5. 셀 A<sub>1</sub> 과 C<sub>2</sub> 간의 4 가지 편극 패턴  
Fig. 5. The 4 polarization patterns between A<sub>1</sub> and C<sub>2</sub>.

표 1. 교차부의 셀들간 킥 에너지

Table 1. The kink energy between cells in the crossover.

i	j	에너지 (J)	i	j	에너지 (J)
C <sub>2</sub>	A	-2.10e-24	A <sub>3</sub>	C	+2.10e-24
	A <sub>1</sub>	0		C <sub>1</sub>	0
	A <sub>2</sub>	0		A <sub>2</sub>	-1.57e-22
	A <sub>3</sub>	0		C <sub>2</sub>	0
	X	+2.10e-24		C <sub>3</sub>	-2.10e-24
	C <sub>1</sub>	+3.48e-24		A <sub>1</sub>	-4.20e-24
	C <sub>2</sub>	+1.17e-22		X	-1.57e-22

고 있으며 대칭성을 확인할 수 있다. 가능한 모든 상황에 대해 정전기적 상호 작용을 합산한 셀 A<sub>1</sub>과 C<sub>2</sub> 간의 킥 에너지는 0이다. 다시 말해, 셀 A<sub>1</sub>의 편극은 셀 C<sub>2</sub>의 편극에 영향을 주지 않는다. 마찬가지로 수직 배선 상의 셀 A<sub>2</sub> 및 A<sub>3</sub>의 편극은 셀 C<sub>3</sub>의 편극에 영향을 주지 않는다. 셀들 간의 킥 에너지를 표 1에 요약하였다. 여기서 양자점의 직경은 5nm이고 셀 크기는 18nm x 18nm이다. 셀 간격은 5nm이고 그리드 간격은 23nm이다. 수평 배선 상의 신호는 셀 C<sub>1</sub>에서 셀 A<sub>2</sub>를 건너 뛰어 셀 C<sub>2</sub>로 전달된다. 불행히도 셀 C<sub>2</sub>와 A 간, 그리고 셀 C<sub>2</sub>와 X 간에는 양자점 간 편극 패턴이 비대칭이기 때문에 킥 에너지가 0이 아니다. 이것은 셀 A로부터 오는 잡음을 셀 C<sub>2</sub>에 전달하므로 숨은 잡음 경로라고 한다.

셀 하나의 상태가 그 인접 셀들의 상태에 미치는 영향은 셀간 반응 함수로 계량할 수 있다. 셀간 반응의 비선형 쌍안정 포화 특성은 전통적인 디지털 회로의 이득과 같은 역할을 한다<sup>[9]</sup>. 한 셀의 작은 편극이 그 인접 셀에 훨씬 더 큰 편극을 유발한다. 그 인접 셀도 자신의 편극이 포화되기도 전에 더 큰 편극을 원래의 셀에 피드백 한다. 이와 같은 상승 작용은 신호의 편극을 증폭시킬 뿐만 아니라 숨은 잡음 경로를 통해 전파되는 잡음의 편극도 증폭시킨다.

그림 6(a)에 나타난 셀 배치를 검토해 보자. 셀 A와 B에 두 입력이 인가된다. 설계자의 입장에서 셀 A의 입력은 신호 역할을 하지만 셀 B의 입력은 잡음 역할을 한다. 셀 A<sub>7</sub>과 A<sub>8</sub> 간의 킥 에너지가 셀 B<sub>1</sub>과 A<sub>8</sub> 간보다 30배 정도 크지만 셀 B에서 오는 잡음이 그 전파 경로가 짧기 때문에 신호보다 셀 A<sub>8</sub>에 먼저 도달하여 셀 A<sub>10</sub>과 A<sub>11</sub>로 전파된다. 이 셀들 간 양의 편극 피드백에 의해 잡음이 증폭되어 신호는 셀 A<sub>8</sub> 위치에서

고착되며 더 이상 전파되지 못한다.

그러나 만약 셀  $A_{11}$ 이 배선의 끝에서 제거된다면 잡음이 야기한 편극은 충분히 증폭되지 못하고 잡음은 그림 6(b)와 같이 사라지고 만다. 이 실험을 통해 잡음이 신호보다 먼저 도착해야 한다는 조건과 잡음이 주입되는 위치의 배선 길이가 충분해야 한다는 조건이 함께 만족해야 잡음 증폭이 성공한다는 것을 알 수 있다. 다시 말해 이 길이를 제한하던가 아니면 신호가 먼저 도착하도록 함으로써 잡음 증폭을 방지할 수 있다.

그림 4의 교차부를 다시 검토해 보자. 셀  $C_2, C_3, Z$  상의 잡음 증폭을 방지하려면 신호가 잡음보다 먼저 이들 셀에 도착해야 한다. 이를 위해서는 동기 QCA 설계가 필요하다. 교정된 교차부 및 시뮬레이션 결과를 그림 7에 나타내었다. 수평 배선은 둘로 나뉘어져  $90^\circ$ 의 위상차가 있는 두 개의 파이프라인 클럭이 각각 지정되었다. QCA 파이프라인 클럭들은 농도가 다른 회색으로 구분하였다. 셀  $C_2, C_3, Z$ 의 상태는 셀  $C$ 와  $C_1$ 이 유지 단계에 도달하기 전에는 결정되지 않을 것이다. 셀  $C$ 와  $C_1$ 의 유지 단계는 셀  $C_2, C_3, Z$ 의 천이 단계인데 이 동안 셀  $C_2, C_3, Z$ 의 편극이 셀  $C$ 로부터 오는 신호와 셀  $A$ 로부터 오는 잡음에 의해 동시에 결정되며 마침내 킹

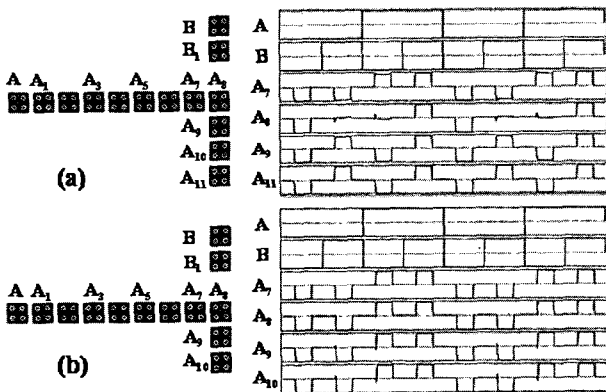


그림 6. 셀간 반응 함수에 의한 잡음 증폭  
Fig. 6. The amplification of noise due to the cell-cell response.

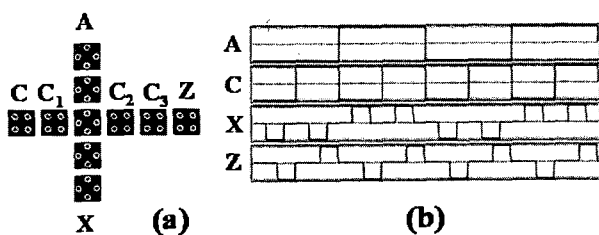


그림 7. 작동하는 교차부 및 시뮬레이션 결과  
Fig. 7. A working crossover and the simulation result.

크 에너지가 강한 신호가 전달된다. 시뮬레이션 결과를 통해 셀  $C$ 의 신호가 셀  $Z$ 에 성공적으로 전달되었음을 확인할 수 있다.

### 2. 다수결 게이트 구조

그림 8(a)에 나타낸 다수결 게이트를 검토해보자. 셀  $A, B, C$ 는 입력이고 셀  $Y$ 는 출력이며 모든 셀에 단일 클럭이 지정되었다. 결합 벡터 모델을 사용한 시뮬레이션 결과에 의하면 그림 9(a)에서 보는 바와 같이 이 게이트는 전혀 다수결 게이트로 동작하지 않는다. 입력 경로의 불균형으로 인해 셀  $A, B$ 의 신호가 셀  $C$ 의 신호보다 게이트 셀  $G$ 에 먼저 도착한다. 게이트 셀  $G$ 는 셀  $GA$ 와  $GC$ 에 의해 편극이 결정되고 그 편극을 셀  $C$  방향으로 전파시킨다. 셀  $C$ 의 신호는 게이트 셀에서의 투표 기회를 잃고 마침내 셀  $GC$ 와  $C$  사이에서 고착된다. 공정한 투표를 위해 모든 신호들은 게이트 셀에 동시에 도착해야 한다. 적합한 클럭 지정을 통해 작동하도록 수정된 QCA 다수결 게이트를 그림 8(b)에 나타내었고 시뮬레이션 결과를 그림 9(b)에 나타내었다. 셀  $GA, GB, GC, GY, G$ 는 셀  $A, B, C$ 에 비해  $90^\circ$ 의 위상차가 나도록 클럭이 지정되었다. 출력 셀  $O, P, Q, R, Y$ 는 셀  $GY$ 보다  $90^\circ$  위상차가 나도록 클럭이 지정된 것을 기억해 두기 바란다. 셀  $GA, GB, GC$ 는 세 개의 입력 경로가 아무리 불균형적이라 하더라도 동시에 편극

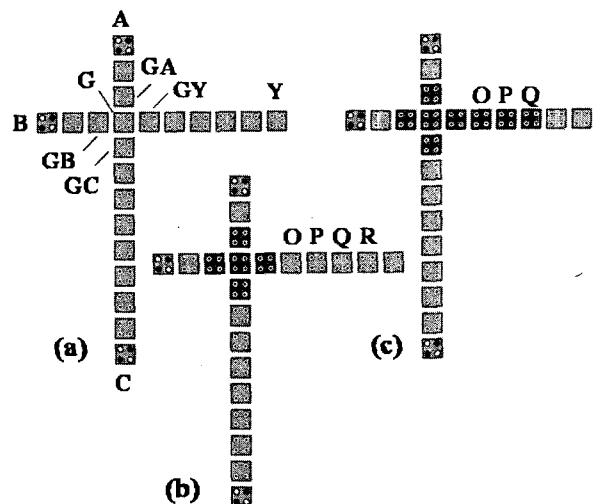


그림 8. 다수결 게이트 (a) 모든 셀에 단일 클럭 지정 (b) 적합 클럭 지정 (c) 부적합 클럭 지정으로 잡음 증폭  
Fig. 8. Majority gates with (a) all cells in a phase (b) a proper clock assignment (c) noise amplification due to an improper clock assignment.

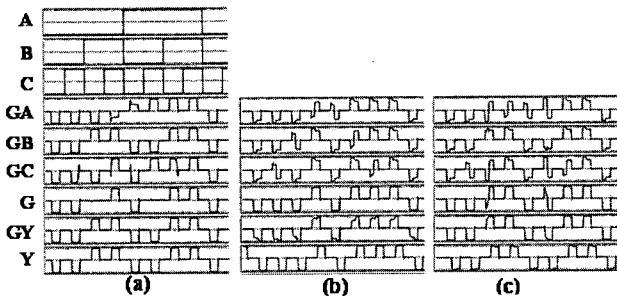


그림 9. 다수결 게이트의 시뮬레이션 결과  
 Fig. 9. Simulation results of the majority gates.

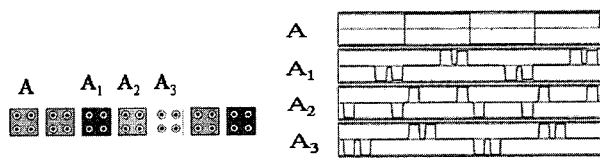


그림 10. 단일 셀 동위상 블록이 직렬로 연결된 배선 및 시뮬레이션 결과  
 Fig. 10. A wire with cascaded single-cell phase blocks and the simulation result.

이 결정되고 동시에 게이트 셀에 투표한다.  
 그러나 만약 셀 O, P, Q에 셀 GY와 같은 클럭이 지정되어 그림 8(c)와 같이 게이트 셀 주변 십자 모양이 출력 방향으로 확장된다면 그림 9(c)와 같이 셀 A와 C의 신호가 둘 다 세 번째 클럭 주기에서 -1이 될 때와 여섯 번째 클럭 주기에서 +1이 될 때 결합이 발생한다. 세 번째 클럭 주기에서 셀 GA와 GC는 일시적으로 -1의 편극을 가진다. 셀 GA, GC, GY의 배치가 그림 1(d)에서 보인 인버터처럼 동작하기 때문에 셀 GY의 편극을 +1로 만든다. 셀 GY, O, P, Q 간의 셀 간 반응 함수의 상승효과로 인해 잡음이 성공적으로 증폭되어 셀 GY는 다수결 게이트에서 +1을 투표한다. 여섯 번째 클럭 주기에서의 결합도 유사한 방식으로 설명할 수 있다. 쌍안정 또는 비선형 근사 모델은 셀의 상태를 시간에 독립적인 방식으로 계산하기 때문에 이러한 동적인 동작을 검출하지 못한다는 점에 주목해야 한다.

3. 동위상 블록 배선의 최소 길이

동위상 블록은 서로 연결되어 있으며 같은 QCA 파이프라인 클럭이 지정된 셀들의 그룹으로 정의될 수 있다. 동위상 블록을 단일 셀로 구성할 수 있으나 그림 10에서 보는 바와 같이 단일 셀 동위상 블록의 신호 파형은 왜곡되며 그러한 블록들을 직렬로 연결하면 기능적 결합이 발생함을 시뮬레이션으로 확인할 수 있다. 신호

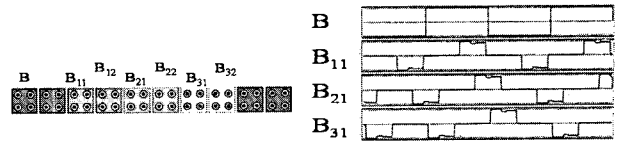


그림 11. 두 셀 동위상 블록이 직렬로 연결된 배선 및 시뮬레이션 결과  
 Fig. 11. A wire with cascaded double-cell phase blocks and the simulation result.

A<sub>1</sub>은 클럭 위상차를 가지고 아직 신호 A의 파형을 유지하고 있지만 신호 A<sub>2</sub>는 왜곡되었으며 신호 A<sub>3</sub>는 완전히 반전되었다. 이러한 취약점은 동위상 블록의 최소 길이를 두 셀로 제한하여 셀 간 반응이 약한 신호를 증폭시키도록 함으로써 보완될 수 있다. 두 셀 동위상 블록을 직렬로 연결하여 구성한 배선과 시뮬레이션 결과를 그림 11에 나타내었다. 파형의 왜곡은 사라지고 두 셀 동위상 블록을 직렬 연결하더라도 결합이 발생하지 않음을 알 수 있다.

4. 최대 배선 길이

결합 벡터 모델을 사용한 시뮬레이션에 의하면 신호는 1 THz에서 최대 90°셀 28개, 45°셀 27개를 통과할 수 있으며 2 THz에서는 최대 90°셀 12개, 45°셀 10개를 통과할 수 있다. 신호의 전파는 배선의 꺾임에 의해 셀 한 개만큼 더 지연되며 배선의 분기에 의해 셀 두 개만큼 더 지연된다.

5. 최소 배선 폭

표 1에서 보는 바와 같이 셀들이 중심에서 중심까지 한 그리드만큼 떨어져 있으면 킥 에너지가 1.16 x 10<sup>-22</sup> J이고 두 그리드만큼 떨어져 있으면 3.48 x 10<sup>-24</sup> J이다. 이와 같이 한 그리드 떨어진 셀 간의 킥 에너지가 두 그리드 떨어진 경우보다 30배나 크기 때문에 서로 다른 두 신호가 전파되는 배선 간격은 두 그리드이면 충분하다. 그러나 교차부에서 수평 배선이 수직 배선을 건너 뛸 때 두 그리드 떨어진 위치의 셀에 신호를 전달해야 하므로 다른 신호를 전파하는 셀들은 이보다 한 그리드만큼 더 떨어져 있는 것이 좋다. 따라서 최소 배선 간격은 세 그리드가 된다.

6. 동기화

경로의 위상 지연은 신호가 그 경로를 따라 전파되면서 경험한 클럭 위상 천이 수로 정의할 수 있다. 게이트

에 도착하는 신호들은 동기화되어야 한다. 외부 입력에서 게이트 입력까지 각 경로의 위상 지연은 모든 게이트 입력에 대해 동일해야 한다. 위상차를 일치시키기 위해 경로 상에 동위상 블록이 추가적으로 삽입되어야 하기 때문에 동기화는 칩 면적 증가 요인이 된다. 또한, 동위상 블록이 하나 삽입될 때마다 후단 회로 전체에 대해 위상을 한 단계씩 이동시켜야 하므로 설계 과정이 복잡해진다. 더구나 배선 구조도 위상 지연을 증가시키기 때문에 스키매틱 다이어그램이 완성되기 전에 논리 설계 단계에서는 위상 지연 예측이 매우 어렵다. 이것은 하향식 계층 설계도 어렵게 한다.

### III. 고속 강건 QCA 가산기 설계

강건한 QCA 설계를 위해 제안된 규범적 지침의 효율성을 입증하기 위해 Wang 등<sup>[4]</sup>이 제안한 리플 캐리 가산기 구조를 재설계하였다. 그림 12와 같이 회로입력은 상단에서 들어오고 합은 하단으로 나가며 캐리는 좌측에서 입력되어 우측으로 전파된다. 원래의 설계는 작동하지 않았으며 교차부 구조의 숨은 잡음 경로 및 게이트 구조의 입력 경로 불균형이 주원인이다. 그림 12(a)의 제안된 설계에서는 설계 지침에서 제안하는 적합한 방법으로 각 셀에 QCA 파이프라인 클럭을 지정

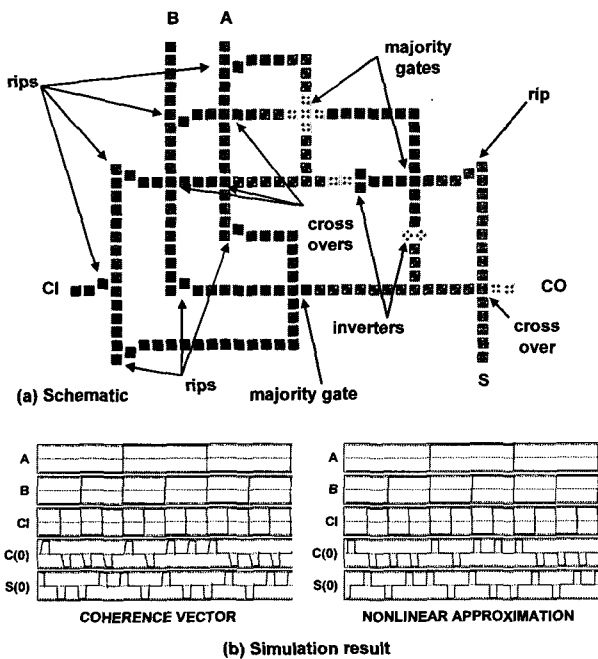


그림 12. 설계된 리플 캐리 가산기의 비트 슬라이스  
Fig. 12. A bit slice of the designed ripple carry adder.

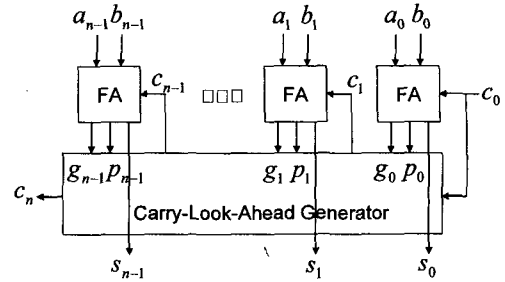


그림 13. n 비트 캐리-룩-어헤드 가산기  
Fig. 13. An n-bit carry-look-ahead adder.

함으로써 배선 교차부에는 잡음 내성을 제공하고 게이트에는 입력 경로 균형을 유지할 수 있도록 하였으며 결합 벡터 모델과 비선형 근사 모델을 사용한 시뮬레이션 결과 모두 정상 동작함을 확인하였다 (그림 12(b)).

QCA 아키텍처에서 AND 및 OR 게이트의 입력 수는 두 개로 제한되며 잡음 취약성을 극복하기 위해 게이트에서 두 개의 클럭 위상이 소모될 뿐만 아니라 배선 교차부마다 클럭 위상이 하나씩 더 소모된다. 반면, 가산기에서 캐리 ( $c_i = a_i \cdot b_i + a_i \cdot c_i + b_i \cdot c_i$ )는 단 하나의 QCA 다수결 게이트를 사용하여 계산할 수 있다. 그림 12는 QCA 다수결 게이트 한 개를 사용하여 캐리를 계산하고 캐리 전파에 필요한 교차를 최소화하면서 설계한 리플 캐리 가산기의 비트 슬라이스를 보이고 있다. 캐리 발생 및 전파에는 비트 당 세 개의 클럭 위상이 소모됨을 알 수 있다. 다수결 게이트 두 개 및 인버터 2 개를 사용하여 합 (S)을 계산하였다. 이 때 인버터는 45°셀 두 개를 90°셀 배선 사이에 끼워 넣는 방법으로 구현되었으며 기존의 타 연구에서 발표된 적이 없는 새로운 기법으로 작은 공간에서 효율적으로 논리 값을 반전시킨다. 입력 신호 A, B, CI 및 출력 신호 S의 연결을 위해 4개의 45°셀 수직 배선을 사용하였으며 이들로 부터 총 8개의 분기 (rip)를 사용하여 90°셀 수평 배선과 연결하였다. 네 개의 교차점이 발생되었으며 모두 90° 위상차를 가진 파이프라인 클럭을 지정함으로써 잡음 취약성을 제거하였다.

일반적으로 CMOS를 비롯한 다른 회로 구현 기술에서 가장 높은 성능을 보이고 있는 n 비트 캐리-룩-어헤드 가산기 (그림 13)는 다음과 같이 최상위 비트 캐리 ( $c_n$ )를 계산한다.

$$g_i = a_i \cdot b_i \tag{2}$$

$$p_i = a_i + b_i \tag{3}$$

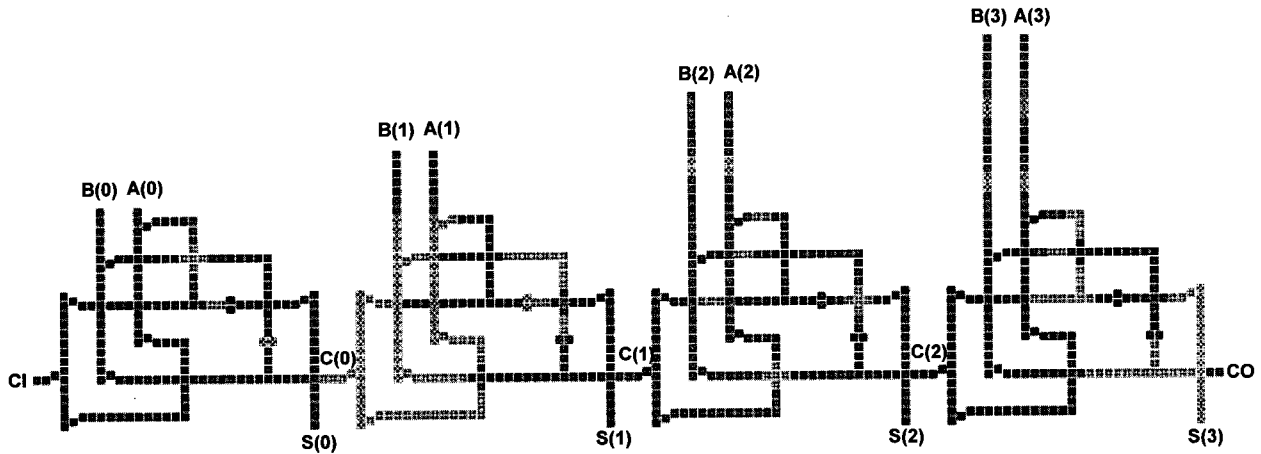


그림 15. 4 비트 가산기  
Fig. 15. A 4-bit adder.

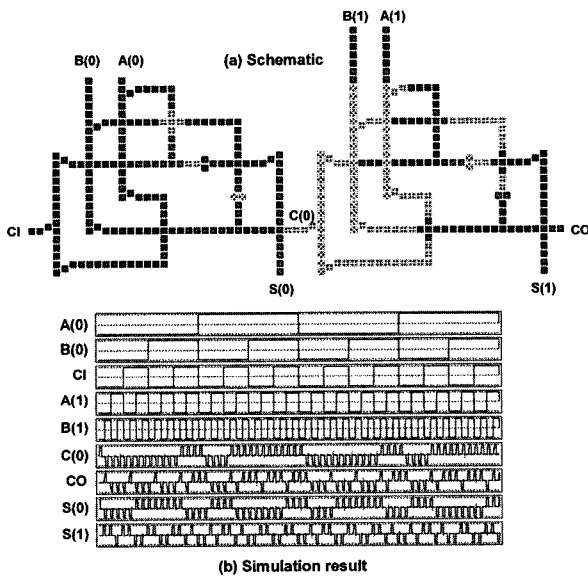


그림 14. 2 비트 가산기 및 시뮬레이션 결과  
Fig. 14. A 2-bit adder and the simulation result.

$$C_n = g_{n-1} + g_{n-2}p_{n-1} + \dots + g_0p_1p_2 \dots p_{n-1} + C_0p_0p_1 \dots p_{n-1} \quad (4)$$

식 (4)에서 가장 큰 마지막 항은  $\lceil \log_2(n+1) \rceil$ 의 깊이를 가지는 2-입력 AND 게이트 2진 트리로 구현하고 모든 항들의 합은 다시  $\lceil \log_2(n+1) \rceil$ 의 깊이를 가지는 2-입력 OR 게이트 2진 트리로 구현할 때 최고 속도로 동작할 수 있다. 따라서 각 게이트 당 두 개의 클럭 위상이 소모된다면 총  $4 \cdot \lceil \log_2(n+1) \rceil$  개의 클럭 위상이 필요하다. 이 계산을 통해 총  $3n$  개의 클럭 위상이 소모되는 리플 캐리 가산기에 비해 비트 수  $n$ 이 커질수록

캐리-룩-어헤드 가산기가 유리할 것이라는 선부른 판단을 내릴 수도 있지만 그전에 먼저 배선에서 소모되는 클럭 위상 수를 계산해야 한다.  $c_0$  신호가 최상위 비트까지 이동하는 데 하단으로 나가는 최대  $n$ 개의 합 출력  $S_0, S_1, \dots, S_{n-1}$ , 전가산기 각 비트에서 캐리-룩-어헤드 발생부로 전달되는 최대  $n$ 개의  $g_i$  및 최대  $n$ 개의  $p_i$ , 그리고 캐리-룩-어헤드 발생부에서 전가산기 각 비트로 전달되는  $n-1$ 개의 캐리  $c_1, c_2, \dots, c_{n-1}$ 도 교차해야 하기 때문에 총 약  $4n-1$ 개의 클럭 위상이 부가적으로 필요하다. 만약  $c_0$ 를 우회시킨다 하더라도  $p_0$ 에 대해서 비슷한 수만큼 교차가 발생하며 여러 개의 신호를 우회시키려 한다면 역시 우회 경로에서 다시 교차가 발생한다. 부가적으로  $g_i$  및  $p_i$ 의 발생을 위해 각각 2개의 클럭 위상이 필요하다면  $c_n$  계산에 소모될 총 클럭 위상 수는 약  $4n + 4 \cdot \lceil \log_2(n+1) \rceil + 1$ 이 되며 이는  $n$  비트 리플 캐리 가산기의 캐리 발생 및 전파 시간  $3n$ 에 비해 더 커진다. 결국 이와 같이 캐리 예측 회로를 가지는 가산기 아키텍처는 오히려 배선의 복잡성 때문에 클럭 위상을 더 소모하여 속도가 떨어지며 본 논문에서 제안한 리플 캐리 가산기 속도를 능가할 수 없다. 그림 12에서 출력  $S$ 를 상단으로 나가게 하면 교차부가 발생하지 않아 클럭 위상을 하나 더 줄일 수 있을 것 같지만 주어진 클럭 주기 동안에 신호는 제한된 수만큼의 셀까지만 전달되므로 다음 단 연결을 위해 클럭 위상을 하나 더 소모해야 한다. 따라서 이보다 더 빨리 캐리를 계산해 전파할 수는 없으며 제안된 가산기가 고속임을 알 수 있다. 동작을 검증하기 위하여 그림 14와 같이 2 비트 가산기를 구성한 후 결합 벡터 모델을 사용하여 시뮬레



이선 하였다. 5개의 입력에 총 32 (=25) 가지 벡터를 2 회 반복 인가하였으며 C(0) 및 CO는 각각 3/4 클럭 및 6/4 클럭 후에, 그리고 S(0) 및 S(1)은 각각 6/4 클럭 및 9/4 클럭 후에 정확한 값으로 출력됨을 확인할 수 있다. 클럭 주파수는 1THz이며 파이프라인 특성 상 매 클럭마다 새로운 계산을 시작할 수 있다. 결합 벡터 모델보다 100배가량 빠른 비선형 근사 모델을 사용하여 진행한 추가적 시뮬레이션도 비슷한 결과를 보였으나 지면 관계 상 본 논문에는 나타내지 않았다. 그림 15는 4 비트 가산기이며 첫 번째 CO 값 및 S(3) 값은 각각 12/4 클럭 및 15/4 클럭 후에 출력된다. 비트 수를  $n$ 으로 일반화 하면 최상위 비트의 합 및 캐리는 각각  $3(n+1)/4$  및  $3n/4$  클럭 후에 출력되는 것으로 계산된다. 예를 들어 64 비트 가산기의 경우 약 50 psec (주파수 20 GHz에 해당)에 첫 번째 계산 결과가 출력되고 이후 매 1 psec (주파수 1 THz에 해당)마다 새로운 계산 결과가 출력된다. 또한 양자점 직경과 그리드 간격이 각각 5 nm, 23 nm일 때 그림 12에서 제안한 비트 슬라이스의 면적은  $0.42 \text{ um}^2$ 이며 64 비트일 때는  $26.88 \text{ um}^2$ 의 면적을 갖는다.

#### IV. 결 론

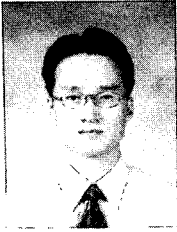
기존 연구에서 제안된 QCA 설계는 대부분 제대로 동작하지 않는다. 본 논문에서는 잡음에 기인한 결함을 유발하는 몇 가지 기본적인 설계 패턴을 밝혀냈다. 이러한 결함을 분석하여 대부분이 숨은 잡음 경로에 대해 무지했기 때문이라는 결론을 얻었다. 강건한 QCA 설계를 유도하기 위해 잡음을 효과적으로 억제할 수 있는 규범적 지침을 제시하였다. 이 지침을 준수하여 고속 가산기를 설계하였으며 설계된 회로는 비선형 근사 모델을 사용한 빠른 시뮬레이션뿐만 아니라 결합 벡터 모델과 같이 정확한 시뮬레이션을 통해 검증하였다.

#### 참 고 문 헌

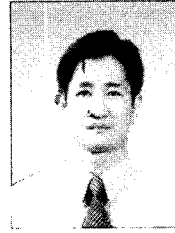
- [1] International Technology Roadmap for Semiconductors:  
<http://public.itcra.net/Files/2003ITRS/Home2003.htm>
- [2] C. S. Lent, P. D. Tougaw, W. Porod, and G. H. Bernstein, "Quantum cellular automata," *Nanotechnology*, vol. 4, pp. 49-57, 1993.
- [3] P.D. Tougaw and C.S. Lent, "Logical devices

- implemented using quantum cellular automata," *Journal of Applied physics*, vol. 75(3) pp. 1818-1825, February 1, 1994.
- [4] W. Wang, K. Walus, G.A. Jullien, "Quantum-Dot Cellular Automata Adders," *IEEE Nano 2003 Conference*, San Francisco, 2003.
- [5] A.Fijany, N. Toomarian, K. Modarress, M. Spotnitz, "Bit-serial Adder Based on Quantum Dots," *NASA technical report*, Jan. 2003.
- [6] A. Vetteth, K. Walus, V.S. Dimitrov, G.A. Jullien, "Quantum-dot cellular automata carry-look-ahead adder and barrel shifter," *IEEE Emerging Telecommunications Technologies Conference*, Dallas, Sept. 2002.
- [7] M. T. Niemier, M. J. Kozlowski, P. M. Kogge, "A Design of and Design Tools for a Novel Quantum Dot Based Microprocessor," *Proceedings of the 27th Design Automation Conference*, p. 227-232, June 2000.
- [8] QCA Designer, <http://www.qcadesigner.ca>
- [9] P. D. Tougaw and C. S. Lent, "Dynamic Behavior of Quantum Cellular Automata," *Journal of Applied Physics*, vol. 80, no. 8, pp. 4722-4736, October 15, 1996.

저 자 소 개



이 은 철(학생회원)  
2005년 인천대학교 전자공학과  
학사 졸업.  
2005년~현재 인천대학교  
전자공학과 석사과정.  
<주관심분야 : CAD Tools>



김 교 선(정회원)  
1986년 연세대학교 전자공학과  
학사 졸업.  
1988년 연세대학교 전자공학과  
석사 졸업.  
1998년 Ph.D. Department of  
Electrical & Computer  
Engineering, University  
of Massachusetts, Amherst,  
U.S.A.

1988년~2003년 삼성전자 CAE Center 주임,  
선임, 책임, 수석연구원.

현재 인천대학교 공과대학 전자공학과 조교수  
<주관심분야 : 상위수준합성, Reconfigurable  
Computation, Fault-Tolerance, Embedded  
Systems, Low-Power Design, Nanoelectronic  
Architectures>