

논문 2006-43SD-4-4

나노 스케일 MuGFET의 소자 구조 최적화에 관한 연구

(A study on the device structure optimization of nano-scale MuGFETs)

이 치 우*, 윤 세레나*, 유 중 근*, 박 종 태*

(Chi Woo Lee, Serena Yun, Chong Gun Yu, and Jong Tae Park)

요 약

본 연구에서는 나노 스케일 MuGFET(Multiple-Gate FETs)의 단채널 효과와 corner effect를 3차원 시뮬레이션을 통하여 분석하였다. 문턱전압 모델을 이용하여 게이트 숫자(Double-gate=2, Tri-gate=3, Pi-gate=3.14, Omega-gate=3.4, GAA=4)를 구하였으며 추출된 게이트 숫자를 이용하여 각각의 소자 구조에 맞는 natural length(λ)값을 얻을 수 있었다. Natural length를 통하여 MuGFET의 단채널 효과를 피할 수 있는 최적의 소자 구조(실리콘 두께, 게이트 산화막의 두께 등)를 제시 하였다. 이러한 corner effect를 억제하기 위해서는 채널 불순물의 농도를 낮게 하고, 게이트 산화막의 두께를 얇게 하며, 코너 부분을 약 17 %이상 라운딩을 해야 한다는 것을 알 수 있었다.

Abstract

This paper describes the short-channel effect(SCE), corner effect of nano-scale MuGFETs(Multiple-Gate FETs) by three-dimensional simulation. We can extract the equivalent gate number of MuGFETs(Double-gate=2, Tri-gate=3, Pi-gate=3.14, Omega-gate=3.4, GAA=4) by threshold voltage model. Using the extracted gate number(n) we can calculate the natural length for each gate devices. We established a scaling theory for MuGFETs, which gives a optimization to avoid short channel effects for the device structure(silicon thickness, gate oxide thickness). It is observed that the corner effects decrease with the reduction of doping concentration and gate oxide thickness when the radius of curvature is larger than 17 % of the channel width.

Keywords : MuGFETs, short channel effect, corner effect, SOI, corner effect

I. 서 론

실리콘 공정기술의 발달로 CMOS의 물리적 소자 크기가 계속 축소되어 현재 나노 스케일 CMOS소자에 대한 연구가 국내 및 국외에서 발표되고 있다. International Technology for Semiconductor(ITRS)에 따르면 2009년 이전에 게이트의 물리적 길이가 약 15nm에 달할 것으로 예상하고 있다^[1]. 하지만 현재의 bulk CMOS는 한계를 가지기 때문에 SOI(Silicon-

On-Insulator)기술 개발이 필수적인 것으로 최근 연구 결과에서 발표되고 있다^[2]. 그러나 이러한 SOI CMOS에서 하나의 게이트를 갖는 소자구조는 단채널 현상을 피하기 위하여 실리콘 박막의 두께가 게이트 길이에 최소 1/3이 되어야 하며 채널의 불순물을 높이는 것이 요구 된다^[3]. 박막이 얇거나 높은 불순물 농도 상태는 캐리어의 이동도를 저하시키는 등 실제 집적회로 응용이 불가능하므로 이러한 단점을 보완하고자 다양한 SOI 소자 구조가 제안 되고 있다. 다양한 SOI 소자 구조 중 MuGFET(Multiple Gate FETs)는 게이트를 한 개 이상 사용한 것을 말하며 이와 같은 MuGFET소자 구조는 단채널 현상이 적게 일어나고 전류의 구동 능력이 커지는 장점이 있다. 그림 1은 MuGFET의 3차원 구조를 나타낸 그림이다. 이러한 소자 구조에는 이중의

* 정회원, 인천대학교 전자공학과
(Department of Electronics Engineering, University of Incheon)

※ 이 논문은 2005년도 한국학술진흥재단의 지원에 의하여 연구되었음 (KRF-2005-202-D00296)

접수일자: 2005년12월22일, 수정완료일: 2006년4월3일

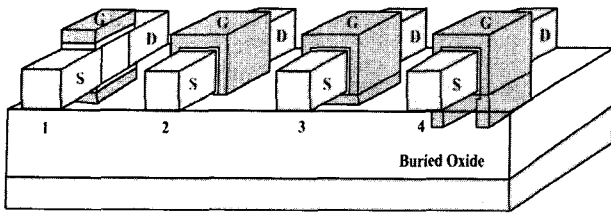


그림 1. MuGFET의 소자구조 (1. Double-gate, 2. Tri-gate, 3. GAA, 4. Pi&Omega-gate).

Fig. 1. The schematic device structures of MuGFETs.

게이트를 갖는 Double-gate^[4]와 Fin-FET^[5], 그리고 삼중으로 채널을 둘러싼 구조의 Tri-gate^[6], Tri-gate구조에서 게이트를 매몰 산화층 까지 확장 시켜 확장된 게이트의 영향으로 소자의 성능을 향상시킨 구조의 3+(Triple plus)구조인 Pi-gate^[7], Omega-gate^[8], 채널을 사중으로 둘러싼 구조로 가장 이상적인 구조이지만 공정이 까다로운 GAA(Gate-All-Around)^[9]등이 있다. 하지만 이러한 구조는 실리콘 island를 STI공정을 통하여 제작을 하기 때문에 모서리가 만들어지게 되며 이모서리는 채널의 표면에서 보다 큰 전계가 작용하게 된다. 이 때문에 모서리에 전자가 표면 보다 먼저 몰리게 되고 그로 인한 반전층 전하가 증가하여 기생소자가 생성되는 corner effect가 일어나게 된다. 이러한 기생소자는 누설전류 I_{off} 전류량을 크게 하여 I_{on}/I_{off} 비율을 낮게 하며 소자의 문턱전압을 낮게 하는 등 여러 가지 좋지 않은 특성이 나타나게 된다. 때문에 MuGFET구조에서는 심각하게 고려해야한다. 그리고 현재 Double-gate, Fin-FET에 관한 스케일링 이론 및 실제 소자 제작에 의한 여러 특성에 관한 연구는 활발히 진행되고 있지만 Pi-gate나 Omega-gate에 관한 연구는 아직 미흡한 상태이다. 본 논문에서는 MuGFET에서 corner effect를 억제하기 위한 방법에 관하여 알아보고 있으며 기존의 스케일링 이론에 기초하여 시뮬레이션을 통한 문턱전압 모델과 natural length값을 구하여 MuGFET의 단채널 현상을 고려하여 소자 구조를 최적화하였다.

II. 소자 시뮬레이션

소자 시뮬레이션은 Silvaco사의 device3D ATLAS로 하였다^[10]. 시뮬레이션에 사용된 소자의 매몰 산화층 두께는 100 nm 그리고 실리콘 기판은 p형으로 저항이 20 Ω-cm이며 소스와 드레인 접합은 abrupt junction으로 하였다. 소자의 채널길이, 실리콘 필름의 두께, 코너

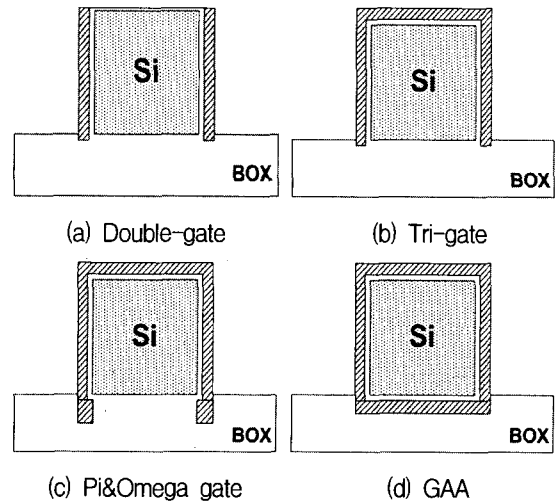
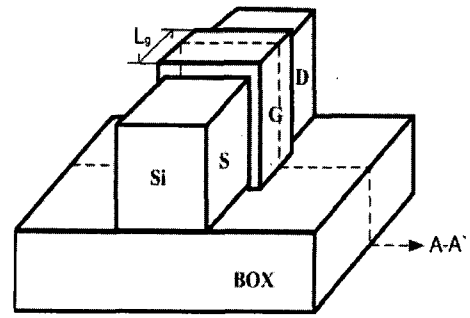


그림 2. MuGFET의 3차원 소자구조와 단면
Fig. 2. MuGFETs 3D view and A-A' cross section.

라운드 크기, 채널 불순물 농도를 변수로 하여 시뮬레이션을 하였다. 그리고 시뮬레이션은 electrostatic behavior를 중점적으로 분석하기 위하여 single carrier, drift-diffusion model을 사용하였으며 충격이온화는 없는 것으로 가정 하였다. 그림 2는 시뮬레이션에 사용된 MuGFET의 3차원 모습과 그 단면도이다.

III. 결과 및 고찰

1. 단채널 효과를 고려한 MuGFET소자 설계

(가). 문턱전압 모델

문턱전압은 채널의 두께에 영향을 받게 되는데 참고 문헌에 의하면 surrounding-gate의 문턱전압은 식 (1)과 같이 표현된다^[11].

$$V_{th} = V_{th_{DG}} \left(\frac{2W_{DG}}{2W_{DG} + \pi t_{si}} \right) + V_{th_{cyl}} \left(\frac{\pi t_{si}}{2W_{DG} + \pi t_{si}} \right) \quad (1)$$

여기서 W_{DG} 는 Double-gate의 폭이며, t_{si} 는 채널의 두께이다. 소자의 구조가 $t_{si}/2 \gg t_{ox}$ 을 만족하는 cylindrical-gate의 완전공핍 문턱전압은 식(2)와 같으

며 Double-gate의 문턱전압은 식(3)과 같다.

$$V_{thCYL} = V_{FB} + 2\phi_f + \frac{qN_A t_{si}}{C_{ox}} \frac{t_{si}}{4} \quad (2)$$

$$V_{thDG} = V_{FB} + 2\phi_f + \frac{qN_A t_{si}}{C_{ox}} \frac{t_{si}}{2} \quad (3)$$

여기서 V_{FB} 는 flat-band 전압, N_A 는 채널의 불순물 농도이고 q 는 전자의 전하크기이다. 식 (2)와 식 (3)에서 Double-gate와 cylindrical-gate의 문턱전압의 차이는 단지 2와 4의 차이가 있다는 것을 알 수 있다. 여기서 문턱 전압은 실리콘의 두께에 비례하는 것을 알 수 있으며 그 비례하는 정도가 게이트의 숫자(n)와 반비례하는 것을 알 수 있다. 그림 3은 채널의 길이가 60 nm 일 때 실리콘의 두께에 따른 MuGFET의 문턱전압 변화를 나타낸 그림이다. 문턱전압은 linear extrapolation 방법을 사용하여 구하였다. 그림에서 실리콘의 두께와 문턱전압 변화의 기울기를 통하여 게이트 숫자(n)를 추출할 수 있었다. 추출한 n 값은 표 1에 나타내었다. 추출한 n 값을 이용하여 MuGFET 각각의 문턱전압은 식(4)와 같이 가정을 할 수 있다.

$$V_{thn} = V_{FB} + 2\phi_f + \frac{qN_A t_{si}}{C_{ox}} \frac{t_{si}}{n} \quad (4)$$

표 1. MuGFET의 게이트 숫자(n)
Table 1. Number of gate(n).

	Double-gate	Tri-gate	Pi-gate	Omega gate	GAA
n	2	3	3.14	3.4	4

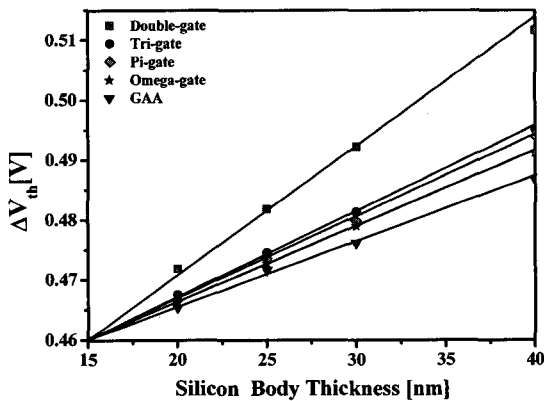


그림 3. MuGFET의 채널 두께에 따른 ΔV_{th} .
Fig. 3. ΔV_{th} in MuGFETs as a function of silicon body thickness. $L=60$ nm, $t_{ox}=2$ nm.

(나). Natural length

MOSFET의 채널 영역의 전압 분포는 소스/드레인 영역에 인가된 전압에 의하여 영향을 받는다. 드레인 전계가 채널에 영향을 미치게 되어 문턱전압을 낮추고 공핍영역을 줄여 문턱전압이하 특성을 저하 시키고 단 채널 현상을 일으킨다. 드레인의 전계가 채널에 미치는 정도를 나타낸 값인 natural length(λ)는 문턱전압의 roll-off나 DIBL과 같은 단채널 효과와 밀접한 관계를 가지고 있다. 즉 λ 가 클수록 드레인 전계가 채널에 영향을 많이 주는 것을 의미한다. 때문에 λ 를 예측할 수 있는 수식은 소자의 구조 변화에 따른 단채널 효과 감소를 효과적으로 예측하고 소자구조의 가이드라인을 설정하는데 매우 유용하다. Suzuki는 채널의 표면 보다 중앙의 전위 장벽 저하를 고려한 Double-gate의 natural length관계식을 식(5)와 같이 나타내었다^[12].

$$\lambda = \sqrt{\frac{\epsilon_{si}}{2\epsilon_{ox}} \left(1 + \frac{\epsilon_{ox} t_{si}}{4\epsilon_{si} t_{ox}}\right) t_{si} t_{ox}} \quad (5)$$

또한 Auth는 Suzuki의 natural length관계식을 이용하여 surrounding-gate의 natural length관계식을 식(6)과 같이 나타내었다^[13].

$$\lambda = \sqrt{\frac{\epsilon_{si}}{4\epsilon_{ox}} \left(1 + \frac{\epsilon_{ox} t_{si}}{4\epsilon_{si} t_{ox}}\right) t_{si} t_{ox}} \quad (6)$$

위의 식 (5)와 식 (6)을 비교해보면 분모에 Double-gate는 2가 있고 surrounding-gate는 4가 있는 차이가 있으며 그것을 통하여 λ 값이 게이트의 숫자(n)의 $\sqrt{\quad}$ 에 반비례한다는 것을 알 수 있다. 문턱전압 모델을 통하여 추출한 n 을 이용하여 MuGFET의 natural length관계식을 식(7)과 같이 나타낼 수 있다.

$$\lambda_n = \sqrt{\frac{\epsilon_{si}}{n\epsilon_{ox}} \left(1 + \frac{\epsilon_{ox} t_{si}}{4\epsilon_{si} t_{ox}}\right) t_{si} t_{ox}} \quad (7)$$

식(7)에서 ϵ_{si} 와 ϵ_{ox} 는 실리콘과 산화층의 유전 상수이고 t_{ox} 는 산화층의 두께이다.

단채널 현상을 피하기 위한 scaling parameter α_n 는 식(8)과 같이 나타내어진다.

$$\alpha_n = \frac{L_{eff}}{2\lambda_n} \quad (8)$$

그림 4와 그림 5는 $L_{eff}/2\lambda_n$ 에 따른 DIBL과 subthreshold slope(S)값을 나타낸 것으로 수식(7)을 계산하여

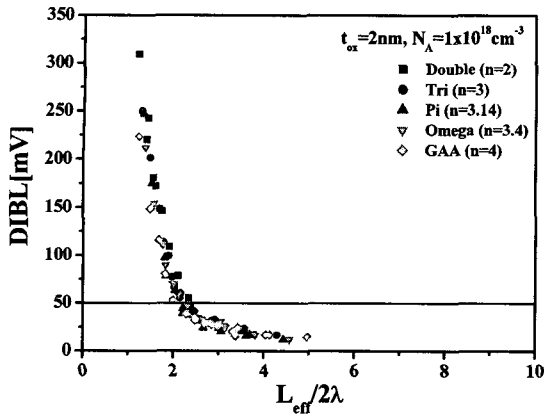


그림 4. $L_{eff}/2\lambda_n$ 에 따른 DIBL 특성
Fig. 4. Dependence of drain induced barrier lowering on the scaling parameter.

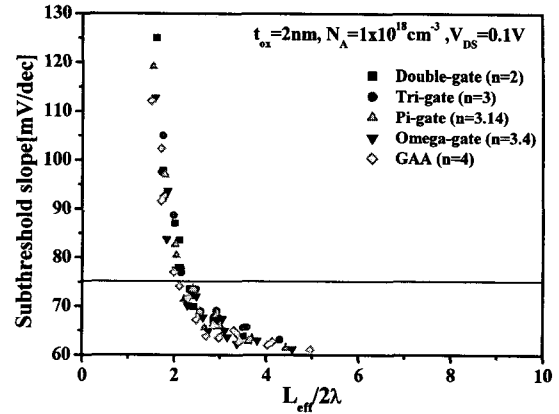


그림 5. $L_{eff}/2\lambda_n$ 에 따른 subthreshold slope 특성.
Fig. 5. Dependence of subthreshold slope on the scaling parameter for $V_{DS}=0.1$ V.

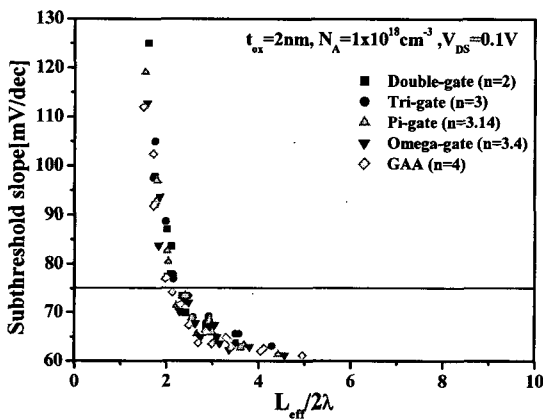


그림 5. $L_{eff}/2\lambda_n$ 에 따른 subthreshold slope 특성.
Fig. 5. Dependence of subthreshold slope on the scaling parameter for $V_{DS}=0.1$ V.

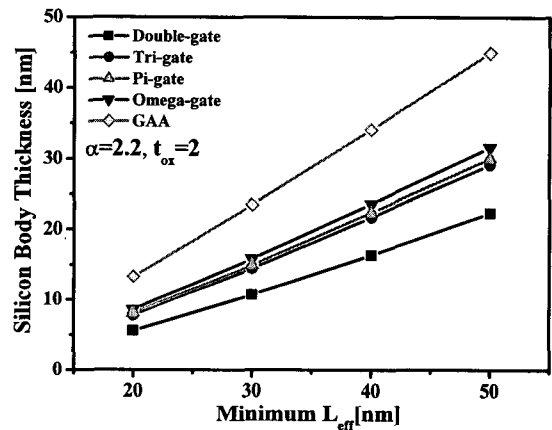


그림 6. 최소 L_{eff} 에 따른 실리콘 바디 두께.
Fig. 6. Minimum effective gate length to achieve $S < 75$ mV/dec and $DIBL < 50$ mV versus the silicon body thickness.

그 값을 시뮬레이션에 이용하여 값을 구하였다. 그림에서 보는 것과 같이 $DIBL=50$ mV, $S=75$ mV/dec를 기준으로 했을 때 scaling parameter α_n 는 약 2.2정도가 되는 것을 알 수 있었다. 참고 문헌에 의하면 Double-gate의 α_n 은 2.7이고 GAA는 2.3로 되어있다^[13]. 그림 6은 식(7)과 식(8)을 이용하여 단채널 현상을 피할 수 있는 최소게이트 길이에 따른 실리콘의 두께를 나타낸 그림이다. 만약 게이트의 길이가 30 nm인 소자를 만들기 위해서는 실리콘의 두께가 Double-gate는 약 10 nm, Tri-gate, Pi-gate, Omega-gate는 약 12-15 nm GAA는 약 25 nm 이하가 되어야 한다는 것을 알 수 있다.

게이트의 숫자가 클수록 같은 채널 길이에서 실리콘의 두께가 얇지 않아도 된다는 것을 알 수 있다. 실리콘의 두께를 얇게 하기 위해서는 공정상의 어려움도 있

으며 캐리어의 이동도가 저하되며 I_{on} 전류량이 작기 때문에 I_{on}/I_{off} 비율이 작아지는 문제점이 발생한다.

2. Corner effect를 고려한 MuGFET 소자 설계

(가). 불순물 농도

채널 길이가 나노 스케일로 짧아지면서 문턱전압을 조절 하고 단채널 현상을 억제하기 위해서 높은 농도의 채널 도핑이 불가피 해지게 되는데 corner effect는 채널의 도핑농도와 아주 밀접한 관계를 가진다^[14]. 그림 7은 게이트 전압에 따른 dg_m/dV_G 특성 곡선을 채널 도핑농도에 따라 나타낸 그림이다. 그림에서 보는 것과 같이 채널 도핑농도가 높을수록 두개의 꼭지점이 뚜렷

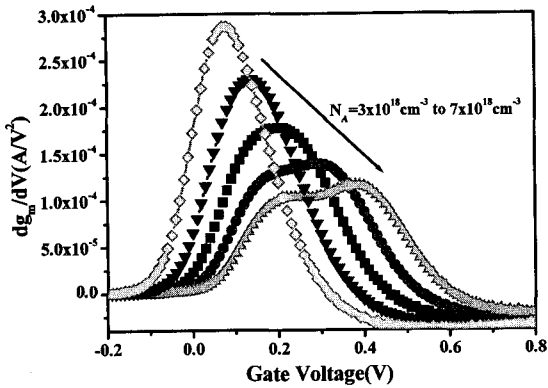


그림 7. 채널 도핑농도에 따른 dg_m/dV_G 특성.
 Fig. 7. dg_m/dV_G for different values of channel doping concentration. $W=t_{si}=L=30$ nm, $t_{ox}=2$ nm, $V_{DS}=0.1$ V.

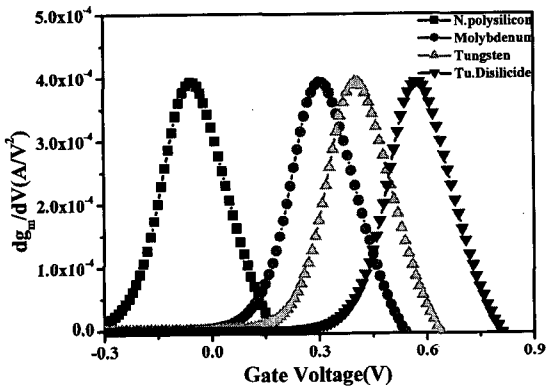


그림 8. 게이트 물질에 따른 dg_m/dV_G 특성
 Fig. 8. dg_m/dV_G for different values of gate material. $W=t_{si}=L=30$ nm, $t_{ox}=2$ nm, $V_{DS}=0.1$ V, $N_A=8 \times 10^{17}$ cm⁻³

하게 생성되는 것을 볼 수 있다.

이 그림에서 꼭지점은 문턱전압을 나타내는데^[15] 꼭지점이 두개라는 것은 기생소자가 생성된 것을 의미하며 꼭지점이 하나가 뚜렷하게 나타날 때를 corner effect가 일어나지 않았다고 할 수 있다^[14]. 이 기생소자는 corner에서 전계가 더 크기 때문에 발생한다. 이처럼 채널의 도핑농도가 높을수록 corner effect가 쉽게 발생하는 것을 알 수 있었다. 그림 8은 낮은 채널 도핑 농도에서 midgap 물질의 게이트를 사용했을 때 게이트 전압에 따른 dg_m/dV_G 특성 그래프 이고 표 2는 게이트 물질별 일함수 값을 나타낸 것이다. 그림에서 보는 것과 같이 낮은 채널 도핑 농도에서 문턱전압을 충분히 조절할 수 있으므로 낮은 채널 도핑 농도를 유지하면서 midgap 물질의 게이트를 사용한다면 corner effect를 억제 하면서 원하는 문턱전압을 얻을 수 있을 것이다.

표 2. 게이트 물질에 따른 일함수

Table 2. Work function for gate material.

게이트물질	N.poly-silicon	Molybdenum	Tungsten	Tu.Disilicide
일함수	4.17 eV	4.53 eV	4.63 eV	4.80 eV

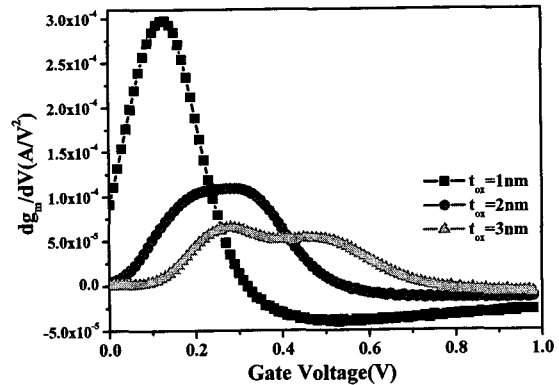


그림 9. 게이트 산화층 두께에 따른 dg_m/dV_G 특성
 Fig 9. dg_m/dV_G for different values of gate oxide thickness. $W=t_{si}=30$ nm, $L=50$ nm, $V_{DS}=0.1$ V.

(나). 게이트 산화층 두께

Corner effect는 채널 도핑농도와 마찬가지로 게이트 산화층의 두께와 밀접한 관계를 가지고 있다^[16].

그림 9는 게이트 산화층 두께별 게이트 전압에 따른 dg_m/dV_G 특성을 나타낸 그림이다. 그림에서 보는 것과 같이 게이트 산화층의 두께가 얇아지면서 점차 corner effect가 나타나지 않는 것을 확인할 수 있었다. 그러므로 게이트 산화층의 두께를 충분히 얇게 하거나 유전상수 값이 큰 물질을 사용하게 되면 corner effect를 억제할 수 있다. 참고문헌^[16]에서 설명한 것과 같이 산화층 두께가 감소하면 corner에서 포텐셜이 낮아지게 된다.

(다). 라운딩 크기

Corner effect는 silicon island를 STI공정을 통해서 만들 때 생긴 모서리에 의해 발생하는 현상으로 Pi와 Omega 게이트 구조에서는 Tri-gate와는 다르게 extension gate의 영향으로 bottom부분에도 기생 소자가 생성된다. 그러므로 위와 아래 부분을 모두 라운딩 공정을 통해서 기생 소자를 제거 하게 되면 corner effect를 줄일 수 있다.

그림 10은 라운딩 크기에 따른 소자 채널부분의 단면도로 라운딩 크기에 따른 채널 부분의 모습을 나타내고 있다. 그림 11은 게이트 전압에 따른 dg_m/dV_G 특성을

라운딩 크기에 따라서 나타낸 것으로 라운딩을 크게 할수록 corner effect가 감소하는 것을 알 수 있었다. 그림 12는 채널길이(=W_{Si}=t_{Si})에 따른 소자의 문턱전압을 라운딩 크기에 따라서 나타낸 것이다. 이때 문턱전압은 드레인 전압이 0.1 V에서 constant current 방법을 사용하여 구하였다. 그림 13은 채널 길이(=W_{Si}=t_{Si})에 따른 누설전류의 크기를 라운딩 크기에 따라 나타낸 것이다. 누설 전류는 게이트 전압이 0 V이고 드레인 전압이 1 V일 때의 드레인 전류량으로 정의 하였다. 그림 11~14에서 보는 것과 같이 라운딩 크기가 약 R_{all}=W_{Si}/2*1/3 정도 이상이 되면 문턱전압, 누설전류의 변화가 거의 일어나지 않으므로 충분히 corner effect를 억제 할 수 있는 것을 알 수 있었다.

그림 14는 W_{Si}=t_{Si}=L=30 nm일 때 게이트 전압에 따른 d(V_G)/d(log(I_D))의 특성을 라운딩의 크기에 따라 나타낸 그림으로 이 그림을 통해서 게이트 전압에 따른 sbthreshold slope 크기를 알 수 있는데 라운딩을 많이 할수록 sbthreshold slope 크기가 오히려 증가하는 것을 알 수 있는데 기생소자는 게이트에 의한 전계가 크기 때문에 fully depleted 되면서 subthreshold slope 특성은 좋은 것으로 사료된다. 따라서 이에 대한 trade off가

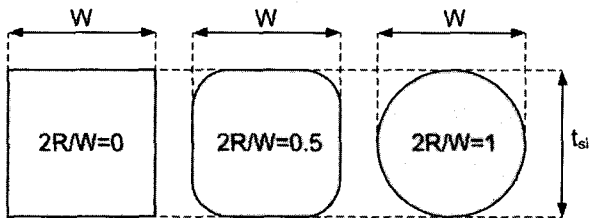


그림 10. 라운딩 크기에 따른 채널 부분의 단면도
Fig. 10. Cross section of devices with different values for the radius of curvature at the corners.

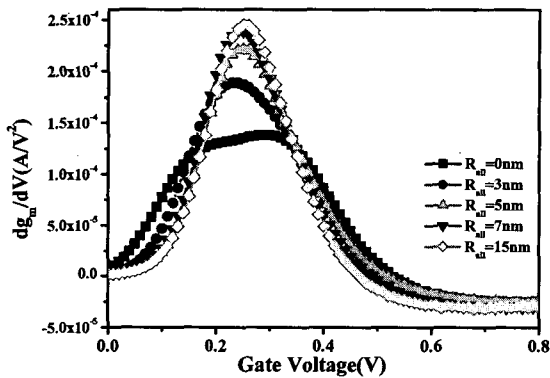


그림 11. 라운딩 크기에 따른 dg_m/dV_G 특성
Fig. 11. dg_m/dV_G for different values of radius of curvature at the corners. W=t_{Si}=L=30 nm, t_{ox}=2 nm,

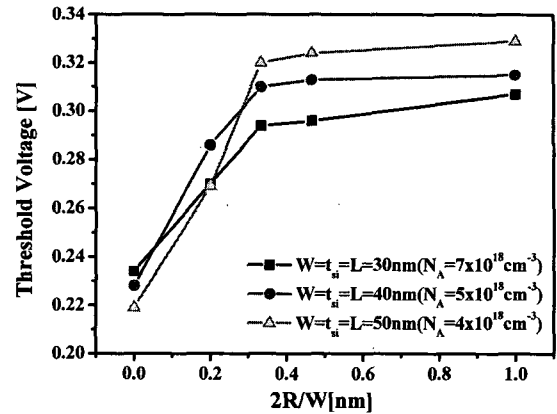


그림 12. 채널 길이(=W_{Si}=t_{Si})와 라운딩 크기에 따른 문턱 전압 특성
Fig. 12. Threshold Voltage at V_{DS}=0.1 V for different values of radius of curvature at the corners.

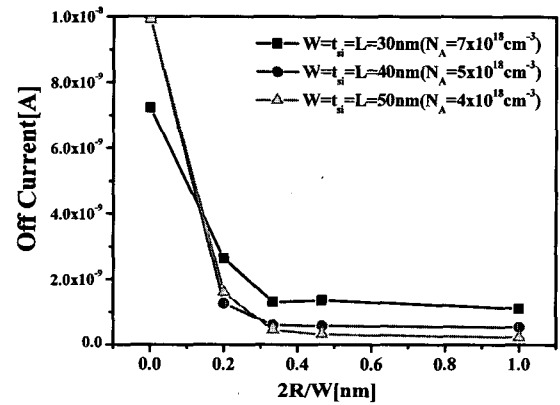


그림 13. 채널 길이(=W_{Si}=t_{Si})와 라운딩 크기에 따른 누설 전류 특성
Fig. 13. Off current for different values of radius of curvature at the corners.

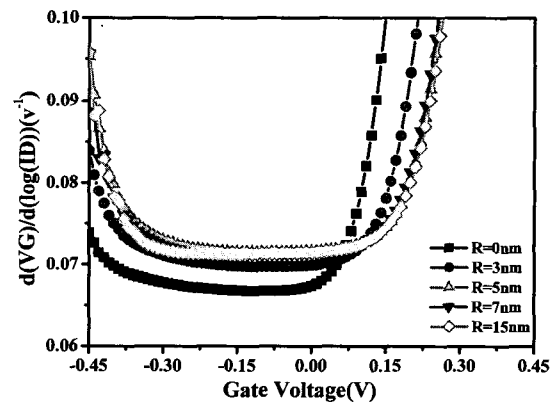


그림 14. 라운딩 크기에 따른 d(V_G)/d(log(I_D)) 특성
Fig. 14. Subthreshold slope vs gate voltage for devices with W=t_{Si}=L=30 nm and V_{DS}=0.1 V.

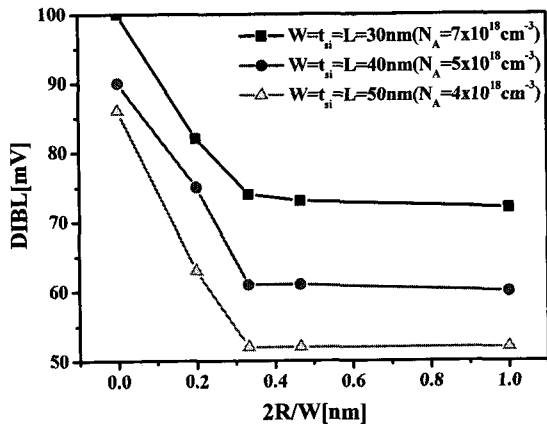


그림 15. 채널길이(=W_{Si}=t_{Si})와 라운딩 크기에 따른 DIBL 특성

Fig 15. Drain-induced barrier lowering for different values of radius of curvature at the corners.

필요하다.

그림 15는 채널 길이(=W_{Si}=t_{Si})와 라운딩 크기에 따른 DIBL 특성을 나타낸 그림이다. DIBL은 드레인 전압이 0.1 V일 때와 1 V일 때의 문턱전압의 차이로 정의 하였으며 문턱전압은 T.C(transconductance change)방법을 사용하였다. 그림에서 알 수 있듯이 라운딩을 하게 되면 DIBL 특성이 좋아 지는 것을 알 수 있다. 하지만 DIBL 특성 역시 라운딩의 크기가 약 R_{all}=W_{Si}/2*1/3 정도 이상이 되면 거의 변화가 없는 것을 알 수 있다.

IV. 결 론

본 연구에서는 MuGFET(Multiple-Gate FET)의 단 채널 특성(채널길이에 따른 문턱전압의 변화, DIBL, subthreshold slope)과 MuGFET의 구조에서 발생하는 corner effect 특성을 3차원 소자 시뮬레이션을 통하여 분석하였다.

문턱전압 모델의 게이트의 숫자를 구하였으며 추출된 게이트 숫자를 이용하여 각각의 소자 구조에 맞는 natural length(λ)값을 얻을 수 있었다.

λ를 통하여 MuGFET의 단채널 현상을 피할 수 있는 실리콘의 두께, 게이트 산화막의 두께 등의 조건을 찾을 수 있었다.

또한, 라운딩의 크기가 약 R_{all}= W/2*1/3 이상 되면 corner effect가 거의 일어나지 않는 것을 알 수 있었으며 낮은 채널 도핑농도를 유지하면서 midgap물질의 게이트를 사용한다면 corner effect를 억제 하면서 원하는

문턱전압을 얻을 수 있다는 것을 확인 할 수 있었다. 또한 산화막의 두께가 얇을수록 corner effect를 억제 할 수 있다는 것을 알 수 있었다.

위와 같은 실험 결과를 바탕으로 단채널 현상과 corner effect를 고려한 소자 구조의 최적화를 할 수 있었다.

참 고 문 헌

- [1] International Technology Roadmap for semiconductor, <http://public.itrs.net>
- [2] J.P Colinge et al., "Thin Film SOI Technology: The solution to Many submicron CMOS Problems," Tech. of Digest IEDM., pp. 817-820, 1989.
- [3] R.Chau et al., "A 50nm depleted CMOS transistor(DST)", Technical Digest of IEDM., pp. 621-624, 2001.
- [4] T. Sekigawa, Y. Hayashi, "Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate" Solid state Electron., vol 27, pp.827-828, 1984.
- [5] D. Hisamoto et al., "FinFET a self-aligned double-gate MOSFET scalable to 20nm" IEEE Trans. Electron Devices, vol. 47, no. 12, pp. 2320-2325, Dec 2000.
- [6] R. Chau et al., "Advanced Depleted-Substrate Transistors: Single-gate, Double-gate and Tri-gate," in Intl. Conf. on Solid State Devices and Materials, pp. 68-69, 2002.
- [7] J.-T. Park, J.-P. Colinge, and C. H. Diaz, "Pi-Gate SOI MOSFET," IEEE Electron Device Letters, vol. 22, no. 8, pp. 405-406, Aug 2001.
- [8] F-L. Yang, H-Y Chen, F-C. Cheng, C-C Huang, C-Y Chang, H-K. Chiu, "25 nm CMOS Omega FETs", Technical Digest of IEDM, pp. 255-258, 2000.
- [9] J.P. Colinge, M.H. Gao, A. Romano-Rodriguez, H. Maes, and C. Claeys, "Silicon-on-insulator gate-all-around device", Technical Digest of the IEDM, pp. 595-598, 1990.
- [10] <http://www.silvaco.com/>
- [11] Christopher P. Auth and James D. Plummer, "A Simple Model for Threshold Voltage of Surrounding-Gate MOSFETs," IEEE Trans. Electron Devices, vol. 45, no. 11, pp.2381 -2383, Nov 1998.
- [12] Kunihiro Suzuki, Tetsu Tanaka, Yoshiharu Tosaka, Hiroshi Horie, and Yoshihiro Arimoto, "Scaling Theory for Double-Gate SOI

- MOSFET's," IEEE Trans. Electron Devices, vol. 40, no. 12, pp.2326-2329, Dec 1993.
- [13] Christopher P. Auth and James D. Plummer, "Scaling Theory for Cylindrical Fully- Depleted, Surrounding-Gate MOSFETs," IEEE Electron Device Letters, vol. 22, pp.487-489
- [14] W.Xiong, J.W. Park, and J.P. Colinge., "Corner effect in multiple-gate SOI MOSFETs" ,Proceedings of the IEEE International SOI Conference, 2003, pp. 111-113
- [15] H-S, Wong. et al., "Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFETs", Solid state Electron., vol 30, no 9, pp. 953-968, 1987.
- [16] J.P. Colinge, J.W. Park, and W. Xing, "Threshold voltage and subthreshold slope of multiple-gate SOI MOSFETs", IEEE Electron Device Letters, vol. 24, pp. 515-517, 2003.

 저 자 소 개



이 치 우(정회원)
 2004년 수원대학교 물리학과
 학사 졸업.
 2006년 인천대학교 전자공학과
 석사 졸업.
 2006년~.현재 유니테스트
 <주관심분야 : 반도체 소자 시물
 레이션, MEMS,>

윤 세레나(정회원)
 전자공학회 논문지 제41권 SD편 제4호 참조

유 종 근(정회원)
 전자공학회 논문지 제40권 SD편 제10호 참조

박 종 태(정회원)
 전자공학회 논문지 제40권 SD편 제10호 참조