

논문 2006-43SD-4-3

기가비트 이더넷용 CMOS 전치증폭기 설계

(CMOS Transimpedance Amplifiers for Gigabit Ethernet Applications)

박 성 민*

(Sung Min Park)

요 약

본 논문에서는 CMOS 공정을 사용하여 기가비트 이더넷 응용을 위한 전치증폭기 회로를 구현하였다. 대역폭 확장 및 노이즈 성능개선을 위해, regulated cascade 설계기법을 사용하였고 이로써, 광다이오드 및 TIA 입력단의 큰 기생 캐패시턴스를 대역폭 결정으로부터 효과적으로 차단하였다. 0.6 μm CMOS공정을 사용하여 구현한 1.25Gb/s 전치증폭기의 칩 측정 결과, 58dBohm의 트랜스 임피던스 이득, 0.5pF 기생 광다이오드 캐패시턴스에 대해 950MHz의 대역폭과 6.3pA/sqrt(Hz)의 평균 노이즈 전류 스펙트럼 밀도, 5V 단일 전원전압으로부터 85mW의 전력소모를 보였다. 또한, 0.18 μm CMOS 공정을 사용하여 설계한 10Gb/s 전치증폭기는 RGC 기법과 인덕티브 피킹기술을 동시에 사용함으로써, 59.4dBohm의 트랜스 임피던스 이득, 0.25pF 기생 캐패시턴스에 대해 8GHz의 대역폭, 20pA/sqrt(Hz)의 노이즈 전류 스펙트럼 밀도, 1.8V 단일전압에 대해 14mW의 전력소모를 보였다.

Abstract

Gigabit transimpedance amplifiers are realized in submicron CMOS technologies for Gigabit Ethernet applications. The regulated cascode technique is exploited to enhance the bandwidth and noise performance simultaneously so that it can isolate the large input parasitic capacitance including photodiode capacitance from the determination of the bandwidth. The 1.25Gb/s TIA implemented in a 0.6 μm CMOS technology shows the measured results of 58dBohm transimpedance gain, 950MHz bandwidth for a 0.5pF photodiode capacitance, 6.3pA/sqrt(Hz) average noise current spectral density, and 85mW power dissipation from a single 5V supply. In addition, a 10Gb/s TIA is realized in a 0.18 μm CMOS incorporating the RGC input and the inductive peaking techniques. It provides 59.4dBohm transimpedance gain, 8GHz bandwidth for a 0.25pF photodiode capacitance, 20pA/sqrt(Hz) noise current spectral density, and 14mW power consumption for a single 1.8V supply.

Keywords: transimpedance amplifier, regulated cascode, Gigabit Ethernet, CMOS

I. 서 론

광수신기에서 전치증폭기 (transimpedance amplifier)는 동작속도 (bandwidth), 감도 (sensitivity), 잡음을 (signal to noise ratio)와 같은 전체 시스템 성능을 결정하는 중요한 핵심요소이므로, 설계 시 대역폭, 이득, 노이즈, 전력소모 등 여러 설계 tradeoffs를 동시에 고려

해야 한다.

기가비트급 초고속 전치증폭기는 주로 GaAs, InP-based HBT, 또는 HEMT 등의 III-V족 화합물로 설계되었으나, 최근 들어 SiGe, CMOS 등 실리콘 공정이 많은 주목을 받고 있는데 이는 III-V족 GaAs 공정에 비해 저전력소모, 높은 집적도, 저가 등의 많은 장점을 제공하기 때문이다. 또한, 기가비트 동작의 CMOS 전치증폭기 설계를 돕기 위해 인덕티브 피킹기법, 공통게이트 (CG) 입력단, 또는 공통드레인 (CD) 입력단 등 여러 종류의 회로기법이 소개되었다^[1-4]. 본 논문에서는 전류모드의 RGC (regulated cascode) 기법^[5,6]을 전치증폭기의 입력단에 활용하여, CMOS 공정의 단점인 작은 입력유효 g_m 값을 개선하고, 인덕터를 이용한 피킹기법을 사용

* 평생회원, 이화여자대학교 정보통신학과
(Department of Information Electronics
Engineering, Ewha Womans University)

※ 본 연구는 과학기술부/한국과학재단의 우수연구센터사업으로 선정된 지능형RF연구센터의 일환으로 수행하였음.

접수일자: 2006년1월3일, 수정완료일: 2006년4월3일

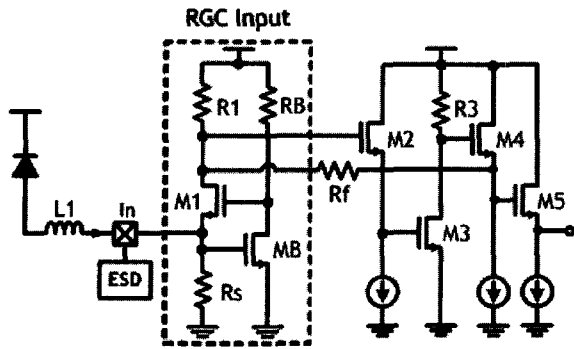


그림 2. 1.25Gb/s RGC TIA 회로도
Fig. 2. Schematic diagram of the 1.25Gb/s RGC TIA.

음과 같다.

$$f_{-3dB} \cong \frac{1 + \alpha_2 g_{m3} R_3 \alpha_4}{2\pi R_f [C_{gd1} + C_{g2} + C_f (1 + \alpha_2 g_{m3} R_3 \alpha_4)]}$$

$$= \frac{1}{2\pi R_f \left[C_f + \left(\frac{C_{gd1} + C_{g2}}{1 + \alpha_2 g_{m3} R_3 \alpha_4} \right) \right]}$$

(4)

이 때, C_{gd1} 은 M_1 의 게이트-드레인 캐패시턴스, C_f 는 R_f 의 기생 캐패시턴스, 그리고 C_{g2} 는 M_2 의 게이트에서 보여지는 캐패시턴스로 $C_{g2} \sim C_{gd2} + C_{gs2} (1-\alpha_2)$ 로 나타낸다.

식 (4)에서 보는 바와 같이, 전치증폭기의 대역폭은 전압이득에 비례하여 증가하지만, 안정도 때문에 전압이득을 무한대로 증가시킬 수는 없다. 전압이득이 ($C_{gd1} + C_{g2}$)를 무시할 수 있을 만큼 크게 되면, 대역폭은 결국 $R_f C_f$ 에 의한 시상수에 의해 결정된다.

RGC 전치증폭기의 노이즈 전류 스펙트럼 밀도 분석은 다음과 같다.

$$\overline{i_{eq}^2} \cong \frac{4kT}{R_s} + \frac{4kT}{R_{ff}} + \frac{4kT\omega^2 (C_{gs1} + C_{gdB})^2}{g_{m1}^2} \left(\Gamma g_{d0,B} + \frac{1}{R_{ff}} \right)$$

$$+ \frac{4kT \left(\Gamma g_{d0,B} + \frac{1}{R_B} \right)}{g_{mB} + \frac{1}{R_B}} \left[\frac{1}{R_s^2} + \omega^2 (C_{in} + C_{gsB} + C_{sb1})^2 \right]$$

$$+ \frac{4kT\omega^2 (C_{gd2} + C_{gd1} + C_{db1} + C_f)^2}{g_{m3}^2} \left(\Gamma g_{d0,3} + \frac{1}{R_3} \right)$$

(5)

여기서 k 는 Boltzmann 상수, T 는 절대온도, Γ 는 MOSFET의 noise factor, g_{d0} 는 바이어스가 없는 경우의 드레인 컨덕턴스, R_{ff} 는 R_f 와 R_1 의 병렬 저항값이다. C_{in} 은 광다이오드의 캐패시턴스와 ESD 다이오드의 캐패시턴

스, 그리고 본드 패드의 기생 캐패시턴스를 포함한 것으로, 즉 $C_{in} = C_{pd} + C_{ESD} + C_{pad}$ 와 같이 나타낼 수 있다. 또한, C_{sb1} 과 C_{db1} 은 각각 M_1 의 소스-bulk, 드레인-bulk 간의 캐패시턴스를 나타낸다.

식 (5)에서 보는 바와 같이, 저주파 노이즈 특성은 R_s 와 R_{ff} 에 의해 영향을 받고, 고주파 노이즈 특성은 큰 입력 캐패시턴스 ($C_{in} + C_{gsB} + C_{sb1}$)를 갖는 세 번째 항이 가장 큰 영향을 미친다. 그러나 RGC 입력단의 mechanism에 의해 고주파 노이즈는 ($g_{mB} + 1/R_B$)로 나누어지기 때문에, M_B 와 R_B 의 크기를 조절함으로써 특별한 안정도의 문제없이 노이즈 영향을 크게 줄일 수 있다.

IV. 1.25Gb/s RGC TIA 칩 측정 및 토의

그림 3(a)은 1.25Gb/s 전치증폭기의 칩 사진으로, 칩 core 면적은 $0.5 \times 0.2 \text{mm}^2$ 이다. 각 본드패드에 달려 있는 ESD 보호다이오드의 기생 캐패시턴스는 0.6pF이다. 광다이오드를 그림 3(b)와 같이 전기적 등가회로 모델로 구현한 후, 테스트 칩은 FR-4 PCB위에 assembly 하였다. 주파수 응답 측정은 HP8753ES 네트워크 분석기를 사용하여 50MHz-2GHz 범위로 측정하였고, 그 결과 그림 4와 같은 주파수 응답을 얻었다. 0.5pF의 광다이오드 기생 캐패시턴스의 경우, 트랜스 임피던스 이득은 58dB/ohm, -3dB 대역폭은 950MHz를 얻었고, 1pF 광다이오드 캐패시턴스 경우 같은 트랜스 임피던스 이득에 대해 860MHz

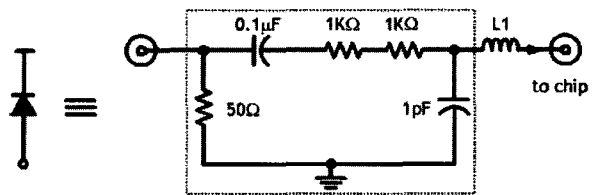
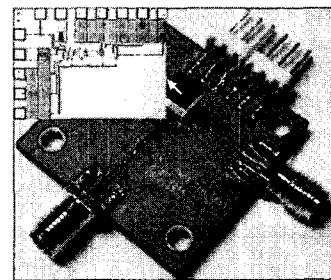


그림 3. (a) RGC TIA 칩 사진, (b) 광다이오드의 전기적 등가회로
Fig. 3. (a) Chip microphotograph of the RGC TIA, (b) photodiode equivalent circuit.

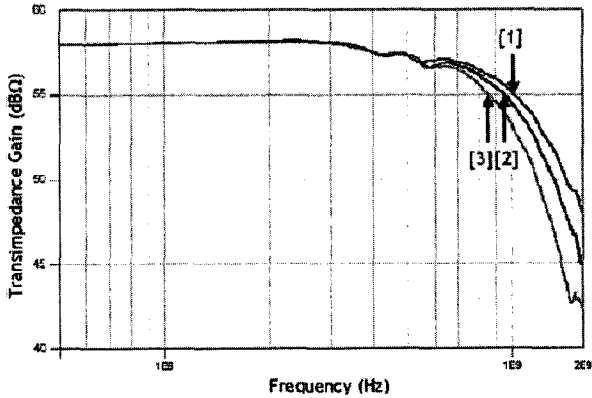


그림 4. 광다이오드의 캐패시턴스 값 변화에 따른 RGC TIA의 주파수 응답 측정결과 : [1] $C_{pd} = 0pF$, [2] $C_{pd} = 0.5pF$, [3] $C_{pd} = 1pF$

Fig. 4. Measured frequency responses of the RGC TIA with variation of the photodiode capacitance : [1] $C_{pd} = 0pF$, [2] $C_{pd} = 0.5pF$, [3] $C_{pd} = 1pF$.

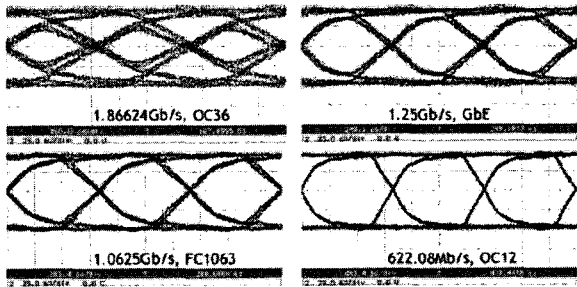


그림 5. 125uA 광전류를 갖는 $2^{31}-1$ PRBS에 대한 eye-diagram 측정결과

Fig. 5. Measured eye-diagrams for $2^{31}-1$ PRBS with 125uA photocurrent.

기생 캐패시턴스가 없는 경우 1.014GHz의 대역폭이 측정되었다. 즉, RGC 입력단은 입력 노드의 임피던스를 virtual-ground 시킴으로써, 대역폭 결정에 있어 광다이오드의 영향을 크게 줄이는데 효과적이라고 할 수 있다.

그림 5는 125uA의 전류신호를 갖는 $2^{31}-1$ PRBS (pseudo-random bit sequence)를 각각 다른 동작 속도 (622.08Mb/s, 1.0625Gb/s, 1.25Gb/s, 1.86624Gb/s)로 입력하였을 때, 측정된 eye-diagram을 보여준다.

RGC TIA의 노이즈 전류 스펙트럼 밀도는 광대역 저잡음 증폭기(ZFL-1000LN)과 HP8650A 스펙트럼 분석기를 사용하여 10MHz~950MHz의 범위에서 측정하였다. 그림 6에서 보는 바와 같이 $6.3pA/\sqrt{Hz}$ 의 평균 노이즈 전류 스펙트럼 밀도가 측정되었고, 주파수가 높아짐에 따라 노이즈 전류스펙트럼 밀도는 점차 증가하는 것을 볼 수 있다. 그림 7은 622Mb/s, 1.0625Gb/s, 1.25Gb/s

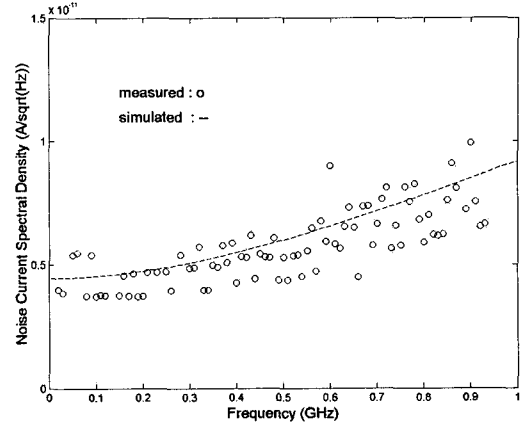


그림 6. RGC TIA 노이즈 전류 스펙트럼 밀도의 측정 및 시뮬레이션 결과

Fig. 6. Measured and simulated noise current spectral densities of the RGC TIA.

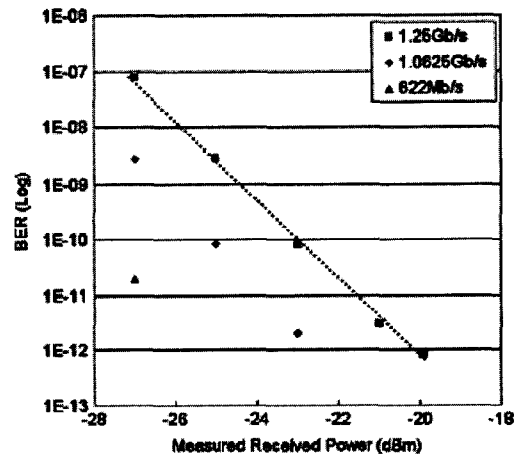


그림 7. RGC TIA의 민감도 측정결과

Fig. 7. Measured sensitivity of the RGC TIA.

의 동작속도를 갖는 $2^{31}-1$ PRBS 신호에 대한 감도 (sensitivity)를 측정한 결과로써, 1.25Gb/s에서 10^{-12} BER에 대하여 $5uA_{pp}$ 의 입력감도를 얻었다. 이는 0.5A/W의 반응도(responsivity)를 기준할 경우 -20dBm의 광민감도 (optical sensitivity)에 해당한다.

DC 측정결과, 5V의 전원전압으로부터 85mW의 전력 소모를 갖는다.

V. 10Gb/s RGC TIA 설계

본 절에서는 10Gb/s에서 동작하는 RGC 전치증폭기의 설계에 대해 논의한다. 그림 8은 single-ended 구조를 갖는 10Gb/s RGC 전치증폭기의 회로도로서, 기본적으로 III장에서 제시한 RGC 전치증폭기와 동일한 구조를 취한

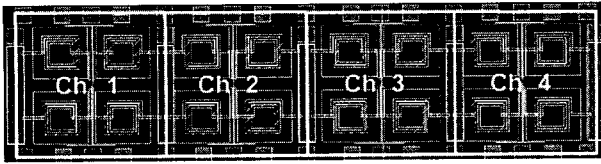


그림 9. 4채널 10Gb/s 차동 RGC TIA의 칩 레이아웃
 Fig. 9. Chip layout of the 4-channel 10Gb/s differential RGC TIA.

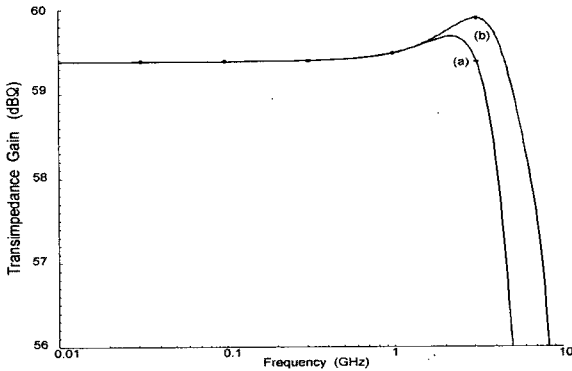


그림 10. 차동 RGC TIA의 주파수 응답 : (a) 인덕터 없는 경우, (b) 인덕터 사용한 경우
 Fig. 10. Frequency response of the differential RGC TIA : (a) with no inductor, (b) with inductor L_2 .

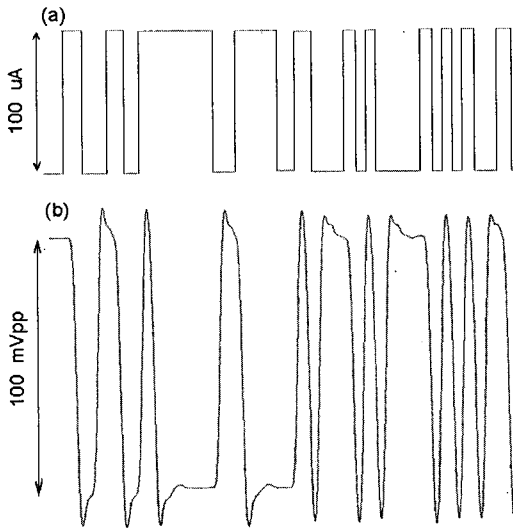


그림 11. 차동 RGC TIA의 transient 시뮬레이션 결과 : (a) 입력전류 파형, (b) 출력전압 파형
 Fig. 11. Transient response of the differential RGC TIA : (a) input currents, (b) output voltages.

PRBS 신호에 대한 RGC 전치증폭기의 eye-diagram으로 10Gb/s의 동작속도 및 100mV_{pp}의 출력전압을 보인다.

그림 13은 10MHz~10GHz의 주파수 범위에서 노이즈 전류 스펙트럼 밀도를 시뮬레이션한 결과로서 20pA/sqrt(Hz)의 평균값을 얻었다. 이는 10^{-12} BER 및 0.5A/W의 반응도 (responsivity)를 기준으로 할 경우, -14.7dBm

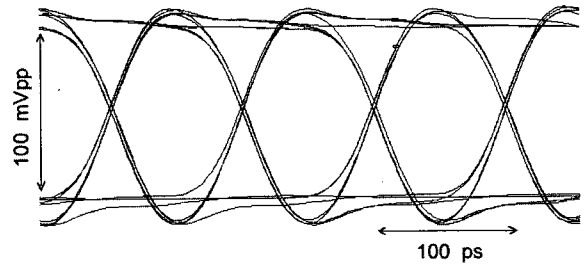


그림 12. 10Gb/s NRZ $2^{31}-1$ PRBS 신호에 대한 RGC TIA의 eye-diagrams
 Fig. 12. Output diagrams of the RGC TIA for 10Gb/s NRZ $2^{31}-1$ PRBS.

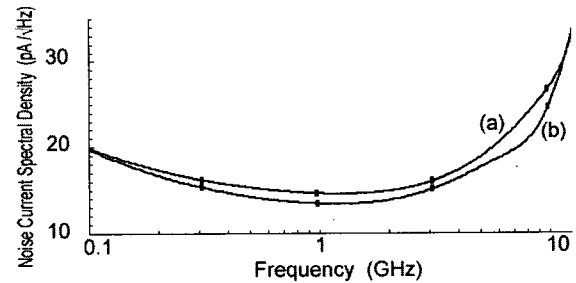


그림 13. RGC TIA의 노이즈 스펙트럼 밀도 : (a) 인덕터 브 피킹 없는 경우, (b) 인덕터 사용한 경우
 Fig. 13. Noise current spectral density of the RGC TIA : (a) with no inductor, (b) with inductor L_2 .

표 1. CMOS RGC TIA의 성능 요약
 Table 1. Performance summary of CMOS RGC TIAs.

parameters	1.25Gb/s RGC TIA (measured)	10Gb/s RGC TIA (simulated)
technology	0.6um CMOS	0.18um CMOS
power supply	5V	1.8V
bandwidth	950MHz	8GHz
photodiode capacitance	0.5pF	0.25pF
transimpedance gain	58dBohm	59.4dBohm
noise current spectral density	6.3pA/sqrt(Hz)	20pA/sqrt(Hz)
sensitivity for 10^{-12} BER	-20dBm	-14.7dBm
DC power	85mW	14mW

의 광민감도에 해당한다. DC 시뮬레이션 결과, 1.8V 단일 전원전압으로부터 약 14mW의 전력소모를 나타낸다. 표 1은 위에서 설계한 1.25Gb/s 및 10Gb/s CMOS RGC 전치증폭기의 성능을 각각 요약한다.

표 2는 설계한 10Gb/s CMOS 전치증폭기의 성능을

표 2. 10Gb/s CMOS RGC TIA의 성능 비교
Table 2. Comparison of 10Gb/s CMOS RGC TIAs.

parameters	[8]	[9]	this work
technology	0.18 μ m	0.18 μ m	0.18 μ m
V _{DD}	2.5V	1.8V	1.8V
BW	9.2GHz	8GHz	8GHz
C _{pd}	0.5pF	0.15pF	0.25pF
TZ gain	52dBohm	53dBohm	59.4dBohm
i _{oq}	N/A	N/A	20pA/sqrt(Hz)
sensitivity (10 ⁻¹² BER)	-18dBm	-12dBm	-14.7dBm
DC power	138mW	N/A	14mW
Core area	0.8x0.8mm ²	0.33x0.55mm ²	0.6x0.5mm ²

최근 발표된 CMOS 전치증폭기와 비교한다^[8,9]. 동일한 주파수 대역폭에 대해 약 6~7dB 이상의 트랜스임피던스 이득을 보이며, 약 1/10의 낮은 전력소모를 보이므로 인해 3dB의 sensitivity 성능저하를 보인다. 인덕터 layout 및 전력소모의 최적화를 통해 칩 면적의 소형화 및 민감도 성능을 높일 수 있다.

VII. 결 론

본 논문에서는 CMOS 공정을 사용하여 기가비트 이더넷용 광통신 시스템 수신단의 전치증폭기 회로를 구현하였다. RGC 입력단을 이용하여 입력단의 유효 g_m값을 크게 증가시켰으며, 광다이오드의 기생 캐패시턴스를 효과적으로 차단하여 더 넓은 대역폭을 갖는다. 또한 인덕티브 피킹 기술을 사용하여 10Gb/s 동작속도를 얻을 수 있었다. 1.25Gb/s RGC 전치증폭기는 58dBohm의 트랜스임피던스 이득, 950MHz의 대역폭, -20dBm의 광민감도, 및 85mW의 전력소모를 얻었다. 10Gb/s RGC 전치증폭기는 59.4dBohm의 트랜스 임피던스 이득, 8GHz대역폭, 20pA/sqrt(Hz)의 평균 노이즈 전류 스펙트럼 밀도, 및 14mW의 낮은 전력 소모를 나타낸다. 이로써, 초고속 저전력의 기가비트 이더넷용 전치증폭기 및 OC-192 SONET/SDH에 적용 가능성을 보여주었다.

참 고 문 헌

- [1] C. -W. Kuo et al., "2 Gbit/s transimpedance amplifier fabricated by 0.35 μ m CMOS technologies", *Electronics Letters*, vol. 37, no. 19, pp.1158-1160, 2001.
- [2] S. S. Mohan et al., "Bandwidth extension in CMOS with optimized on-chip inductors", *IEEE*

J. Solid-State Circuits, vol. 35, pp. 346-355, Mar. 2000.

- [3] C. Toumazou and S. M. Park, "Wideband low noise CMOS transimpedance amplifier for gigahertz operation", *Electronics Letters*, vol. 32, no. 13, pp.1194-1196, 1996.
- [4] T. Yoon and B. Jalali, "1 Gbit/s fiber channel CMOS transimpedance amplifier", *Electronics Letters*, vol. 33, no. 7, pp.588-589, 1997.
- [5] S. M. Park and H. J. Yoo, "1.25-Gb/s Regulated Cascode CMOS Transimpedance Amplifier For Gigabit Ethernet Application", *IEEE J. of Solid-State Circuits*, vol. 39, no. 1, pp. 112-121, Jan. 2004.
- [6] 허태관, 조상복, 박성민, "광통신용 다채널 CMOS 전치증폭기 어레이", 전자공학회논문지, 제42권 SD편, 8호, 2005년 8월
- [7] B. Razavi, "Design of Integrated Circuits for Optical Communications", McGraw-Hill, 2003.
- [8] B. Analui and A. Hajimiri, "Bandwidth Enhancement for Transimpedance Amplifiers", *IEEE J. of Solid-State Circuits*, vol. 39, no. 8, pp. 1263-1270, Aug. 2004.
- [9] W. -Z. Chen et al., "A 1.8-V 10-Gb/s Fully Integrated CMOS Optical Receiver Analog Front-End", *IEEE J. of Solid-State Circuits*, vol. 40, no. 6, pp. 1388-1396, Jun. 2005.

저 자 소 개



박 성 민(평생회원)

1993년 한국과학기술원 전기 및 전자공학과 학사졸업.

1994년 런던대학교 전자공학과 석사 졸업.

2000년 임페리얼 공대 전자공학과 박사 졸업.

현재 이화여자대학교 정보통신학과 조교수

<주관심분야 : RF 및 광통신용 초고속 아날로그 회로 설계>