
평면 매립형 레이저 다이오드의 전기적 등가회로 모델

김정호* · 박동국**

Design of Electrical equivalent circuit of Planar Buried Heterostructure Laser Diode

Jeong Ho Kim* · Dong Kook Park**

요 약

초고속 정보통신망의 구축에 있어 광모듈은 중요한 부분을 차지하고 있다. 그 중에서 광원인 레이저 다이오드는 온도에 변화에 대해 성능이 크게 좌우되므로, 많은 연구가 이루어지고 있다. 본 논문은 평면 매립형 레이저 다이오드를 비울 방정식에 의하여 전기적 등가회로로 변환하였다. 그리고, 누설 경로에 해당하는 활성층 바깥 영역을 다이오드와 두 개의 트랜지스터로 등가화한 후, 시뮬레이션을 통해 누설전류를 해석하였다. 시뮬레이션을 통해 누설전류를 줄이기 위한 전류차단층의 도핑농도를 조사하였다.

ABSTRACT

Optical module plays an important role in the construction of high speed communication network. Laser diode is a component of optical module, and its characteristics are dependent of temperature, so many researches are reported. In this paper, we proposed the electrical equivalent circuit of PBH-LD based on the rate equations. And, the two leakage paths exit outside the active region. One path is converted pn-diode and the other path is converted two transistors using npn-Tr and pnp-Tr. In order to reduce the leakage currents, we observed the dependence of carrier concentrations of current blocking layers using PSPICE simulator.

키워드

PBH-LD, Rate equation, Electrical equivalent circuit, Leakage current

I. 서 론

21C 초고속 정보 통신 사회에서 음성 신호뿐만 아니라, 컴퓨터 데이터, 이미지, 동영상을 포함한 엄청난 규모의 정보들이 네트워크를 통해 전달되고 있으며, 이러한 네트워크를 지원하기 위해 앞으로 광통신 및 무선통신, 초고속 디지털 집적회로 등의 차세대 초고속 시스템의 개발이 필수적이다. 또한, 대용량의 정보를 고속으로 전송할 수 있는 광통신 부품의 수요도 증가할 것으로 예측된

다. 특히, 가입자망에 사용되는 광원으로 열전소자(Thermo-Electric Cooler : TEC)를 필요로 하지 않는 저가의 uncooled 레이저 다이오드(Uncooled-LD)에 관한 연구가 더욱 더 절실한 실정이다.

그러나, 장파장의 InGaAsP/InP 재료계 LD에서는 Auger 재결합이나 가전자대간 흡수 등이 온도가 상승함에 따라 현저히 증가하여 고온에서의 동작 특성이 열화되는 것으로 알려져 있다[1],[2]. 특히, 평면 매립형(Planar buried heterostructure; 이하 PBH라 함) LD인 경우에는 전

* 한국해양대학교

** 한국해양대학교 전자통신공학과 부교수

류차단층을 통한 누설전류가 존재함으로써 임계전류를 증가시키며 고온 동작시 전류 대 광출력 특성의 열화에도 영향을 끼친다. Auger 재결합과 가전자대간 흡수와 같은 비발광 재결합 현상을 줄이기 위해 활성층에 응력을 가함으로써 가전자대의 light hole과 heavy hole 밴드를 변형시키는 압축응력 다중양자우물 구조의 활성층을 많이 사용하고 있다[3],[4].

전류차단층을 통한 누설전류를 줄이기 위해서는 결정 성장시 활성층과 전류차단층 간의 연결폭을 최소화하고, 전류차단층의 불순물 농도를 최적화 해야한다.

따라서, 본 논문에서는 PBH-LD의 전기적 등가회로 모델을 제시하였다. 그리고, 제시된 모델의 시뮬레이션을 통하여 활성층과 전류차단층의 전류 분포와 누설전류를 줄이기 위한 불순물 농도를 구하였다.

본 논문의 구성은 다음과 같다. II장에서는 PBH-LD의 등가회로를 설계하고, III장에서는 설계된 전기적 등가회로 모델을 PSPICE를 이용하여 시뮬레이션하였다. IV장에서는 결론을 기술하였다.

II. PBH-LD의 등가회로 설계

1. 비율 방정식을 통한 활성영역의 전기적 등가회로 모델

PBH-LD는 활성층 상하 및 좌우에 에너지 갭이 큰 재료로 둘러 싸여 캐리어 및 광이 활성층에 가두어지는 강한 굴절률 도파 구조로 그림 1에 나타내었다.

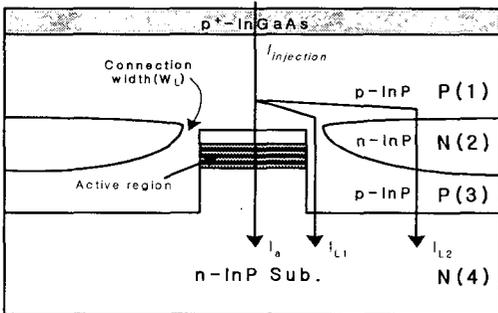


그림 1. PBH-LD의 단면도
Fig. 1 Schematic cross-sectional end view of PBH-LD structure

그림 1에서 활성층은 다중양자우물로 구성되어 있다. 그림 1에서 보는 바와 같이 주입전류는 크게 3개의 영역으로 흐르는 것으로 가정을 하였다. 그림 1에서 $I_{injection}$ 은 총 주입전류이고, I_a 는 활성영역으로 흐르는 전류로서 광의 생성에 기여하며, I_{L1} 과 I_{L2} 는 각각 누설영역을 통해서 흐르는 누설전류로서 광소자의 손실에 해당하는 전류로서 이 값을 줄이는 것이 중요하다.

주입전류에 대한 캐리어 밀도와 광자밀도의 관계는 비율 방정식으로 잘 기술되며, 활성영역에서 시간 변화에 대한 캐리어 밀도의 변화와 광자밀도의 변화는 식 (1), (2)에 의해 잘 설명될 수 있다.

$$\frac{dN}{dt} = \frac{I}{qV} - g_0(N - N_0)(1 - \epsilon S)S - \frac{N}{\tau_s} \quad (1)$$

$$\frac{dS}{dt} = \Gamma g_0(N - N_0)(1 - \epsilon S)S - \frac{S}{\tau_p} + \Gamma \beta \frac{N}{\tau_s} \quad (2)$$

식 (1), (2)에서 q 는 전하량, I 는 총 주입전류이고, V 는 활성층의 체적, N 및 S 는 각각 활성층 내의 캐리어밀도와 광자밀도이다. N_0 와 g_0 는 각각 투명캐리어밀도와 이득계수이고, τ_s 와 τ_p 는 각각 캐리어의 수명시간과 광자의 수명시간을 나타낸다. ϵ 은 이득포화계수, Γ 는 광가둠계수, β 는 자연방출광 계수이다. 식 (1)의 우변의 첫 번째 항은 활성층에 주입된 전류이고, 두 번째 항은 생성된 광자 중에서 유도방출에 기여하는 항이며, 세 번째 항은 유도방출이 아닌 자연방출에 의한 항이다. 그리고, 식 (2)의 우변의 첫 번째 항은 유도방출에 의해 생성된 광이고, 두 번째 항은 광자수명을 가지며 공진기 밖으로 방출되는 광자 밀도를 나타내며, 세 번째 항은 자연방출이 유도방출에 기여하는 정도를 표현한 항이다. 이러한, 식 (1)과 (2)를 적절하게 변형함으로써 캐리어밀도와 광자밀도의 크기는 전기적 등가회로에서 전류와 전압에 의한 노드 방정식으로 표현이 가능하다. 식 (1)과 (2)를 변형한 결과 식 (3)과 (4)로 다시 수식화 할 수 있다[5].

$$I = qV \frac{dN}{dt} + qV \frac{N}{\tau_s} + qV g_0(N - N_0)(1 - \epsilon S)S \quad (3)$$

$$\Gamma \beta \frac{N}{\tau_s} + \Gamma g_0(N - N_0)(1 - \epsilon S)S = \frac{S}{\tau_p} + \frac{dS}{dt} \quad (4)$$

여기서, 캐리어밀도 N 을 전압, 광자밀도 S 를 전류로 가

정을 하면, 식 (3)의 우변의 첫 항은 qV 의 값을 가지는 콘덴서로 표현이 가능하고, 두 번째 항은 τ_s/qV 의 값을 가지는 저항으로 표현이 가능하다. 그리고, 세 번째 항은 투명캐리어밀도 이상에서 유도방출광이 생성되는 항으로 투명캐리어밀도는 역방향의 일정 전압원으로 표현이 가능하다. 그리고, 투명캐리어밀도 이상의 캐리어밀도에 대해서는 광이 캐리어밀도와 생성된 광자에 의해 증폭되어 광이 생성되므로 비선형 저항을 통해 증가화하였다. 다음으로, 식 (4)의 좌변은 자연방출이 유도방출에 기여하는 항과 유도방출에 의해 생성된 광의 합으로 되어있다. 이 두 항은 각각 전압원으로 증가된다. 우변은 광자의 수명을 가지고 공진기 밖으로 빠져나가는 광자와 시간에 따라 변화하는 광자의 합으로 되어있다. 공진기 밖으로 빠져나가는 광자는 $1/\tau_p$ 의 값을 가지는 저항을 통해 흐르는 전류로 표현되며, 시간변화에 대한 광자밀도의 변화는 코일로 표현할 수 있다. 이상과 같이 광학적 현상을 전자 소자를 이용하여 전기적 등가회로로 모델링 하였다.

2. 누설 영역의 전기적 등가회로 모델

그림 1과 같이 PBH-LD의 구조는 활성층과 p-n-p 전류 차단층 사이를 캐리어가 흐르는 누설 경로가 존재한다. 활성층과 n-InP 전류차단층 사이의 연결폭을 통해 흐르는 누설전류 I_{L1} 과 p-n-p-n 전류차단층을 통한 누설전류 I_{L2} 를 전기적 등가회로로 모델링하였다.

연결 폭 W_L 을 통해 흐르는 누설 전류 I_{L1} 은 활성층과 n-InP 차단층 사이를 통과해서 기관으로 흘러들어가는 전류로 간주할 수 있다. 그러면, I_{L1} 은 W_L 을 지나서, InP 동종 접합의 다이오드로 흐르는 전류이다. 연결 폭 W_L 에 대한 정량적인 계산을 물질 상수를 이용하여 저항으로 표현을 하였다[6]. W_L 을 저항으로 간주한 것은 전기적 등가회로에서 전류의 흐름을 방해하는 정도가 저항으로 표현될 수 있기 때문이다. 따라서, 캐리어의 흐름을 결정하는 연결 폭의 넓고, 좁음에 따라서 I_{L1} 의 값은 변화하게 될 것이다. p-InP의 물질 상수를 이용하여 식 (5)와 같이 표현되는 R_L 의 값을 구하였다.

$$R_L = \rho \frac{d}{W_L \times L} \tag{5}$$

그리고, 식 (5)에서 p-InP의 저항률 $\rho = 1/qn(\mu_n + \mu_p)$

이고, d 는 p-InP 층의 성장 두께, p-InP의 정공 밀도를 p 라 표기하면 식 (6)으로 다시 나타낼 수 있다.

$$R_L = \frac{d}{qp(\mu_n + \mu_p)L} \cdot \frac{1}{W_L} \tag{6}$$

식 (6)을 통해 저항 R_L 은 $1/W_L$ 에 비례함을 알 수 있다. 또한, 강하게 도핑이 되고, 넓은 면적에 대해서는 큰 누설 전류를 가진다. p-InP 층의 도핑농도를 변화시키면서 연결 폭에 따른 저항 값들을 계산하여 그림 2에 나타내었다. 성장두께 $d=1 \mu\text{m}$, 공진기 길이 $L=300 \mu\text{m}$ 일 때, p-InP의 도핑 농도와 연결 폭을 변화시키면서 저항값을 얻었다. 그리고, 그림 3은 두께 $d=2 \mu\text{m}$ 의 값을 가질 때, p-InP의 도핑 농도와 연결 폭을 변화시키면서 누설 저항을 구하였다.

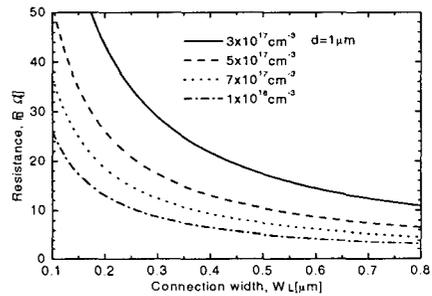


그림 2. p-InP 층의 도핑에 따른 저항 R_L ($d=1 \mu\text{m}$)
Fig. 2 Resistance of R_L with the acceptor concentration of p-InP.

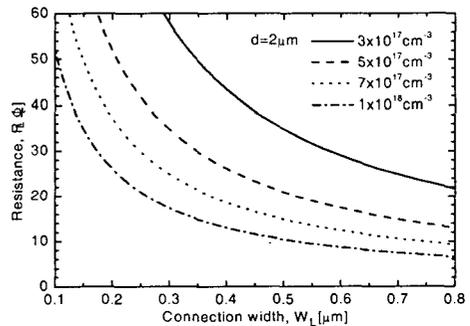


그림 3. p-InP 층의 도핑에 따른 저항 R_L ($d=2 \mu\text{m}$)
Fig. 3 Resistance of R_L with the acceptor concentration of p-InP.

그림 2와 3을 비교해 보면, p-n 다이오드의 두께에 따라서 저항의 값이 달라지며, 식 (6)에서 알 수 있는 것과 같이 두께 d의 값이 클수록 저항의 값이 커진다. 또한, p-InP 층의 도핑농도가 증가할수록 캐리어의 이동이 용이하므로 저항값이 작아지는 것을 알 수 있다.

다음으로, 연결 폭을 통과한 캐리어의 흐름을 단일 접합의 pn 다이오드로 등가화 하여 누설되는 전류의 흐름을 조사하였다.

PSPICE 상에서 설계시 필요한 다이오드의 포화 전류 I_s , 다이오드의 이상계수 N, InP의 에너지 갭 E_g , 내부전위 V_j , 영전압 접합용량 C_{JO} , grading coefficient M, 포화전류 온도계수 XTI, 순방향 바이어스 공핍 용량계수 FC와 같은 파라미터 값들을 계산하였다.

누설경로의 전기적 등가 회로에 사용된 파라메타 값들을 표 1에 나타내었고, 표 1의 값을 이용하여 pn 동종접합 다이오드를 설계하였고, PSPICE를 통해 누설전류의 양을 시뮬레이션하였다.

표 1. 다이오드 설계를 위한 변수값
Table 1. Values of the parameters for the diode design.

변수	정의	값	단위
I_s	포화전류	1.73×10^{-22}	A
N	이상계수	1.2	-
E_g	에너지 갭	1.35	eV
V_j	내부 전위	1.26	V
C_{JO}	영전압 접합용량	1.51×10^7	f/cm ²
M	grading 계수	0.5	-
XTI	I_s 온도계수	3	-
FC	순방향 바이어스 공핍 용량계수	0.5	-

다음으로는 p-n-p-n 전류차단층을 통해 흐르는 누설 전류 I_{L2} 를 고려하였다. 이 누설 경로에 대해서는 pnp 와 npn 트랜지스터로 등가화하였다. 그림 1에서 나타난 것과 같이 전류 차단층의 위쪽 층부터 P(1), N(2), P(3)로 한 것이 pnp 트랜지스터에 해당하고, N(2), P(3), N(4)로 한 아래쪽의 3 층이 npn 트랜지스터에 해당한다. 두 개의 트랜지스터에 대한 전류 이득은 식 (7)에 의해 구해진다[7].

$$\alpha_{n,p} = \alpha_T \gamma_{n,p} \quad (7)$$

여기서, α_T 는 총 주입전류에 대한 콜렉터 접합에 도달한 주입 전류의 비로 정의되는 전송 인자이고, $\gamma_{n,p}$ 는 총 에미터 전류에 대한 주입전류의 비로 정의되는 주입 효율이다. n-p-n과 p-n-p 트랜지스터의 이득은 식 (8)과 같이 근사화된다.

$$\alpha_n = \left[\frac{\gamma_n}{\cosh(W_p/\sqrt{D\tau})} \right] \approx \left(1 - \frac{W_p^2}{2D\tau} \right) \gamma_n \quad (8a)$$

$$\alpha_p = \left[\frac{\gamma_p}{\cosh(W_n/\sqrt{D\tau})} \right] \approx \left(1 - \frac{W_n^2}{2D\tau} \right) \gamma_p \quad (8b)$$

여기서,

$$\gamma_n = \frac{1}{1 + N_B W_p / N_E L_E} \quad (9a)$$

$$\gamma_p = \frac{1}{1 + N_B W_n / N_E L_E} \quad (9b)$$

이고, W_p 와 W_n 은 각각 p-InP와 n-InP 차단층의 두께이다. D와 τ 는 각각 트랜지스터의 베이스에서 소수 캐리어의 확산 상수와 수명이다. N_B 와 N_E 는 베이스와 에미터의 캐리어 농도를 나타내고, L_E 는 에미터에서 확산 길이이다. W와 N_B/N_E 는 방정식 (9)에서 보여진 것처럼 사이리스터에서 트랜지스터 이득을 결정하는 중요한 파라메타로 고려된다. p-InP 와 n-InP 층의 소수 캐리어 확산 길이와 확산 상수는 각각 $1 \mu\text{m}$ 와 $2 \text{ cm}^2/\text{s}$ 및 $3 \mu\text{m}$ 와 $44 \text{ cm}^2/\text{s}$ 를 가진다 [7]. 만약 $2 \times 10^{18} \text{ cm}^{-3}$ 의 n⁺-InP 기판에 전류 차단층(p-InP : $5 \times 10^{17} \text{ cm}^{-3}$, n-InP : $5 \times 10^{17} \text{ cm}^{-3}$)이 각각 $1 \mu\text{m}$ 의 두께로 성장되면 트랜지스터의 전류이득 α_n 과 α_p 는 각각 0.63과 0.38의 값을 가지게 된다. 만약 p-InP 차단층의 도핑 농도를 $1 \times 10^{18} \text{ cm}^{-3}$ 으로 높인다면 npn 트랜지스터의 전류 이득은 0.47로서 더 낮아지게 될 것이다.

III. PBH-LD의 전기적 등가 회로 해석

이상에서 기술된 활성영역과 전류차단층 영역의 전기적 등가회로 모델을 PSPICE를 이용하여 전기적 특성을 시뮬레이션 하였다.

PBH-LD의 공진기 길이, 활성층 폭, 두께는 각각 300 μm , 1.5 μm 및 0.2 μm 로 하였고, 연결폭은 0.5 μm 로 가정을 하

여 전류차단층의 도핑 농도를 변화시키면서 시뮬레이션 하였다.

p-InP와 n-InP 전류차단층의 도핑을 $1 \times 10^{17} \text{cm}^{-3}$ 으로 하였을 경우의 시뮬레이션 결과를 그림 4에 나타내었다. 도핑 농도가 낮아서 연결폭에 해당하는 저항값은 식 (6)에 의해 52 Ω 의 값을 가지고, pnp-Tr과 npn-Tr의 전류이득은 각각 0.375와 0.859이다. npn-Tr의 전류 이득이 커서 전류가 증가함에 따라 트랜지스터 누설경로를 통한 누설전류의 양이 급격히 증가함을 알 수 있다. 이것은 p-InP 차단층의 도핑농도를 증가시키므로써 npn-Tr의 전류이득을 낮게 함으로써 트랜지스터를 통한 누설전류를 줄일 수 있을 것이다. 그림 5는 p-InP의 차단층의 도핑농도를 $5 \times 10^{17} \text{cm}^{-3}$ 으로 했을 경우에 해당한다. 연결폭에 해당하는 저항은 17 Ω 이고, pnp-Tr과 npn-Tr의 전류이득은 각각 0.47와 0.63이었다.

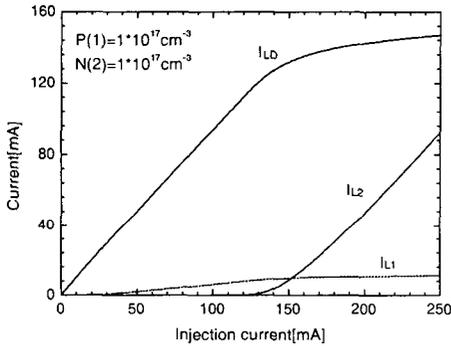


그림 4. 활성영역과 누설영역의 전류 분포
Fig. 4 Current distributions of active region and leakage regions.

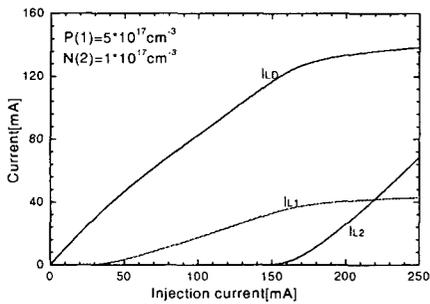


그림 5. 활성영역과 누설영역의 전류 분포
Fig. 5 Current distributions of active region and leakage regions.

그림 5를 4와 비교해보면 연결폭의 저항값이 줄어들게 되어 pn 단일접합 다이오드를 통한 전류의 양이 주입전류 200mA에서 약 10mA의 누설전류가 40mA로 커지게 되었고, 반면에 npn-Tr의 이득은 감소하여 약 47mA의 누설전류가 26mA로 사이리스터를 통한 누설전류의 양이 줄어들었다.

한편, n-InP 전류차단층의 도핑농도에 의해서 pnp-Tr의 전류이득이 변화하기 때문에 n-InP 전류차단층의 도핑농도도 고려하여야 한다. 그림 6은 p-InP가 $5 \times 10^{17} \text{cm}^{-3}$ 일 때 n-InP는 $8 \times 10^{17} \text{cm}^{-3}$ 인 경우를 보여준다. 그림 5와 6을 비교해보면 n-InP 층의 도핑에 따라 트랜지스터를 통한 누설전류가 감소함을 알 수 있다.

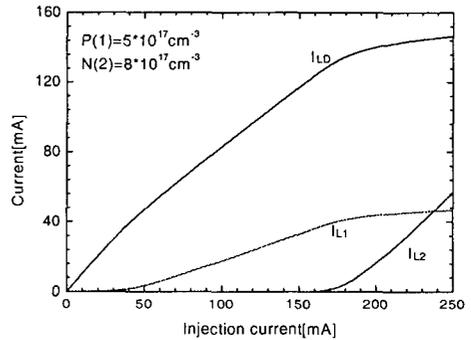


그림 6. 활성영역과 누설영역의 전류 분포
Fig. 6 Current distributions of active region and leakage regions.

따라서, n-InP층의 도핑농도가 증가하면 pnp-Tr의 전류이득은 감소하므로 n-InP의 도핑농도는 크게 하는 것이 효율적이다. 그러나, $1 \times 10^{18} \text{cm}^{-3}$ 보다 클 경우에는 pnp-Tr의 순방향 전류이득이 역방향 전류이득보다 큰 값을 가지므로, n-InP 전류차단층의 도핑농도는 $1 \times 10^{18} \text{cm}^{-3}$ 보다 작게 하여야 한다.

IV. 결 론

본 논문은 평면매립형 레이저 다이오드의 제작에 있어서 누설전류를 줄이기 위한 전류차단층의 도핑농도를 결정하기 위한 시뮬레이션을 수행한 것이다. 누설경로를 각각 pn 다이오드와 2개의 트랜지스터로 등가화 하였고,

PSPICE simulator로 각층의 도핑농도에 따라서 누설전류를 구하였다. p-InP 및 n-InP 전류차단층의 도핑농도를 증가하면 연결폭의 저항이 감소하는 반면에 트랜지스터의 전류이득은 감소하여 사이리스터를 통한 큰 누설전류를 억제할 수 있었다. p-InP와 n-InP 전류차단층의 도핑농도가 각각 $5 \times 10^{17} \text{cm}^{-3}$ 과 $8 \times 10^{17} \text{cm}^{-3}$ 일 경우에 주입전류 200mA에 대해 pn 다이오드를 통한 누설전류는 약 43mA, pnp-Tr의 에미터 전류가 약 17mA로 나타났다. 즉, p-InP층의 도핑농도는 pn 다이오드를 통한 누설을 고려한다면 낮은 도핑이 유리하나, 트랜지스터로의 누설을 보면 전류이득이 증가하여 트랜지스터를 통한 누설전류가 증가할 수 있으므로 낮은 도핑은 효과적이지 못하다. 또한, n-InP층의 도핑농도는 트랜지스터가 턴-온 되어 누설전류가 크게 증가하는 것을 막기 위해 순방향 전류이득이 역방향 전류이득보다 적은 값이 되도록 하는 것이 효과적이다.

향후, 평면매립형 레이저 다이오드의 온도특성을 고려한 전기적 등가회로의 모델 통한 온도 영향을 평가한다면 보다 정확한 전기적 등가회로 모델이 되리라 기대한다.

참고문헌

[1] C. H. Henry, R. A. Logan, and F. R. Merrit, "The effect of intervalence band absorption on the thermal behavior of InGaAsP lasers," *IEEE J. Quantum Electron.*, vol. QE-19, no. 6, pp. 947-952, 1983.

[2] H. C. Casey, Jr., "Temperature dependence of the threshold current density in InP-Ga_{0.28}In_{0.72}As_{0.6}P_{0.4}($\lambda = 1.3 \mu\text{m}$) double heterostructure lasers," *J. Appl. Phys.*, vol. 56, pp. 1959-1964, 1984.

[3] E. Yablonoitch, and E. O. Kane, "Reduction of lasing threshold current density by the lowering of valence band effective mass," *IEEE J. Lightwave Technol.*, vol. LT-4, no. 6, pp. 504-506, 1986.

[4] H. Yasada, R. Iga, Y. Noguchi, and Y. Yoshikuni, "Pure effects of strain in strained-layer multiple-quantum-well lasers," *IEEE J. Quantum Electron.*, vol. QE-29, no. 4, pp. 1098-1103, 1993.

[5] 山田博仁, "A Spice Model for Laser diode," *電子情報通信學會誌*, vol. 85, no. 6, pp. 434-437, 2002.

[6] MARTINUS P. J. G. VERSLEIJEN, P. I. KUINDERSMA,

GIOK-DJAN D. KHOE, SENIOR MEMBER, IEEE, AND LAMBERTUS J. MEULEMAN, "Accurate Analysis of dc Electrical Characteristics of 1.3 μm DCPBH Laser Diodes," *IEEE J. Quantum Electron.*, vol. 23, no. 6, pp. 925-935, 1987.

[7] Ho Sung CHO, Dong Hoon JANG, Jung Kee LEE, Kyung Hyun PARK, Jeong Soo KIM, Seung Won LEE, Hong Man KIM and Hyung-Moo PARK, "High-Performance Strain-Compensate Multiple Quantum Well Planar Buried Heterostructure Laser Diodes with Low Leakage Current," *Jpn. J. Appl. Phys.* vol. 35, no. 3, pp. 1751-1757, 1996.

저자소개

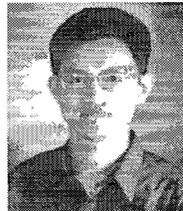
김 정 호(Jeong-Ho Kim)



1993. 3. - 1998. 2. : 한국해양대학교 전자통신공학과 졸업(공학사)
1998. 3. - 2000. 2. : 한국해양대학교 전자통신공학과 대학원 졸업(공학석사)

2000. 3 - 2001. 2. : (주)사라콤 인턴연구원
2001. 3 - 2004. 8. : 한국해양대학교 전자통신공학과 대학원 졸업(공학박사)
※ 관심분야: 반도체 레이저, 광센서, 광집적소자

박 동 국(Dong-Kook Park)



1983. 3. - 1987. 2. : 부산대학교 전자공학과 졸업(공학사)
1987. 3. - 1989. 2. : 한국과학기술원 전기 및 전자공학과 졸업(공학석사)

1989. 3. - 1994. 8. : 한국과학기술원 전기 및 전자공학과 졸업(공학박사)
1994. 8. - 1996. 3. : LG전자 미디어통신연구소(선임연구원)
1996. 4. - 1998. 3. : 한국해양대학교 전자통신공학과(전임강사)
1998. 4. - 2002. 3. : 한국해양대학교 전자통신공학과(조교수)
2000. 1. - 2001. 1. : 미국 UCLA 방문교수
2002. 4. - 현재 : 한국해양대학교 전자통신공학과(부교수)
※ 관심분야: 안테나, 초고주파 소자, 수치해석