

## 기술 특 집

# 액티브-매트릭스 전계 방출 디스플레이의 기술적 가능성

송 운 호 (ETRI IT융합·부품연구소)

## I. 서 론

전계 방출 디스플레이(Field Emission Display : FED)가 우수한 표시 특성을 가지고 있으면서도 지금까지 디스플레이 시장에 진입하지 못한 가장 큰 이유는 패널의 안정성과 신뢰성, 제조 수율과 생산성을 확보하지 못하였기 때문이다. 원추형의 마이크로-팁 캐소드 기술은 고가의 미세 패터닝 공정과 전자빔 증착 공정을 사용하여야 할 뿐만 아니라 양이온에 의한 소자 파괴가 쉽게 일어나는 단점을 극복하지 못하였다. 또한, 최근 연구·개발이 한창 진행되고 있는 카본 나노튜브(Carbon NanoTube : CNT)는 그 자체가 매우 뾰족하여 전계 방출이 우수하고 대면적화가 쉬운 장점을 지녔지만, 균일도 확보가 매우 어려운 문제점을 가지고 있다. FED에 요구되는 캐소드는 저전압 어드레싱이 가능하면서 대면적에 균일하게 제작될 수 있어야만 한다. 전계 에미터의 균일도는 FED 성능 확보에 필수적인 기본 요소로서, 장-범위(long-range)보다 단-범위 균일도(short-range uniformity)가 매우 중요하며 상용화에 필요한 단-범위 균일도는 통상 98% 이상으로 생각한다. 전계 에미터 캐소드의 어드레싱 전압은 FED의 구동 소비전력과 구동IC 가격에 결정적인 영향을 미치므로 현재 사용되고 있는 LCD의 구동 IC를 그대로 사용할 수 있을 정도로 낮아야 한다.

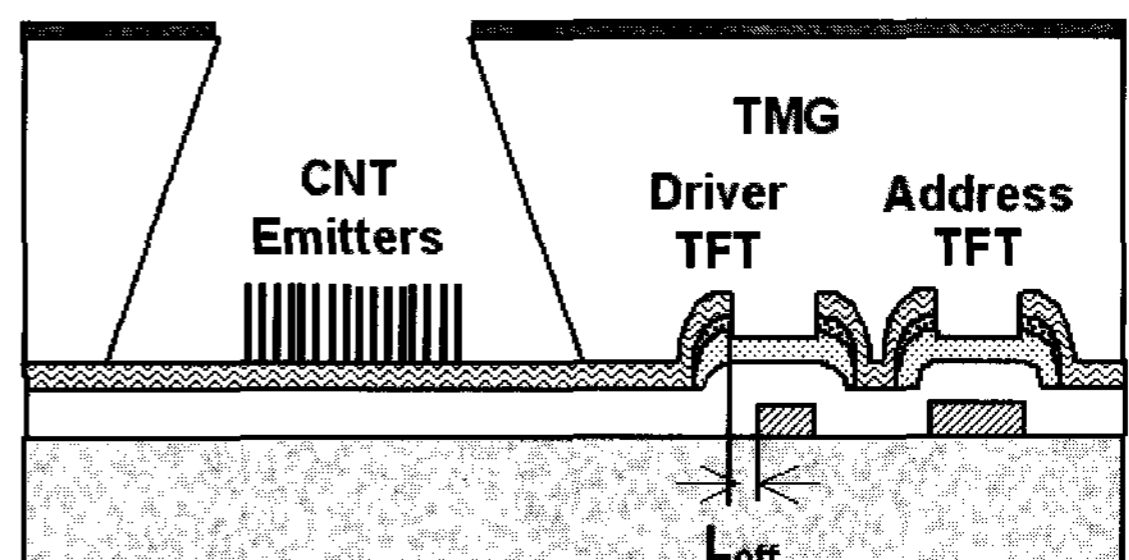
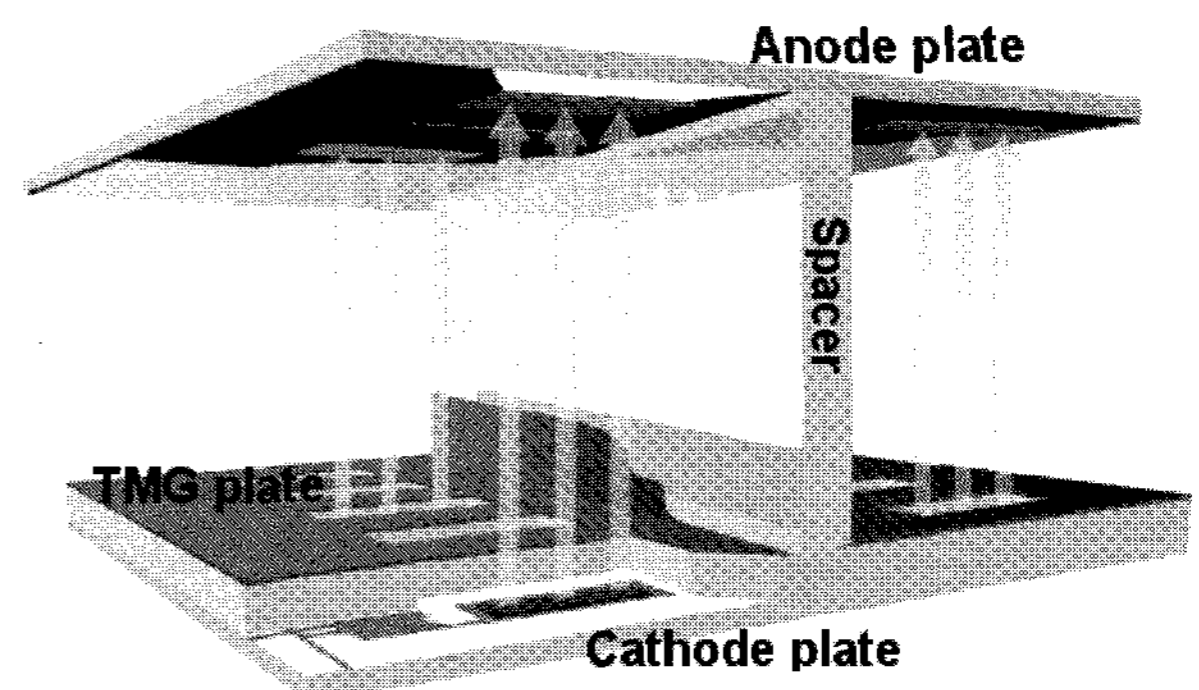
전계 방출 전류를 전자원으로 사용하고 있는 FED는 전계 방출의 비선형(non-linearity) 특성으로 인해 패시브-매트릭스 전계 에미터 어레이(Passive-Matrix FEA : PMFEA)만으로도 대면적, 고해상도의 디스플레이를 구현할 수 있을 것으로 판단했다. 그러나, 마이크로-팁 및 CNT 에미터를 기반으로 한 FED 개발 과정에서 볼 수 있듯이 캐소드의 균일성과 안정성/신뢰성 문제는 PMFEA의 개발 한계를 보여주고 있다. 더욱이, 아직까지 고효율의 저전압 형광체 물질이 없기 때문에 대부분의 FED 개발은 고전압의 CRT 형광체를 사용하여야만 한다. 고전압 FED의 경우, 아노드에 대략 7kV 이상의 가속 전압을 인가하여야 하는데, 이에 따른 양이온에 의한 전계 에미터의 파괴와 전기적 아킹(arcing), 전자빔에 의한 스페이서의 대전(charging)과 2차 전자 발

생이 FED의 상용화를 가로막고 있는 또 다른 문제점이다.

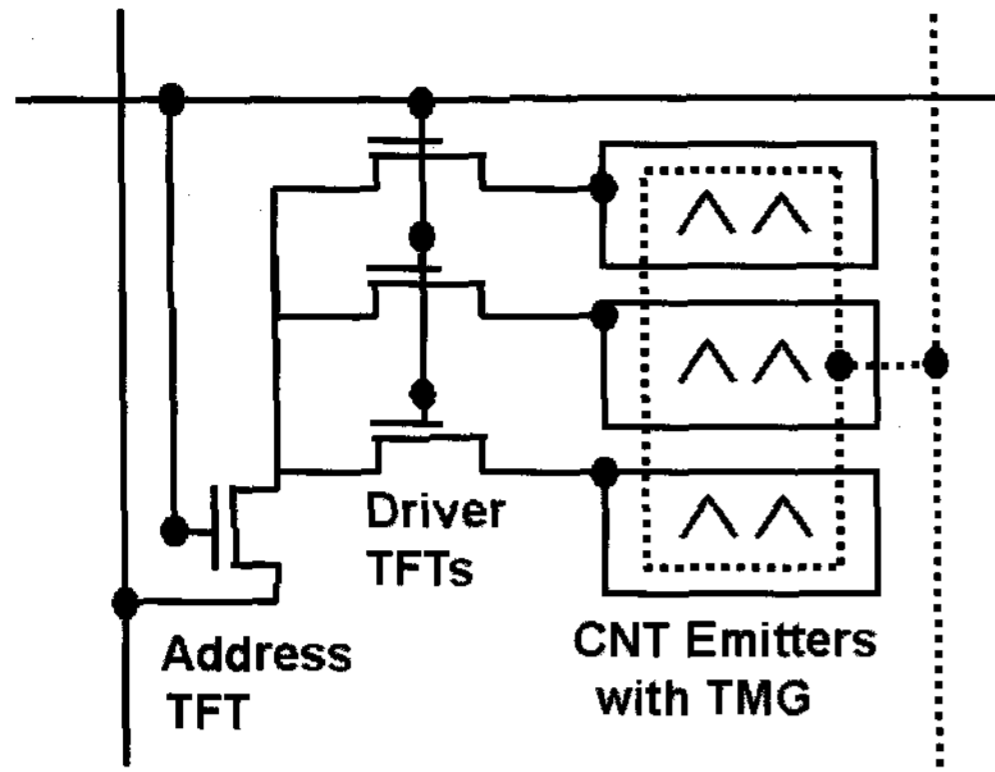
이러한 PMFEA의 기술적 한계를 해결하기 위한 새로운 접근 방법으로 MOSFET, Poly-Si TFT, a-Si TFT를 제어 소자로 채택하여 마이크로 금속-팁, 실리콘-팁, CNT 에미터를 제어하는 액티브-매트릭스(Active Matrix : AM) FED 기술이 개발되고 있으며<sup>[1-8]</sup>, 본 고에서는 현재 기술적 완성도가 비교적 높은 CNT 에미터를 기반으로 한 AM-CNT FED의 가능성을 여러 가지 기술적 관점에서 살펴보고자 한다.

## II. AM-CNT FED 기술

[그림 1]은 ETRI에서 개발하고 있는 AM-CNT FED 패널의 개략도와 픽셀 단면도를 보여준다. AM-CNT FED



[그림 1] AM-CNT FED 패널 개략도 및 단면도



[그림 2] AM-CNT FED의 캐소드 서브-픽셀 등가 회로

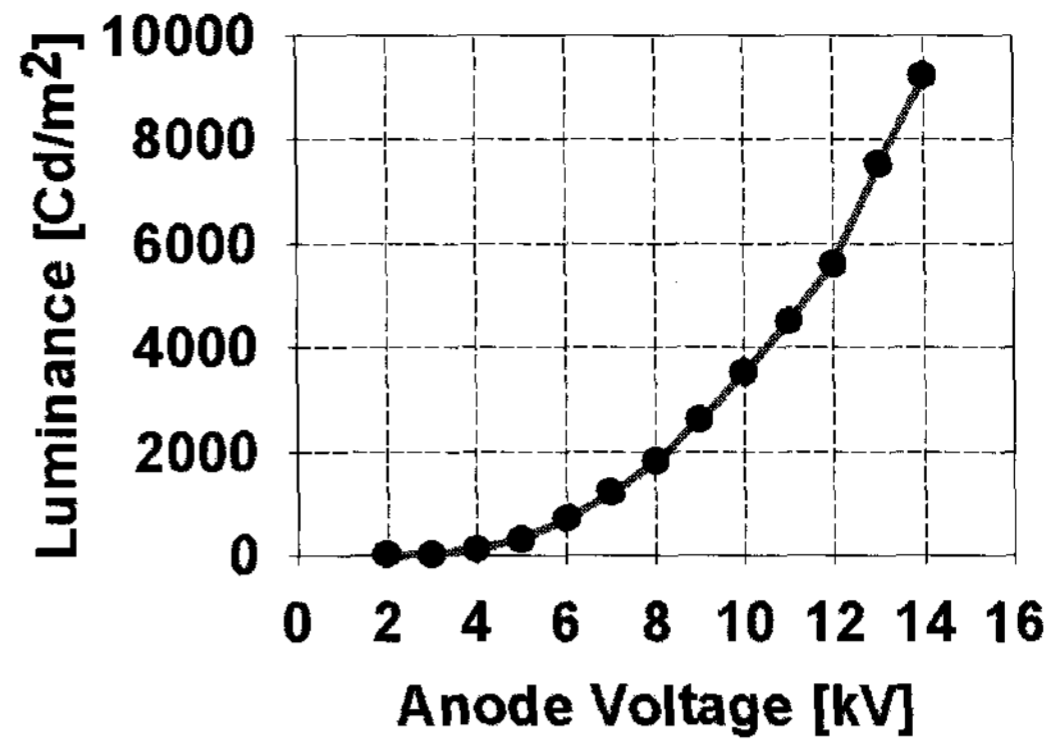
패널은 CNT 에미터와 비정질 실리콘 박막 트랜지스터(a-Si TFT)가 집적화된 캐소드 판과, 각 픽셀마다 경사진 구멍이 형성되어 있는 TMG(tapered macro-gate) 판과, 빨강(R), 녹색(G), 청색(B)의 형광체를 가진 아노드 판이 스페이서를 지지대로 하여 진공 패키징되어 있다. AM 캐소드 픽셀은 [그림 2]에서 보듯이 메모리 소자가 없는 다이내믹 모드(dynamic mode)로 설계되어 있으며, 디스플레이 신호를 어드레싱하는 어드레스(address) TFT와 CNT 에미터를 직접 구동하는 드라이버(driver) TFT가 서로 직렬-연결되어 있다. 어드레스 TFT는 일반적인 게이트 구조를 가진 반면, 드라이버 TFT는 고전압에 견딜 수 있도록 오프셋(offset) 게이트로 구성되어 있다.

AM-CNT FED의 구성 요소 중에서 TMG는 CNT 에미터로부터 전계 방출을 유도하는 게이트 역할과, 방출된 전자빔을 특정한 아노드 픽셀에 집속시키는 집속 기능과, 아노드 전기장이 전계 에미터에 도달하지 못하게 하는 전기장 차폐 역할을 한다<sup>9)</sup>. 이러한 기능을 가지도록 하기 위해서 TMG의 게이트 구멍은 경사진(tapered) 형태로 설계되어 있으며, 게이트 절연막의 두께도 100 $\mu\text{m}$  이상으로 두껍다. 특히, CNT 에미터의 마이크로 불균일성(micro irregularity)을 극복함으로써 전계 방출의 균일도를 향상시킬 수 있는 하나의 접근 방법으로 이러한 매크로 게이트(macro gate)가 유효할 수 있으며, 이러한 접근을 위해서는 CNT 에미터 크기에 비해서 매우 크고 높은 게이트 형성이 필요하다.

AM-CNT FED 패널에서는 아노드 가속 전압 뿐만 아니라 전계 방출을 위하여 게이트(TMG)에 인가되는 전압이 모두 직류(DC)이며, 디스플레이 스캔 및 데이터 신호가 각 픽셀에 있는 TFT의 게이트 및 소스로 입력되기 때문에 디스플레이 구동 전압은 오직 TFT의 특성에만 의존하게 된다. 이에 따라, AM-CNT FED의 구동 전압을 전계 방출 전압에 무관하게 낮출 수 있으며, 궁극적으로는 LCD와 경쟁할 수 있을 정도로 값싼 구동IC를 사용할 수 있을 것이다.

### III. AM-CNT FED의 가능성

고효율의 저전압 형광체 물질이 없는 현재 FED 개발은



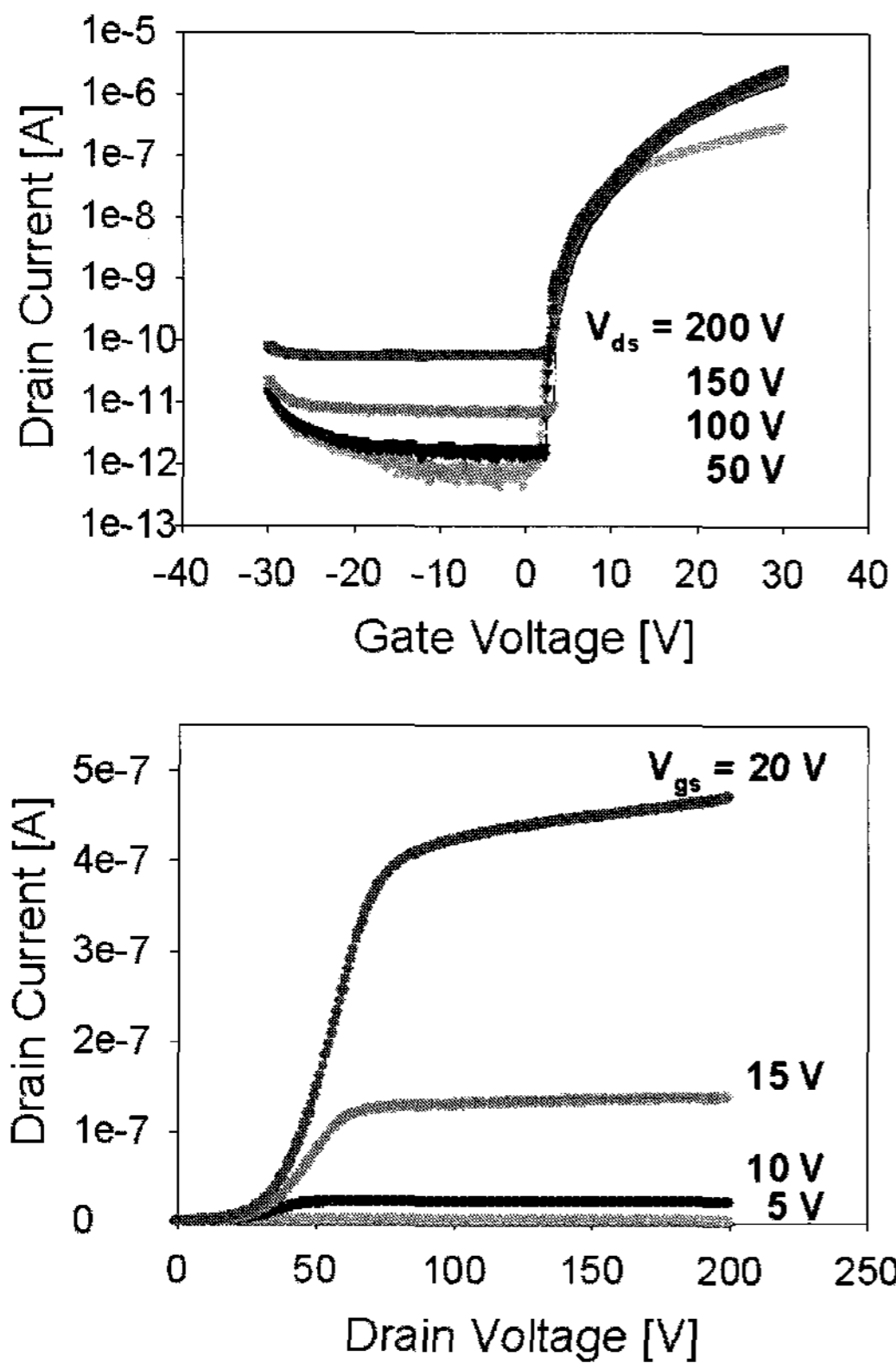
[그림 3] TMG-CNT 에미터에서 아노드 전압에 따른 휘도

고전압의 CRT 형광체를 사용하여야 하며, 상용화에 필요한 휘도, 수명, 효율을 달성하기 위해서는 아노드에 최소 7kV 이상의 가속 전압을 인가하여야 하는데, 아직까지 이에 도달한 CNT-FED는 발표되지 않고 있다.

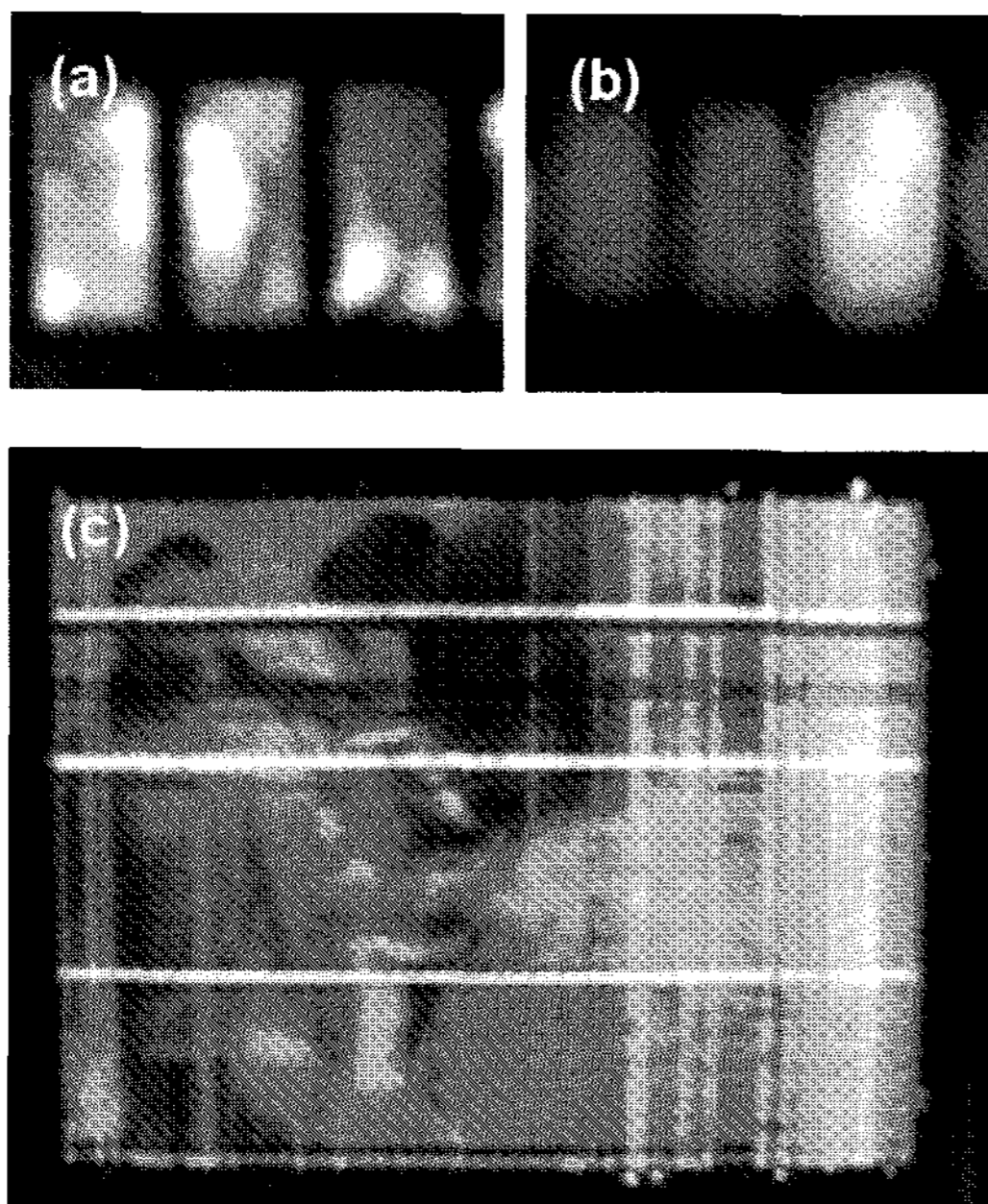
AM-CNT FED의 게이트 구조로 제안된 TMG는 [그림 3]에서 보듯이 상용화에 필요한 아노드 가속 전압을 충분히, 그리고 안정적으로 인가할 수 있는 구조이다. [그림 3]의 TMG-CNT 에미터는 TMG와 아노드의 간격 5mm에 대해서 12kV 이상의 아노드 전압을 안정적으로 인가할 수 있음을 보여주고 있으며, 6V/ $\mu\text{m}$  이상의 아노드 전기장도 CNT 에미터에 영향을 미치지 않을 만큼 거의 완벽한 전기장 차폐 효과를 가지고 있는 것으로 평가된다. 더욱이, 경사진 게이트 홀은 방출된 전자빔을 아노드 형광체에 집속시키는 역할을 함으로써, 별도의 집속 전극 없이도 색 크로스-토크(cross-talk)를 방지할 수 있다.

앞서 언급하였듯이, CNT-FED의 상용화에서 가장 큰 걸림돌은 픽셀간의 균일도이며, 현재 패시브-매트릭스 어레이에서는 저항층(resistive layer) 기술을 이용하여 개발하고 있다<sup>10)</sup>. 그러나, 저항층을 이용한 방법은 전계 방출 전류를 수동적으로 제어하기 때문에 균일도를 어느 정도 수준까지는 향상할 수 있지만, 상용화에 필요한 98% 이상의 균일도를 확보하기에는 매우 어렵다. 또한, CNT 에미터와 직렬-연결된 저항치를 증가시키면 픽셀간 균일도가 향상되지만 구동 전압이 크게 올라가는 문제점이 있을 수 있다(실제, 98% 이상의 균일도를 확보하는데 필요한 저항을 CNT 에미터에 연결하면 구동 전압은 수십 V 이상 상승하게 된다).

CNT의 형상을 완벽하게 제어하는 기술이 없는 상황에서 PM-CNT 에미터의 균일도 한계를 궁극적으로 극복할 수 있는 방법은 전계 방출 전류를 능동적으로 제어하는 AM 캐소드일 것이며, 이를 위해서는 AM 캐소드의 제어 트랜지스터 특성을 보다 향상시켜야만 한다. [그림 2]는 AM-CNT FED의 픽셀간 및 픽셀내 균일도를 향상시키기 위하여 제안된 것으로, 하나의 어드레스 TFT에 다수의 드라이버 TFT가 직렬-연결되어 있으며, 각각의 드라이버 TFT의 드레인에는 별도의 CNT 에미터가 형성되어 있다. [그림 4]는 제작된 직렬-연결된 a-Si TFT의 전이(transfer) 및 출력(output) 특성으로, 높은 드레인 전압하에서도 소스-드레인 간 누설 전류가 낮을 뿐만 아니라 출력 특성에서 포화 영역



[그림 4] 직렬-연결된 a-Si TFT의 전이 및 출력 특성



[그림 5] 단일 TFT (a)와 다중-직렬 TFT (b)로 구성된 서브-픽셀 이미지와, 진공 패키징된 5-인치 AM-CNT FED의 스틸 이미지

(saturation region)이 150V 이상으로 매우 넓게 나타났다. AM 캐소드 기술에서 제어 트랜지스터의 포화 영역은 포화 영역만큼 에미터의 구동(또는 전류) 편차를 줄일 수 있는 것을 의미하므로, 개발된 픽셀 구조는 AM-CNT FED의 균일도 향상에 크게 기여할 수 있을 것으로 생각된다.

[그림 5]는 종래의 단일 TFT와 다중-직렬 연결된 TFT

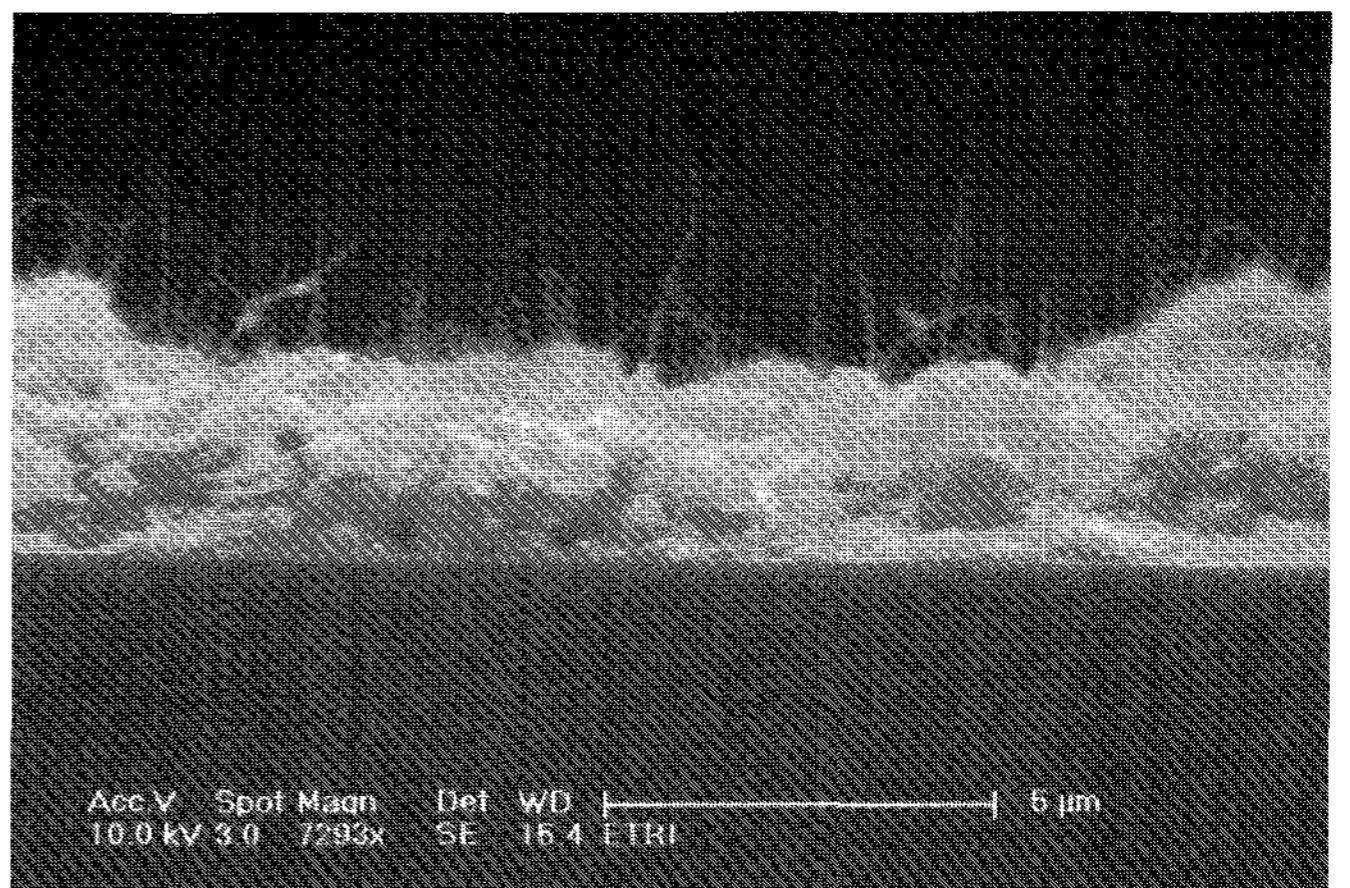
로 구성된 서브-픽셀 이미지와, 진공 패키징된 5-인치 AM-CNT FED의 구동 스틸 이미지이다. 제작된 AM-CNT FED는 15V의 스캔 전압과 7.5V의 데이터 전압으로 구동되었으며, 계조는 PWM(Pulse Width Modulation) 방법으로 이루어졌다. [그림 5]에서 볼 수 있듯이 다중-직렬 연결된 TFT에 의해 픽셀간 및 픽셀내 균일도가 크게 향상되었다.

디스플레이 패널의 안정성과 신뢰성은 상용화로 향하는 마지막 기술적 관문으로 인식되고 있으며, FED 기술은 아직까지 상용화 수준에 도달하지 못하고 있다. FED에서 안정성 문제는 주로 짧은 시간(short term)내에서 전계 방출 전류의 요동(fluctuation)에 기인하며, AM 캐소드는 전계 방출 전류를 넓은 전압 범위에서 능동적으로 제어하기 때문에 쉽게 전류 요동을 안정화시킬 수 있다<sup>[1]</sup>.

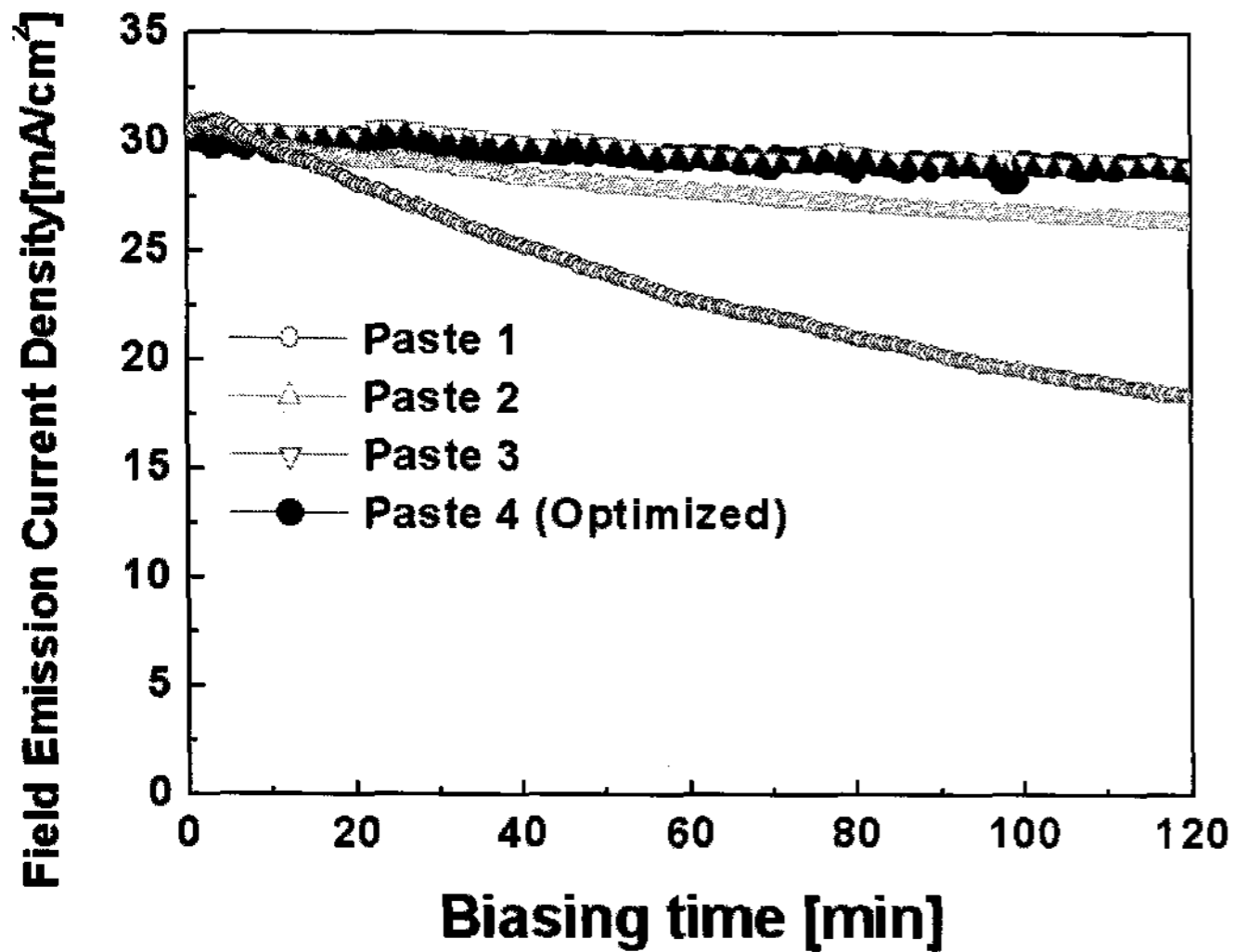
CNT-FED에서 신뢰성 문제는 주로 CNT 에미터의 탈착과 전계 방출의 열화에 기인한다. 특히, CNT는 기판 또는 캐소드 전극과의 접착력이 대단히 미약하기 때문에 전계 방출에 필요한 전기장을 인가하면 정전기력에 의해 캐소드 전극으로부터 불규칙적으로 탈착되며, 전계 방출 전류도 시간에 따라 크게 감소하여 아직까지 상용화에 필요한 수명을 달성하지 못하고 있다.

CNT 에미터의 신뢰성 문제를 해결하기 위해 나노 금속 입자(nano metal particle)를 이용한 CNT 페이스트 및 에미터 기술이 개발되고 있으며<sup>[11]</sup>, [그림 6]은 나노 금속 입자를 이용하여 접착력이 매우 향상된 CNT 에미터의 SEM 사진을 보여준다. [그림 7]은 개발된 CNT 에미터로부터 DC 전압 인가 시간에 따른 전계 방출 전류 밀도를 측정한 것이다. [그림 7]에서 볼 수 있듯이 최적화된 CNT 에미터(paste 4)의 경우, 30mA/cm<sup>2</sup>의 매우 높은 전류밀도에서도 CNT 에미터는 2시간 후 5% 이하의 열화만을 보여주고 있는데, 이것은 실제 FED 적용 시에도 상용화할 수 있는 정도의 수명을 보장한다. 더욱이, 개발된 CNT 에미터를 AM 캐소드 기술에 적용한다면 제어 트랜지스터의 포화 특성에 의해 CNT 에미터의 신뢰성은 더욱 더 향상될 것이다.

현재 평판 디스플레이 시장에서 경쟁력은 단순히 성능 뿐



[그림 6] 접착력이 향상된 CNT 에미터의 SEM 사진



[그림 7] DC 전압 인가 시간에 따른 CNT 에미터의 전계 방출 전류 밀도

만 아니라 가격이 대단히 중요한 요소로 자리잡고 있으며, LCD는 최근 성능 향상과 더불어 패널 단가를 급격히 떨어 뜨려 평판 디스플레이 시장에서 시장 지배력을 더욱 더 공고히 다지고 있다. 이에 따라 현재 개발되고 있는 FED도 성능과 가격면에서 LCD, PDP와 경쟁할 수 있는 기술을 개발하여야만 한다. AM-CNT FED는 기본적으로 저전압 구동 IC를 사용하기 때문에 구동 회로면에서 PDP와 경쟁할 수 있으며, 패널 제조에 소요되는 공정 및 부품면에서 LCD와 경쟁할 수 있는 여지가 있다.

AM-CNT FED의 모듈 제조 중에서 a-Si TFT, TMG, 스페이서가 비교적 많은 비용을 차지할 것으로 보인다. 하지만, AM-CNT FED에 필요한 a-Si TFT는 4개의 포토 마스크 공정으로 제조될 수 있을 뿐만 아니라 ITO 공정이 불필요하기 때문에 TFT-LCD에 비해 경쟁력을 가질 수 있을 것으로 보이며, TMG는 현재까지 유리 기판을 사용하여 제작하였지만 향후 금속 기판이나 후막 공정을 이용한다면 저가로 제작될 수 있을 것이다. FED에서 스페이서는 기술적으로 대단히 어려운 요구 조건을 만족시켜야 할 뿐만 아니라, 비용 또한 높게 차지하고 있다. 그러나, AM-CNT FED에서 스페이서의 열적, 전기적 요구 조건은 PMFED보다 크게 완화될 수 있으며(예를 들면, AM-CNT FED의 구동 소비전력은 PMFED에 비해 매우 낮기 때문에 패널 동작 중에 발생하는 캐소드 및 스페이서의 열적 부담을 크게 줄일 수 있음), 이에 따라 스페이서 비용에 대한 부담도 줄일 수 있을 것으로 보인다.

#### IV. 결 론

PMFED의 기술적 한계를 극복하기 위한 대안으로 AMFED 기술이 개발되고 있으며, CNT 에미터와 a-Si TFT를 기반으로 한 AM-CNT FED의 가능성을 가속 전압, 균일도, 안정성/신뢰성, 가격 측면에서 논의하였다. AM-CNT

FED는 CNT 에미터의 기술적 단점을 극복할 수 있을 뿐만 아니라, 성능 및 가격 측면에서도 기타 디스플레이와 비교하여 유리한 고지를 점할 수 있다. 물론, FED 또는 AM-CNT FED 개발에 얼마나 많은 자원이 투입되느냐가 디스플레이의 경쟁력을 결정할 것이지만!

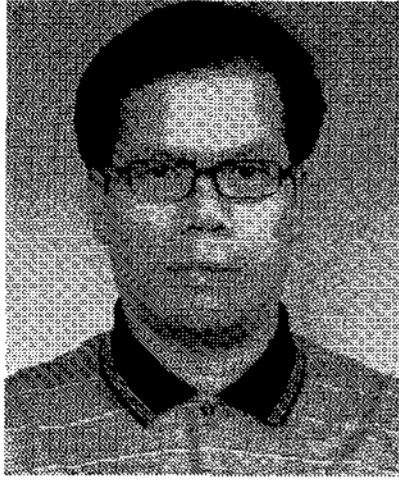
#### V. 감사의 글

AM-CNT FED 개발을 함께 수행한 한국전자통신연구원 FED 팀원 여러분께 감사를 드리며, a-Si TFT 공정을 제공해 주신 경희대학교 장진교수님, 형광체 코팅을 도와 주신 LG.Philips Displays의 이태근님과 배동성님, 진공 패키징 공정을 수행해 주신 에피온의 박재홍사장님과 최인수님에게 심심한 감사를 포함합니다.

#### 참 고 문 헌

- [1] J. Itoh, IDW 1996, Proceedings of the 3<sup>th</sup> IDW, p. 155 (1996).
- [2] J. D. Lee, D. Kim, and I. H. Kim, IDW 1997, Proceedings of the 4<sup>th</sup> IDW, p.715 (1997).
- [3] S. Kanemaru, K. Ozawa, K. Ehara, T. Hirano, and J. Itoh, 10<sup>th</sup> IVMC Tech. Dig., p.34 (1997).
- [4] Y.-H. Song, C.-S. Hwang, Y.-R. Cho, B.-C Kim, S.-D. Ahn, C.-H. Chung D.-H. Kim, H.-S. Uhm, J. H. Lee and K.-I. Cho, ETRI Journal, 24, p.290, 2002.
- [5] Y.-H. Song, K.-B Kim, C.-S. Hwang, S.-H. Lee, J.-H. Lee, I.-S. Choi, J.-H. Park, SID 2004, Digest of Technical Papers, p.360 (2004).
- [6] Y.-H. Song, K.-B. Kim, C.-S. Hwang, D.-J. Park, J. H. Lee and K.-Y. Kang, J. SID, 13, p.241, 2005.
- [7] M. Nagao, C. Yasumuro, Y. Sakamura, H. Tanoue, S. Kanemaru, J. Itoh, IDW 2005, Proceedings of the 12<sup>th</sup> IDW, p.1701 (2005).
- [8] Y.-H. Song, J.-W. Jeong, D.-J. Kim, J. H. Lee, K.-Y. Kang, SID 2006, Digest of Technical Papers, p.1849 (2006).
- [9] J.-W. Jeong, Y.-H. Song, D.-J. Kim, S.-H. Lee, J. H. Lee, and K.-Y. Kang, IDW 2005, Proceedings of the 12<sup>th</sup> IDW, p.1683 (2005).
- [10] J. Dijon, A. Fournier, T.G. De Monsabert, M. Levis, R. Meyer, C. Bridoux, B. Montmayeul, D. Sarrasin, SID 2006, Digest of Technical Papers, p.1744 (2006).
- [11] D.-J. Kim, Y.-H. Song, J.-W. Jeong, J. H. Lee, K.-Y. Kang, SID 2006, Digest of Technical Papers, p.663 (2006).

## 저 자 소 개



임연구원

### 송 윤 호

현 한국전자통신연구원 책임연구원, 팀장, 경북대학교 물리학과 학사, KAIST, 반도체물리학 이학 석사, KAIST, 반도체물리학 이학 박사, 1991. 3.~1998. 2 : 한국전자통신연구원 선임연구원, 1998. 3.~현재 : 한국전자통신연구원 책