

PIN 다이오드를 사용한 Ku 대역 평판형 리미터의 설계 및 제작

Design and Fabrication of a Ku-Band Planar Limiter with PIN Diodes

김탁영 · 양승식* · 염경환* · 공덕규** · 김소수**

Tak-Young Kim · Seong-Sik Yang* · Kyung-Whan Yeom* · Deok-Kyu Kong** · So-Su Kim**

요 약

본 논문에서는 기존의 실험 위주의 설계 기법보다는 해석적 방법에 의하여 3단으로 구성된 평판형 리미터 설계 및 제작 기법을 제시하였다. 해석 결과 PIN 다이오드로 구성된 리미터에 고출력의 RF 입력이 인가될 경우 두 가지 형태의 누설 전력이 발생하며 이의 PIN 다이오드 파라미터와 연관성을 설명하였다. 설계된 리미터 회로는 1단과 2단은 PIN diode로 구성되며 3단은 Schottky 다이오드를 사용 구성하였다. 이를 통하여 제작된 리미터 회로는 약신호시 삽입 손실 0.8 dB, 20 W RF 입력시 첨두 누설 전력(spike leakage) 12 dBm, 정상 누설 전력 12 dBm의 사양을 보여주고 있다.

Abstract

In this paper, the analytic design technique for a planar PIN diode limiter is presented rather than the conventional design heavily relying on the experiments. The novel analysis for the PIN diode limiter shows the leakage is composed of two kinds of leakages and the relationship between the leakages and the PIN diode parameters. The designed limiter consists of 3 stages; the front two stages with two PIN diodes and the final stage with Schottky diode pair. The fabricated limiter shows the insertion loss of 0.8 dB for the small input power, spike leakage of 12 Bm, flat leakage of 12 dBm for the 20 W RF power.

Key words : PIN Diode, Limiter, Spike Leakage, Flat Leakage

I. 서 론

그림 1과 같은 송신과 수신 주파수가 같은 시스템 특히 레이더(radar)에서는, 송신시 고출력 증폭기의 출력은 안테나를 통하여 방사되게 되는데, 이 때 안테나로부터 일부 출력은 방사되지 않고 circulator를 통하여 수신부로 되돌아오게 된다. 이 반사된 출력이 직접 수신부에 입력될 경우 출력 정도에 따라서는 수신부를 손상시키게 되어, 이를 보호하기 위

하여 리미터(limiter)가 필요하게 된다. 따라서 리미터는 대출력 송신시 반사 전력이 수신부를 손상시키지 않게 반사 전력을 감소시켜야 하며, 반면 약신호 입력 시에는 이것의 감소는 전체 수신기의 잡음 지수를 열화시키기 때문에, 이의 삽입 손실은 최소화 되어 가능한 수신부의 감도(sensitivity)를 열화시키지 않아야 할 것이다.

이러한 리미터의 구성에 능동 소자로는 주로 PIN 다이오드가 널리 이용되고 있다. 구성 방식은 크게

「본 연구는 한국과학기술원 전파탐지특화연구센터를 통한 국방과학연구소의 연구비 지원으로 수행되었습니다.」

SK Telecom 중부네트워크본부(SK Telecom Central Region Network Division)

*충남대학교 전파공학과(Department of Radio Science and Engineering, Chungnam National University)

**국방과학연구소(Agency for Defense Development)

· 논문 번호 : 20060310-021

· 수정완료일자 : 2006년 4월 18일

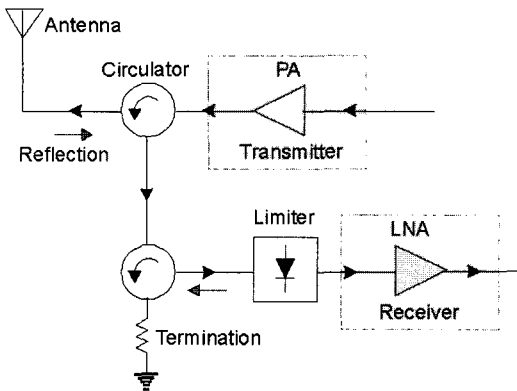


그림 1. 리미터를 사용한 송수신 시스템의 구성도
 Fig. 1. Block diagram of the transmit and receiving system using limiter.

두 가지 형태로 도파관을 이용한 구성 방식과 마이크로스트립 선로를 이용한 평판형 구성 형태가 있다. 도파관형 리미터는 초고전력 시스템에서 사용이 가능하지만, 크기가 크고 무게가 많이 나가며 좁은 대역폭을 갖는 것이 단점이며, 평판형으로 구성된 수신부와 연결이 용이하지 않다. 대부분의 수신부는 평판형으로 구성되기 때문에 평판형 리미터는 수신부 집적 회로와 함께 구성될 수 있는 장점을 가지고 있다^[1].

그러나 이러한 PIN 다이오드 리미터는 저주파에서 사용되는 clipper 형식의 리미터와는 근본적으로 다르게 된다^[2]. 따라서 회로의 설계는 본질적으로 PIN 다이오드 대신호 모델을 필요로 하게 된다. 반면 PIN 다이오드의 대신호 모델은 현재까지 회로의 시뮬레이션에 사용할 수 있도록 잘 정립되어 있지 않다. 가변 감쇄기나 위상 천이기에 사용되는 PIN 다이오드의 경우, DC bias에 따른 PIN 다이오드의 저항 변화와, 역 bias시 발생하는 커패시턴스를 사용 설계하게 된다^[1]. 이 경우 PIN 다이오드의 대신호 모델은 필요하지 않으며 주어진 bias에 따른 등가 회로를 사용하여 용이하게 설계될 수 있다. 반면 PIN 다이오드 대신호 모델의 경우 편미분 방정식으로 표현되는 반도체 내의 반송자의 관계식^[3]을 직접 이용하여 모델을 구성한 것과, PN 다이오드의 등가 회로에 수정을 가한 것이 있는데^{[4]~[6]} 전자의 경우 ADS 같은 사용 S/W tool에 적용하기가 어려우며, 또한 PN 다이오드에 수정을 가한 등가 회로도 역시

PIN 다이오드를 정확하게 묘사하는지 검증되지 않아 실제적으로는 리미터 설계에 사용되기 어려우며, 대부분 제조업체도 이러한 대신호 모델은 제공하고 있지 않다.

지금까지 수행된 리미터의 설계는 이러한 PIN 다이오드를 ON 되었을 때 순방향 저항으로 고려하고 이로 인한 감쇠를 이용하여 설계한 것과^{[7],[8]}, 비교적 리미터 회로의 구성이 간단하기 때문에 제작된 소자에 대한 입출력 특성을 측정된 뒤, 이를 cascade하여 구성한 것이 대부분이다^{[9]~[11]}. 또 다른 연구로는 리미터에서 발생하는 침투 누설 전력 현상^{[12],[13]}이나 리미터 회로의 현상에 관한 것이 있다^[14]. 이러한 방법은 복잡한 해석없이 리미터 회로를 구성할 수 있는 장점이 있지만, 제시된 사양에 맞는 리미터를 설계하기 위하여 반복적으로 수행해야 하는 불편함이 있다.

따라서 본 논문에서는 지금까지 수행되지 않았던 회로적 관점에서 리미터를 해석하고, 회로 해석을 기초로 제시된 설계 조건에 맞는 리미터를 설계하는 방법을 제시하고자 한다. 본 논문의 회로 해석 결과 PIN 다이오드는 리미터로 동작 시 순방향 저항만으로 고려되기 어려우며 두 가지 누설 전력의 형태가 있음을 보였다. 또한 이들이 PIN 다이오드 파라미터와 관련성을 보였다. 이에 사용한 PIN 다이오드 등가 모델로는, PIN 다이오드를 charge storage 효과 고려한 PN 다이오드로 고려하고, (Intrinsic)-영역의 저항을 상수 저항으로 가정, 정성적인 해석을 수행하였다. 이를 바탕으로 리미터의 주요 성능 지표를 시뮬레이션하고 설계하였다. 설계된 결과를 이용 평판형 리미터를 제작하였으며, 조립시 발생한 불균일성을 조정한 결과 제시된 사양을 달성할 수 있었다.

II. 리미터 회로의 설계 및 제작

2-1 리미터의 사양

그림 1과 같은 리미터에 그림 2와 같은 펄스 RF 입력이 인가될 경우, 일반적인 리미터의 출력은 그림 2와 같은 출력이 나타나게 된다. 즉 펄스 RF 입력에 대하여 리미터의 출력은 침투 누설 전력(spike leakage)을 보인 후 정상 누설 전력(flat leakage)을 보

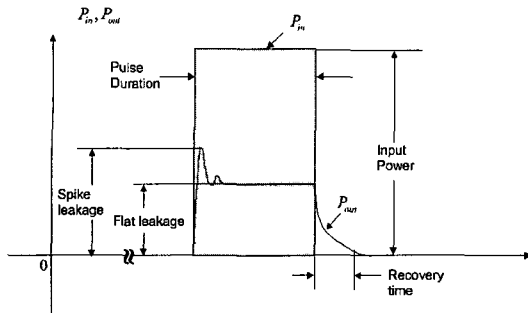


그림 2. 리미터의 출력 파형
Fig. 2. The output of limiter.

이게 되고 이후 펄스 RF 입력이 사라진 후에도 순간적으로 리미터의 출력은 사라지지 않고 존재하게 되는데, 이것이 고출력 입력시 리미터를 규정하는 사양이 되게 된다. 반면 입력이 없을 경우, 수신된 전력은 리미터를 통과하면서 손실을 겪게 된다. 이러한 손실은 잡음으로 나타나기 때문에 수신기 성능을 열화시키는 것이 될 것이다. 이러한 삽입 손실은 동축 연결시 커넥터에 의한 것과 리미터 자체에 의한 것이 있게 되는데, 수신부와 집적 회로로 같이 구성되는 경우 이러한 동축 커넥터에 의한 것은 나타나지 않기 때문에, 본 논문에서 삽입 손실은 커넥터를 제외한 손실로 규정하고 있다.

시스템으로부터 도출된 이와 같은 사양을 표 1에 요약하였다. 참고로 본 논문에 사용되는 리미터의 경우 균수용으로 사용되기 때문에 주파수의 명시는 삭제하였다.

표 1. 리미터의 사양
Table 1. The specification of the limiter.

구분	상세 구분	사양
입력	입력 전력	20 W
	PRF	HPRF1~HPRF2 kHz
	Pulse 폭	600 nsec typ.
리미터 사양	대역폭	Ku 대역 $f_c \pm BW$ MHz
	삽입 손실	1.2 dB 이하
	VSWR	2:1
	첨두 누설 전력	70 mW (18.45 dBm) 이하
	정상 누설 전력	15 mW (11.76 dBm) 이하
	Recovery time	150 nsec 이하

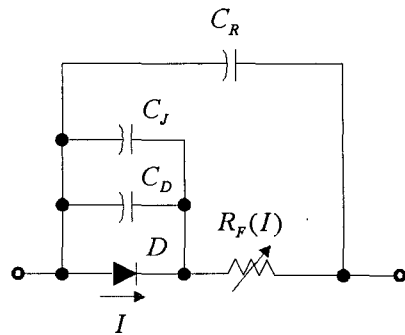


그림 3. PIN 다이오드의 등가 회로
Fig. 3. The equivalent circuit of PIN diode.

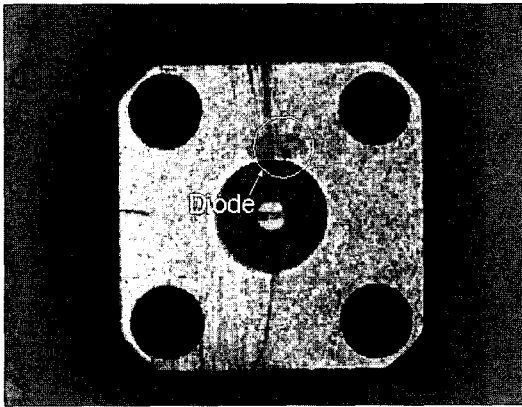
2-2 PIN 다이오드 등가회로 및 평가

PIN 다이오드는 PN 다이오드에 I-영역을 삽입하여 구성된 다이오드로서 그림 3과 같이 등가 회로로 나타낼 수 있다. 여기서 I-영역의 저항은 그림 3의 R_F 로 나타내었으며 이것의 저항 값은 다이오드에 흐르는 DC 전류에 따라 변하게 된다. 또한 이는 접촉 저항을 포함하는 값이 된다. I-영역의 커패시턴스는 C_R 로 나타내었으며, 다이오드와 병렬로 연결되어 있는 C_J 및 C_D 는 각각 공핍 영역 및 diffusion 커패시턴스를 나타낸다.

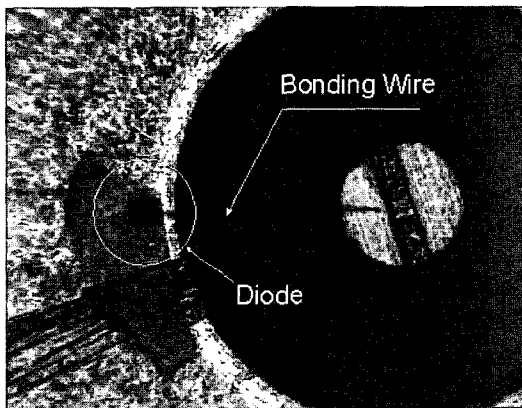
이와 같은 PIN 다이오드에서 주로 RF 동작에 영향을 주는 것으로는 I-영역의 커패시턴스(C_R) 및 I-영역의 저항(R_F) 및 PIN 다이오드의 transit time 이 될 것이다.

선정된 Microsemi 사의 GC4731 PIN 다이오드^[15]에 대하여 이들 값을 측정을 통해 조사하였다. C_R 을 측정하기 위하여 그림 4와 같이 SMA 커넥터의 면에 PIN 다이오드를 붙이고 본딩 와이어로 연결한 뒤 회로망 분석기(network analyzer)의 측정 기준면 이동을 이용하여 커넥터 절단면으로 기준선을 이동시키고 측정하였다. 이 때 본딩 와이어로 인해 측정된 임피던스에는 인덕턴스 성분이 존재하지만 공진시 이 값을 추출하여 제거한 뒤 C_R 을 측정하였다.

이와 같이 측정된 커패시턴스는 0.126~0.147 pF의 범위의 값이 얻어졌으며, 이것은 제조사 자료에서 얻은 값 0.12 pF와 근접하여 신뢰할 수 있는 결과임을 알 수 있다. 또한 이 커패시턴스는 역방향 DC 전압을 바꾸어도 변화가 관찰되지 않으며, 상



(a)



(b)

그림 4. (a) SMA 커넥터에 부착된 PIN 다이오드, (b) 확대 사진
Fig. 4. (a) The PIN diode attached on the SMA connector flange, (b) The magnified view.

수 값으로 고려할 수 있는 것을 알 수 있었다.

R_F 를 측정하기 위해서 그림 5와 같이 다이오드를 금속체로 된 jig에 직접 부착하고, 유전율이 2.5이며 두께가 0.5 mm인 테플론 기판의 마이크로스트립 선로를 통하여 연결하였다. 이때 순방향 DC bias에서 C_R 효과를 무시할 경우 삽입 손실과 R_F 의 관계는 식 (1)과 같게 된다.

$$R_F = \frac{1}{2} \cdot \frac{Z_0}{10^{\frac{|S_{21}|}{20}} - 1} \quad (1)$$

여기서 Z_0 는 특성 임피던스를 나타낸다. 순방향시 삽입 손실을 측정된 결과 8 mA의 DC 전류에서 계측된 삽입 손실은 23.4 dB이었으며, 식 (1)을 통하여

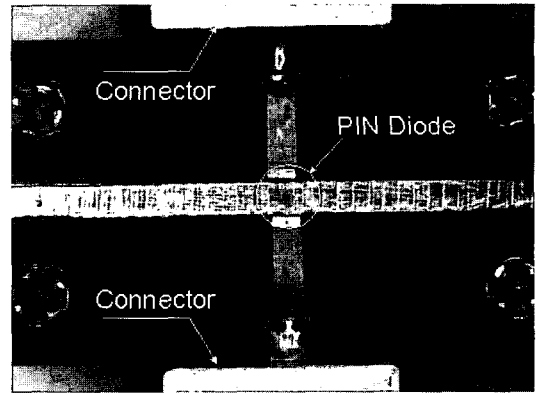


그림 5. R_F 측정을 위해 조립된 jig 사진
Fig. 5. The photograph of the jig for the measurement of R_F .

R_F 값은 1.8 Ω 을 얻었다. 또한 주목할 것은 이 값은 전류에 따라 변하게 된다. 그리고 이 값은 접촉 저항을 포함한 값이 될 것이다.

일반적으로 PIN 다이오드의 transit time(τ) 측정은 다이오드에 인가된 전압을 순방향 전압 $V_F = 4.56$ V에서 순간적으로 역방향 전압 $V_R = -4.9$ V로 바꾼 뒤, 이에 따른 50 Ω 양단의 전압을 측정하여 얻어진 다이오드의 전류 응답으로 측정을 통해서 얻어낼 수 있다^[1]. 그러나 본 논문에서 사용되는 PIN 다이오드의 transit time은 상당히 짧아서, 함수 발생기의 fall-time의 영향이 나타나게 된다. 최신의 Agilent 33250B 함수 발생기의 fall-time은 약 10 nsec 정도가 되는데, 측정하고자 하는 PIN 다이오드의 transit time이 이에 비견할 정도여서, 그 결과 그림 6과 같이 뚜렷하게 다이오드의 storage-time이 관측

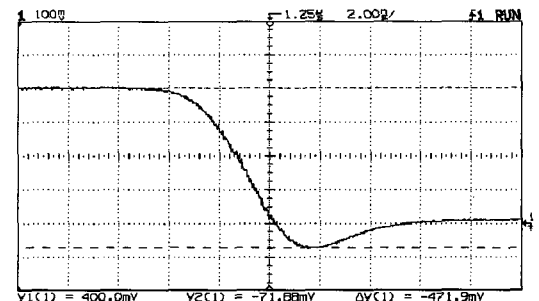


그림 6. 측정된 PIN 다이오드 전류 출력 파형
Fig. 6. The measured waveform of the PIN diode current.

되지 않는다. 따라서 ADS를 사용하여 그림 6의 파형 값을 주는 transit time을 결정하였다. 이와 같이 얻은 값은 $\tau=1.07$ nsec(자료에는 5 nsec typ.로 되어 있음) 값을 얻을 수 있었다.

이상과 같이 PIN 다이오드의 주요 RF 파라미터를 측정하였으며 이 측정된 결과 값을 이용, 전류에 따라 변하는 PIN 다이오드의 저항대신에, 측정에서 얻어진 상수 R_F 값을 접촉 저항 값으로 갖는 PN 다이오드로 대체하여 설계하였다.

2.3 리미터 회로의 정성적 해석

리미터에서의 PIN 다이오드 동작은 보통의 transit time이 0인 리미터와는 크게 다르게 된다. 그림 7(a)에는 리미터의 동작을 정성적으로 보기 위한 1 단 리미터 회로를 보였다. 여기서 PIN 다이오드 D는 입력 신호를 제한하는 역할을 하며, 인덕터는 리미터 동작시 발생된 DC 전류의 통로로 사용된다. 그리고 커패시터들은 발생된 DC 전압이 임출력으로 흘러나오는 것을 제거하기 위한 DC 블록 커패시터이다. 또한 R은 전원과 부하 저항을 나타내며 50 ohm의 값을 갖는다. 따라서 20 W RF 전력은 $I_p=1.8$ A에 해당하게 된다. 이것의 RF에서의 동

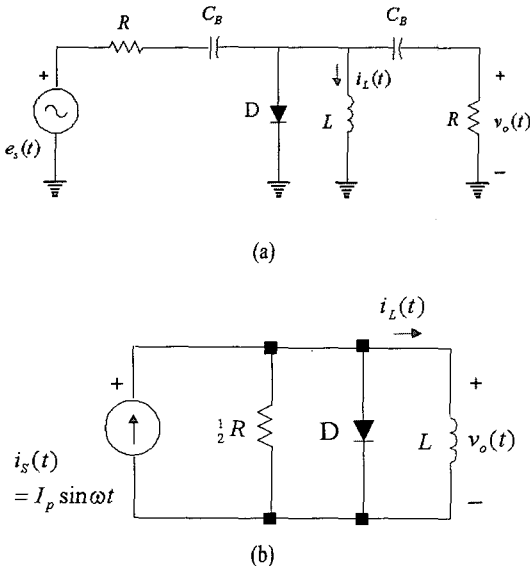


그림 7. (a) 전형적인 1단 리미터 회로, (b) 등가 회로
Fig. 7. (a) Typical single stage limiter, (b) the equivalent circuit.

작을 보기 위해서 그림 7(b)는 RF에서의 등가 회로를 나타내며, 이 때 전원 부는 Norton 등가로 바꾸어 나타내었다.

이때 그림 8과 같이 입력 정현파의 정의 반주기에는 PIN 다이오드가 ON이 되고 다이오드 전압은 이것의 직렬 저항을 무시할 경우 0.6~0.7 V의 전압이 나타나게 될 것이다. 또한 대부분의 입력 전류는 다이오드에 흐르게 되며 미소한 일부의 전류는 인덕터와 저항에 흐르게 된다. 따라서 반주기 동안 축적된 전하는 근사적으로 다음과 같이 얻어진다.

$$Q \cong \int_0^{\frac{T}{2}} i(t) dt = \frac{2I_p}{\omega} \quad (2)$$

이와 같이 축적된 전하량은 정적인 상태에서 식 (3)과 같은 DC 전류에 해당하게 된다.

$$I_{DC} = \frac{Q}{\tau} \quad (3)$$

따라서 식 (3)으로 결정된 DC 전류에서의 PIN 다이오드의 저항 값이 R_F 이므로 이에 해당하는 정현파 전압이 DC 전압에 추가되어 나타날 것이다.

정현파의 음의 반주기에는 이와 같이 축적된 전하가 순간적으로 소멸되지 못하여 상당 시간 다이오드는 ON된 상태에 있게 된다. 일반적으로 PIN 다이오드의 transit time은 RF 주기에 비해 매우 커서 소멸되는 전하는 없다고 가정할 수 있다. 그러나 정의 반주기에 다이오드에 공급된 전하는 음의 반주기에 전원 쪽으로 추출되는데, 공급 시보다는 추출 시에 더 많은 전하가 단위시간당 추출되므로 짧은 구간 동안 그림 8과 같이 다이오드는 OFF가 된다. 따라서 축적된 전하가 모두 추출되기까지 다이오드에는 저항 값 R_F 에 의해 결정된 정현파 전압은 그대로 양단에 나타나게 된다. 그리고 축적된 전하가 모두 추출되었을 경우 다이오드는 OFF가 되고, 이때 다이오드는 C_R 값을 갖는 커패시터로 고려될 수 있을 것이다. 이러한 커패시턴스와 함께 그림 7의 회로는 RLC 병렬 회로가 되며 이것에 의해 그림 8과 같이 급격한 부의 전압을 갖는 펄스 전압이 보이게 될 것이다.

결론적으로 PIN 다이오드를 통한 누설 전력은 순방향시 저항 R_F 에 의한 정현파 누설 전력과 역방향

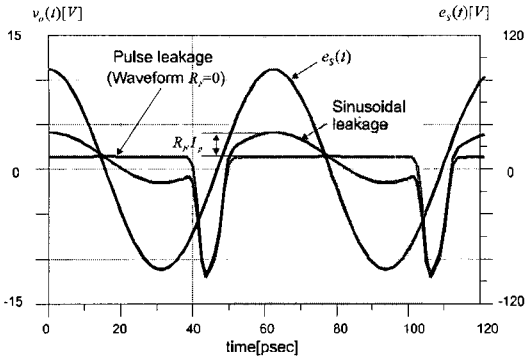


그림 8. 1단 리미터의 출력 전압 파형
Fig. 8. The output voltage of the single stage limiter.

시 C_R 에 의한 펄스 누설 전력($R_F=0$ 로 두고 계산된 전력)으로 볼 수 있다. 따라서 입력 전력이 커질 경우 반주기 동안 식 (2)와 같이 축적된 전하는 증가하며, 결과적으로 이것에 의한 DC 전류가 커져서, 이로 발생하는 PIN 다이오드의 저항 R_F 는 더욱 작아지게 된다. 따라서 입력 전력이 커지면 입력 전력에 대한 정현파 누설 전력 비중은 점차 감소하게 된다. 반면 펄스 누설 전력은 입력 전력에 비례하며 C_R 는 상수이어서 입력 전력에 따라 커져서 그림 9(b)와 같이 적정 입력 전력을 넘어서면 주된 누설 전력이 되게 된다. 그림 9(a)에는 입력 전력에 대한 누설 전력을 보였으며 $R_F=0$ 로 두고 계산된 펄스 누설 전력을 보였다. 그림 9(b)에는 펄스 누설 전력과 정현파 누설 전력을 보였으며 입력 전력이 커질수록 펄스 누설 전력이 주된 것임을 알 수 있다.

일반적으로 주어진 입력 전력에서 PIN 다이오드의 transit time τ 가 작은 것을 선택하면 정현파 누설 전력은 원하는 수준으로 적게 만들 수 있으나, 펄스 누설 전력은 다이오드의 C_R 의 크기가 큰 것을 선택하여 작은 누설 전력을 얻을 수 있다. 그러나 이러한 C_R 값의 선정은 소신호 입력시 리미터의 삽입 손실의 증가를 가져오게 된다. 이것보다는 그림 10의 2단 리미터를 사용하여 줄이는 것이 효율적인 방법이 되게 된다.

그림 10의 2단 리미터의 경우에는 1단 리미터 회로에 두 개의 PIN 다이오드 사이에 1/4 파장 전송선이 추가된 형태를 가지게 된다. 2단 리미터의 회로 해석은 다이오드와 전송선 간의 다중 반사와 반사

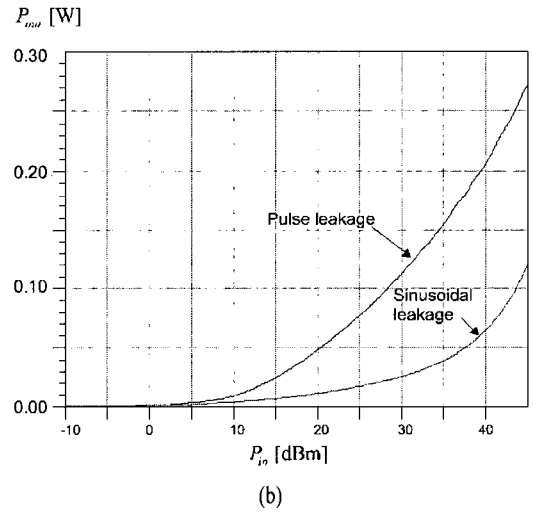
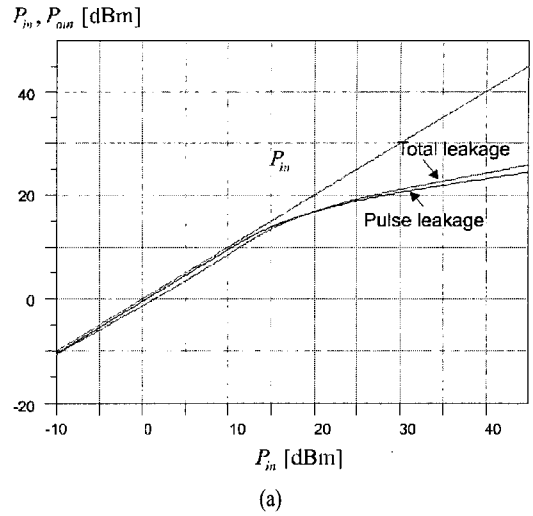


그림 9. (a) 입력전력에 대한 누설 전력, (b) 펄스 및 정현파 누설 전력
Fig. 9. (a) The total leakage power vs the input power, (b) The pulse and the sinusoidal leakage powers.

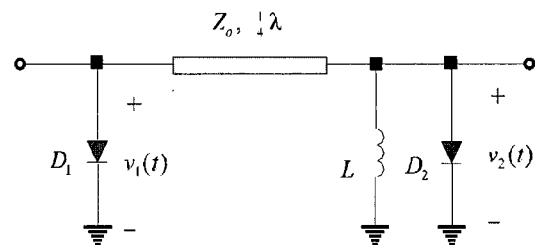


그림 10. 전형적인 2단 리미터 회로
Fig. 10. Typical two-stage limiter circuit.

된 신호의 전달에 기인하는 신호의 왜곡 때문에 복잡하여 해석적인 접근은 어렵게 된다. 그러나 이의 영향은 사실상 두 번째 단 PIN 다이오드의 선택이 제한적이기 때문에 근사적으로 이의 동작을 설명할 수 있다. 우선 두 번째 단의 PIN diode의 transit time은 1단보다 작아야 할 것이다. 즉 1단을 통하여 인가되는 정현파 누설 전력을 감소시키기 위해서는 DC 전류를 크게 하여 R_F 를 감소시켜야 할 것이다. 그러나 공급되는 전하의 양은 둘째단의 경우 훨씬 적기 때문에 등가 DC 전류를 키우기 위해서는 PIN 다이오드의 transit time은 첫째 단보다 작아야 할 것이다. 또한 첫째 단의 누설 전력은 입력 전력이 클 경우 대부분 펄스 누설 전력으로 고려할 수 있는데, 정현파와 누설 전력의 감소는 전체 누설 전력의 감소에 효과가 거의 없게 된다. 따라서 둘째 단의 경우 정현파와 누설 전력의 감소보다는 펄스 누설 전력의 감소가 목적이라고 볼 수 있다.

펄스 누설 전력의 감소에는 C_R 이 큰 두 번째 단을 사용하면 되지만, 큰 C_R 은 삽입 손실의 증가를 가져오기 때문에 문제가 된다. 그러나 펄스의 경우 이의 스펙트럼은 매우 높은 고조파까지 걸쳐 있어 작은 C_R 을 삽입하여도 많은 고조파가 출력에 전달되지 않아 상당한 효과를 볼 수 있게 된다. 따라서 두 번째 단 다이오드는 첫째 단보다 transit time이 작아야 하며 또한 C_R 값은 삽입 손실을 고려하면 첫째 단과 같거나 다소 작은 것을 선택하여야 할 것이다. 이와 같은 조건에서는 두 번째 단은 첫째 단과 동일한 다이오드이거나, 또는 transit time만 작은 것을 선정하는 것이 삽입 손실 면에서 최적의 상황이 될 것이다.

이와 같이 선정할 경우 1단의 출력 파형에 2단의 영향은 거의 없게 되고 궁극적으로는 2단으로 전달된 펄스 누설 전력을 구성하는 다수의 고조파 부분을 제거 펄스 누설 전력을 감소시키게 된다. 여기서 1/4 파장이 선회되는 것은 부하에 추가된 C_R 에 의해 반사된 전압은 1단에 되돌아 올 경우 극성이 반대인 전압이 되어 1단에 나타나는 peak 전압을 다소 감소시키기 때문이다. 또한 이것은 그림 11과 같이 peak 전압이 다소 감소되어 나타나게 된다. 그림 11에는 2단 리미터에 1단 및 2단에 동일 PIN 다이오

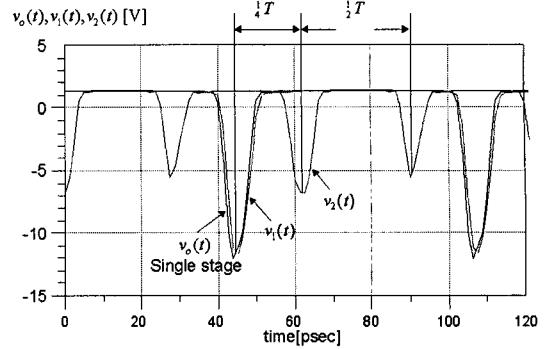


그림 11. 2단 리미터의 출력 파형과 1단 리미터의 파형 비교

Fig. 11. The comparison of the voltage waveforms of the single and the two stage limiters.

드를 사용했을 경우 정상상태 시 이를 통해 나타나는 1단 및 2단 전압과 1단 리미터의 출력 파형을 비교하였다.

그림 11에서 2단 리미터의 첫째 단 출력 파형 $v_1(t)$ 는 1단 리미터의 출력 파형과 근접한 것을 볼 수 있다. 또한 첨두치는 다소 1단 리미터의 그것에 비해 작은 것을 알 수 있다. 반면 2단 리미터의 둘째 단 출력 파형 $v_2(t)$ 는 첨두치로 볼 때 2단 리미터의 첫째 단의 첨두치에 비해 대폭 작아진 것을 볼 수 있으며, 또한 전송선의 지연 효과로 1/4 주기가 지연된 것을 알 수 있다. 또한 $v_2(t)$ 의 다음에 나오는 첨두치는 $v_2(t)$ 가 일부 반사되어 첫째 단에 재 반사되고 되돌아 온 것으로, 반주기 지연된 것을 알 수 있다. 결론적으로 둘째 단을 통해 감소된 펄스 누설 전력이 출력에 나타나는 것을 알 수 있다.

2.4 리미터 회로 시뮬레이션

정량적으로 2단 리미터 회로가 주어진 사양을 만족하는지 조사하기 위하여 첫째 단 및 둘째 단에 동일 PIN 다이오드로 구성하여 첨두 누설 전력 및 정상 누설 전력에 대해 시뮬레이션해 보았다. 이와 같은 2단 리미터 회로의 시뮬레이션 결과 첨두 누설 전력 22.2 dBm, 정상 누설 전력 21.7 dBm으로 이는 주어진 사양에 크게 벗어남을 알 수 있었다. 이러한 누설 전력을 보다 감소시키기 위하여 2단 리미터의 첨두 출력 역전압보다 항복 전압이 높은

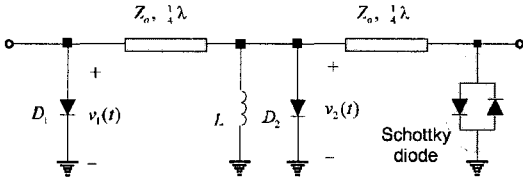


그림 12. 3단 리미터 회로
Fig. 12. Three-stage limiter circuit.

병렬 Schottky 다이오드 M/A-COM사의 MA4E1318^[16]을 추가하여 설계하였다. Schottky 다이오드가 추가된 3단 리미터 회로는 그림 12와 같다. Schottky 다이오드 경우 transit time이 0인 이상적 다이오드와 가깝게 되며 이를 통해 대폭 누설 전력을 감소시킬 수 있게 된다. 이에 대하여 다시 삽입 손실 첨두 누설 전력 및 정상 누설 전력 등을 시뮬레이션 하였다.

삽입 손실의 경우 다이오드의 와이어 본딩시 그림 13과 같이 본딩 와이어의 인덕턴스가 발생하게 되는데, 이는 역방향시 발생하는 다이오드의 커패시턴스와 함께 삽입 손실을 주게 된다. 따라서 이의 삽입 손실을 최소화하기 위하여 본딩 와이어의 인덕턴스가 전송선의 특성 임피던스와 같아지도록 식 (4)와 같이 설정하였다.

$$Z_o = \sqrt{\frac{2L_b}{C_R}} \quad (4)$$

이와 같이 설정할 경우, 전송선에 병렬로 추가된 다이오드들은 전송선과 같이 작용하여, 이로 인한 삽입 손실을 최소화 할 수 있었다. 이의 구현은 PIN 다이오드와 본딩 점까지의 거리를 조정하여 달성할 수 있었다. 이와 같은 조정을 통해 S-parameter 시뮬레이션 결과 설계 주파수 Ku 대역에서 약 -0.75 dB

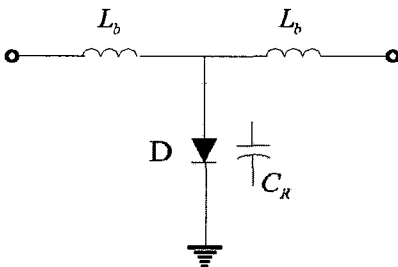


그림 13. PIN 다이오드 CR의 정합
Fig. 13. The matching of the PIN diode CR.

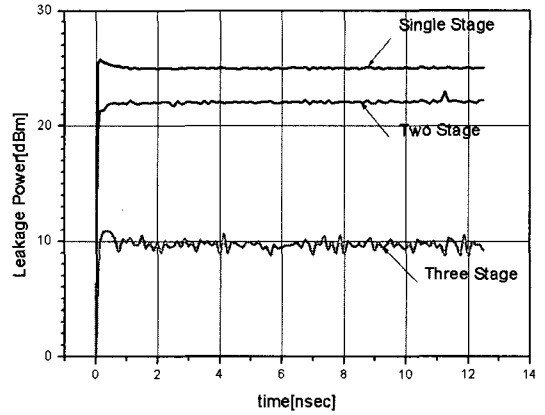


그림 14. 첨두 누설 전력 시뮬레이션 결과
Fig. 14. The simulation result of the spike leakage power.

의 삽입 손실을 주는 것을 알 수 있다.

삽입 손실이 최적화로 조정된 회로에 대하여 Harmonic Balance 시뮬레이션을 통해 정상 누설 전력을 확인하였다. 시뮬레이션에서 얻어진 발생된 고조파의 출력을 합산한 결과 9.5 dBm으로 설계 조건을 만족하는 결과를 얻었다.

또한 과도 상태에서 발생하는 첨두 누설 전력을 계산하기 위하여 transient 시뮬레이션을 수행하였다. 이 때 과도 상태에서 발생하는 누설 전력을 계산하기 위하여 시뮬레이션 결과를 이용 아래와 같은 식을 사용 매 주기마다의 누설 전력을 계산함으로써 이 값을 계산하였다.

$$P = \frac{1}{T} \int_{T_s}^{T_s+T} \frac{v_{out}^2}{Z_o} dt \quad (5)$$

계산된 결과는 그림 14에 나타내었다. 결과에서 확인할 수 있듯이 단수의 증가와 함께 누설 전력은 감소하며, 3단 리미터를 통해 출력된 첨두 누설 전력은 10.53 dBm으로 설계 조건을 만족하였다.

2-5 리미터 제작 및 측정

그림 15에는 제작된 모듈의 사진을 보였다. 크기는 14.4×17×14.4 mm를 가지며, 사용된 기판은 10 mil 두께의 세라믹 기판을 사용하였다. 세라믹 기판은 제작된 금 도금된 KOVAR 캐리어 위에 장착되었다. 하우징은 알루미늄으로 가공되었으며, 니켈

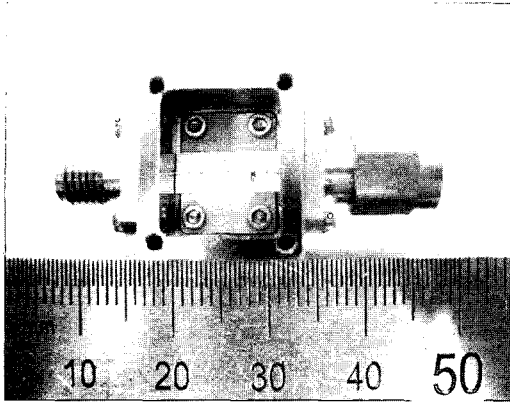


그림 15. 제작된 리미터 모듈 사진
Fig. 15. The photograph of the fabricated limiter module.

도금으로 처리되었다.

제작된 리미터의 삽입 손실은 회로망 분석기를 이용하여 측정하였다. 여기에서 ADS2001A를 이용한 삽입 손실 시뮬레이션 결과는 커넥터의 손실을 제외한 리미터 회로 자체만의 손실을 시뮬레이션한 결과이므로, 제작된 50 ohm 선로를 이용하여 커넥터의 손실을 측정하였다. 측정된 결과는 약 0.6 dB였다. 제작된 리미터는 본딩으로 인해 다소의 조정이 필요하였다. 예측된 것보다 작은 본딩 와이어 인덕턴스가 나타나 전송선의 특성 임피던스를 낮추기 위하여 전송선에 리본을 덧붙여 임피던스를 낮추는 방법으로 조정하였다. 그림 16은 조정된 리미터의 삽입 손실을 나타내며 약 -1.4 dB의 삽입

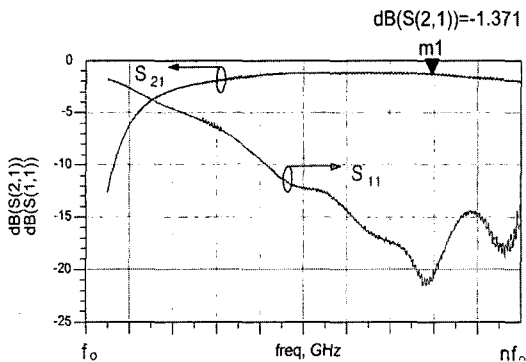


그림 16. 측정된 리미터 삽입 손실(커넥터 포함)
Fig. 16. The insertion loss of the limiter(including connectors).

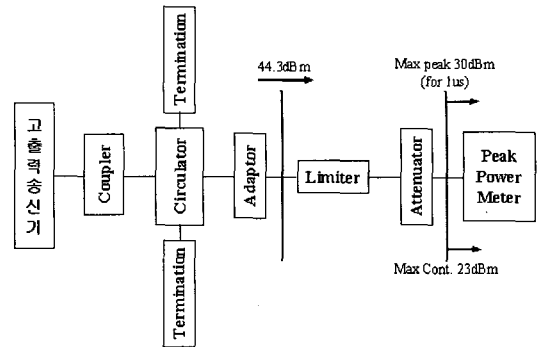


그림 17. 누설 전력을 측정하기 위한 구성도
Fig. 17. The measurement set-up for the leakage power.

손실을 갖는 것을 알 수 있다. 따라서 리미터 자체만으로는 약 0.8 dB의 삽입 손실로 시뮬레이션 결과와 유사함을 알 수 있다.

이와 같이 조정된 리미터의 침투 누설 전력과 정상 누설 전력 그리고 recovery time을 측정하기 위하여 그림 17과 같이 측정 장치를 구성하였다. 고출력 송신기는 klystron으로 구성된 RF 신호원이며, 이는 전력의 크기를 조정할 수 없어 그림과 같이 방향성 결합기를 사용 43 dBm이 되도록 전력을 조정하였다. 또한 고출력에서 동작하는 가변 감쇠기가 없어 정확히 실험 조건을 맞추지는 못하였다. 그리고 이의 사진은 그림 18에 보였다. 사용된 circulator는 4-port circulator로서 termination이 두 개 필요하였다. 이 때 측정된 RF 입력 전력은 44.4 dBm이 리미터

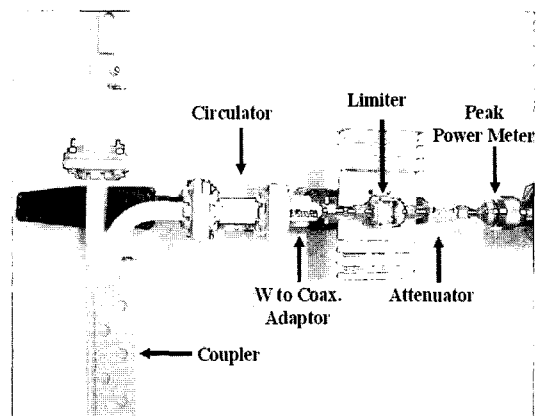


그림 18. 누설 전력 측정을 위한 구성 사진
Fig. 18. The photograph of the measurement set-up.

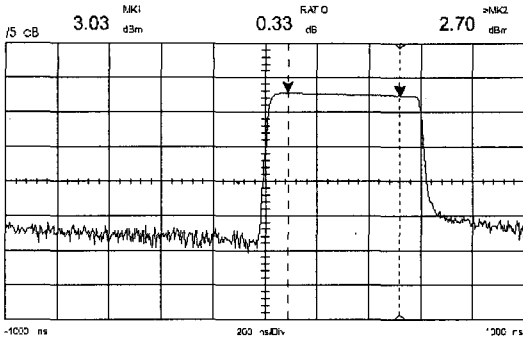


그림 19. Peak power meter로 측정된 누설 전력
Fig. 19. The leakage power measured with the peak power meter.

직전에서 계측되었다. 또한 peak power meter를 보호하기 위하여 리미터 출력 뒤에 2 W까지 사용 가능한 10 dB 고정 감쇄기(회로망 분석기로 측정할 감쇄 값은 약 10.5 dB이었다)를 삽입하였다.

또한 입력이 설계 기준인 43 dBm보다 높기 때문에 이 값도 보정을 해 줘야 하는데 입력 신호에 따라 출력이 선형적으로 변화한다고 가정하고 출력 값을 보정해 주었다.

이와 같은 방법으로 2개의 시제를 측정할 결과 거의 비슷한 누설 전력을 나타내었다. 그림 19에는 peak power meter의 출력 결과를 보여주고 있으며, 정확한 측정값은 시뮬레이션에 의해 예상된 정상 누설 전력 예상 값 9.54 dBm보다 높은 값인 약 12 dBm($2.7+10.5-1.4=11.8$ dBm)이 나왔다. 그리고 침투 누설 전력의 경우 약 12 dBm($3.03+10.5-1.4=12.13$ dBm)으로 계측되는 것을 알 수 있다. 시뮬레이션과 마찬가지로 침투 누설 전력은 정상 누설 전력과 근접하며 뚜렷하게 관측되지 않는 것을 알 수 있다.

다음으로 순간적으로 발생하는 침투 누설 전력을 측정하기 위해서 검파기(detector)를 사용하였다. 실험에 사용된 검파기는 Krytar사의 703AK이다. 이것은 12 dBm 입력에서 -78 mV의 출력을 보이는 것을 확인하였다. 이를 그림 17의 리미터 출력에 연결한 후, 고출력 송신기의 trigger 신호와 오실로스코프의 trigger 신호를 동기화 시킨 후 측정을 수행하였다. 측정된 결과는 그림 20과 같다.

그림 20에서 확인할 수 있듯이 침투 누설 전력 후에 제한된 정상 누설 전력이 -78 mV의 전압 값

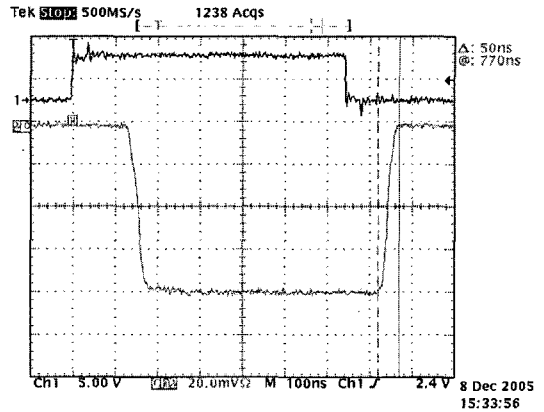


그림 20. 검파기를 이용하여 측정된 누설 전력
Fig. 20. The leakage power measured with the detector.

으로 나타난 것을 볼 수 있다. 이는 12 dBm의 정상 누설 전력을 의미하게 된다. 따라서 오실로스코프를 사용 측정된 정상 누설 전력은 peak power meter로 계측된 값과 같음을 알 수 있다. 반면 침투 누설 전력의 경우 거의 발생하지 않은 것으로 판단된다. 이는 시뮬레이션에서 보았듯이 침투 누설 전력의 크기가 정상 누설 전력의 크기와 근접하여 시뮬레이션에서 예상했듯이 제작된 리미터는 침투 누설 전력을 정상 누설 전력의 수준으로 제한하는 것을 알 수 있다. 또한 정확한 recovery time의 정의는 아니지만 오실로스코프로 측정된 recovery time은 약 50 nsec가 되는 것을 알 수 있다.

Ⅲ. 결 론

본 논문에서는 PIN 다이오드를 사용한 평판형 리미터의 설계 및 제작 기법을 제시하였다. 우선 DC 전류가 주어질 때 결정되는 I-영역의 저항을 상수로 두고 PIN 다이오드를 PN 다이오드로 근사한 후 이를 통한 해석을 제시하였다. 해석 결과 PIN 다이오드 리미터의 누설 전력은 두 가지 형태로 구분되며 이것들의 측정된 PIN 다이오드의 주요 RF 파라미터 관계에 대하여 해석적으로 설명하였다. 제작된 결과는 조립시 다소의 불균일성으로 인해 시뮬레이션 결과와 다소 차이가 있었으며 조정을 통하여 제시된 목표 사양에 달성할 수 있었다.

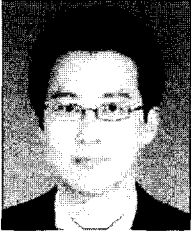
본 논문에서 제시하는 설계 기법은 과거 리미터

설계시, 다이오드 제작후 이를 리미터로 구성 평가 후, 다단 리미터를 구성하는 다수의 논문 결과와 달리, 체계적으로 설계를 통하여 리미터 설계 방식을 제시하였다. 또한 PIN 다이오드 등가 회로 파라미터와 리미터 회로의 성능간의 관계를 구체적으로 밝혔고 제작된 리미터의 성능은 상용화된 다른 리미터에 비해 우수한 성능을 보이는 것을 알 수 있다.

참 고 문 헌

- [1] J. F. White, *Microwave Semiconductor Engineering*, Van Nostrand Reinhold Company, pp. 39-141, 1982.
- [2] R. Cory, "PIN-limiter diodes effectively protect receivers", *EDN*, pp. 59-64, Dec. 2004.
- [3] R. H. Caverly, M. Quinn, "A SPICE model for simulating the impedance-frequency characteristics of high frequency PIN switching diodes", in *IEEE MTT-S Digest*, pp. 282-285, May 1999.
- [4] J. Walston, "Spice circuit yields recipe for PIN Diode", *Microwaves & RF*, pp. 78-89, Nov. 1992.
- [5] *A Wideband General Purpose PIN Diode Attenuator*, Alpha Industries Inc. Application Note APN-1003, 1999.
- [6] *PIN Diode Model Parameter Extraction from Manufacturers' Data Sheets*, Ansoft Corp. Application note, 1997.
- [7] N. J. Brown, "Design concepts for high power PIN diode limiting", *IEEE Trans. Microwave Theory Tech.*, pp. 732-742, Dec. 1967.
- [8] D. Leenov et al., "PIN diodes for protective limiter applications", in *1961 Int. Solid-State Circuits Conference*, pp. 84-85, 1961.
- [9] J. M. Carroll, "Performance comparison of single and dual stage MMIC limiters", in *IEEE MTT-S Digest*, pp. 1341-1344, May 2001.
- [10] L. M. Devlin et al., "A monolithic, dual channel, 0.5 to 20 GHz limiter", in *IEEE MTT-S Digest*, 1989.
- [11] D. G. Smith et al., "Designing high-power limiter circuit with GaAs PIN diodes", *IEEE MTT-S Digest*, pp. 329-332, 1999.
- [12] A. L. Ward et al., "Spike leakage of thin Si PIN limiters", *IEEE Trans. Microwave Theory and Tech.*, pp. 1879-1885, Oct. 1994.
- [13] R. J. Tan et al., "PIN diode limiter spike leakage, recovery time, and damage", *IEEE MTT-S Digest*, pp. 257-278, May 1988.
- [14] N. Drozdovski, T. Takano, "Computer modeling of bistability effect in PIN diode limiter characteristic", *IEEE Microwave and Guided Wave Lett.*, pp. 148-150, Apr. 2000.
- [15] *Limiter Diodes*, Microsemi-Lowell, MA., 1998. Available: <http://www.microsemi.com>
- [16] *GaAs Flip Chip Schottky Diodes*, M/A-Com Inc., 2005, Available: <http://www.macom.com>
- [17] P. Sahjani, J. F. White, "PIN diode operation and design trade-offs", *Applied Microwave*, Spring, 1991.

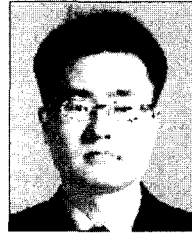
김 탁 영



2001년 2월: 충남대학교 전파공학과 (공학사)
2003년 3월: (주)이노텔리텍 정보통신연구소
2003년 12월: 전자부품연구원 무선 PAN 사업단
2006년 2월: 충남대학교 전파공학과 (공학석사)

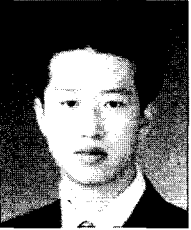
2006년 1월~현재: SK Telecom 중부네트워크본부
[주 관심분야] 초고주파 회로설계, RF front-end system

공 덕 규



1990년~1994년: 아주대학교 전자공학과 (공학사)
1994년~1996년: 아주대학교 전자공학과 (공학석사)
1996년~현재: 국방과학연구소 [주 관심분야] 초고주파 수신기 모듈 설계

양 승 식



2003년 2월: 충남대학교 전파공학과 (공학사)
2005년 2월: 충남대학교 전파공학과 (공학석사)
2005년 3월~현재: 충남대학교 전파공학과 박사과정
[주 관심분야] 초고주파 능동회로 및 시스템, MMIC 설계

김 소 수



1988년~1993년: 경북대학교 전자공학과 (공학사)
1993년~1996년: 경북대학교 전자공학과 (공학석사)
1996년~현재: 국방과학연구소 [주 관심분야] 초고주파 송신기 모듈 설계

염 경 환



1976년~1980년: 서울대학교 공과대학 전자공학과 (공학사)
1980년~1982년: 한국과학기술원 전기 및 전자과 (공학석사)
1982년~1988년: 한국과학기술원 전기 및 전자과 (공학박사)
1988년 3월: 금성전기(주) 소재부품연구소 선임연구원 (MIC팀 팀장)

1990년 3월: 금성전기(주) 소재부품연구소 책임연구원
1991년 5월: 금성정밀(주) 기술연구소 연구1실 책임연구원
1991년 8월: (주) LTI
1999년 10월~현재: 충남대학교 전파공학과 교수
[주 관심분야] 초고주파 능동회로 및 시스템, MMIC 설계