

자기-바이어스 슈퍼 MOS 복합회로를 이용한 공정 검출회로

A Process Detection Circuit using Self-biased Super MOS composit Circuit

서범수*, 조현목

Benjamin Suh*, Hyun-Mook Cho*

요약

본 논문에서는 새로운 개념의 공정 검출 회로를 제안하였다. 제안된 공정 검출 회로는 장채널 트랜지스터와 최소의 배선폭을 갖는 단채널 트랜지스터 사이의 공정변수의 차이를 비교한다. 이 회로는 공정 변이에 따라 발생하는 캐리어 이동도의 차이를 이용하여 이에 비례하는 차동 전류를 생성해 낸다. 이 방법에서는 고 이득 연산증폭기를 사용한 궤환 회로를 구현함으로써 두 개의 트랜지스터의 드레인 전압이 같아지도록 유지한다. 또한, 본 논문은 제안한 자기-바이어스 슈퍼 MOS 복합회로를 이용하여 고 이득 자기-바이어스 rail-to-rail 연산증폭기를 설계하는 새로운 방법을 소개한다. 설계된 연산증폭기의 이득은 단상의 0.2V~1.6V 공통 모드 범위에서 100dB 이상으로 측정되었다. 최종적으로, 제안한 공정 검출 회로는 차동 VCO 회로에 직접 적용하였으며, 설계된 VCO 회로를 통해서 공정 검출 회로가 공정 코너들을 성공적으로 보상하고 광범위한 동작 영역에서 안정된 동작을 수행함을 확인할 수 있었다.

Abstract

In this paper, a new process detection circuit is proposed. The proposed process detection circuit compares a long channel MOS transistor ($L > 0.4\mu\text{m}$) to a short channel MOS transistor which uses lowest feature size of the process. The circuit generates the differential current proportional to the deviation of carrier mobilities according to the process variation. This method keep the two transistor's drain voltage same by implementing the feedback using a high gain OPAMP. This paper also shows the new design of the simple high gain self-biased rail-to-rail OPAMP using a proposed self-biased super MOS composite circuit. The gain of designed OPAMP is measured over 100dB with 0.2~1.6V wide range CMR in single stage. Finally, the proposed process detection circuit is applied to a differential VCO and the VCO showed that the proposed process detection circuit compensates the process corners successfully and ensures the wide rage operation.

Keywords : Process compensation, Process Detection, Self-biased OP-AMP, Super MOS, VCO

I. 서론

최근 소비재 전자제품의 개발 동향은 단연코 모바일화와 SoC(System on Chip)화 라고 요약할 수 있다. 이는 제품의 휴대성을 극대화하는 움직임으로 판단이 되며, 제품의 휴대성을 높이기 위하여 제품의 크기, 전력소모 등이 SoC 개발의 주된 이슈로 등장한다. 또한, 모바일 제품은 대중성을 가져야 상품적 가치가 높으므로 당연히 저

가 경쟁이 치열하고 생산적 측면에서 저가를 실현하기 위하여 생산수율, 저가의 공정 사용 등이 큰 이슈가 된다.

SoC 회로에 포함되는 혼성모드 회로 중에서 가장 널리 사용하는 회로는 PLL(Phase Locked Loop)로 SoC가 포함하는 기능이 다양해져 감에 따라 보다 넓은 동작범위의 PLL이 요구되며 넓은 동작범위의 VCO(Voltage Controlled Oscillator)의 경우 안정된 발진을 보장하는 설계가 매우 어려우므로, 공정변화에 따른 수율변화를 최소화할 기술적인 필요성이 대두되고 있다.^[1] 일반적으로, 공정에 있어서 최악조건인 경우는 정상적인 경우에 비해 g_m 값이 원래 값의 60% 이하로 떨어지는 경우가 있는데 이를 대비하여 설계시 회로의 마진을 많이 고려한다. 그러나, 이는 근본적인 해결책이 되기도 어려울 뿐더러 높은 수율을 기대하기에는 무리가 있다. 이러한 문제점

*공주대학교 전기공학과
논문 번호 : 2006-2-17
심사 완료 일자 : 2006. 4. 19

접수 일자 : 2006. 3. 20

을 개선하기 위하여 본 논문은 공정의 변화를 회로에 보상하여 주는 기법과 구현을 위한 새로운 회로를 제안한다. 본 논문에서 제안한 공정변화를 감지하는 방법을 간단히 설명하면 다음과 같다. 우선 공정변화에 따른 g_m (transconductance) 값의 변화를 감지하고 이를 전류의 변화량으로 변환한 후에 그 변화량을 레퍼런스 전류원에 차동으로 적용하여 공정의 변화를 보상하는 방식이다. 이를 위하여, 본 논문에서는 트랜지스터의 드레인 전압을 정규화 하여 변화감지의 정확도를 높이는 방식을 제안하였으며, 또한 슈퍼 MOS 복합회로를 이용하여 고 이득 자기-바이어스 연산증폭기를 설계함으로써 실제 회로에서의 동작을 확인하였다.

II. 회로 설계

2.1 공정검출회로의 원리

공정검출은 두 가지의 가정으로부터 출발한다. 즉, 공정변이에 따른 트랜지스터의 특성변화는 트랜지스터의 g_m 값의 차이로 나타난다는 점과 공정변이에 따른 장채널 트랜지스터와 단채널 트랜지스터의 g_m 값 변이의 폭이 다르다는 점을 이용한다. 즉, 같은 공정내의 장채널 트랜지스터와 단채널 트랜지스터의 g_m 값의 변화를 전압이나 전류로 정밀하게 변환해주는 회로를 구성한다면 공정검출이 가능하며 따라서, 그 변이를 회로에 반영할 수 있게 된다. 0.18 μm 이하의 채널길이를 가지는 트랜지스터는 여러 가지 단 채널 효과를 겪게 되는데^[2], 이는 주로 채널길이 변조, 수직장으로 인한 이동도 감소, 속도 포화 등의 MOS 동작으로서는 바람직하지 못한 효과들이 필연적으로 나타나게 된다. 즉, 단채널 트랜지스터를 M_S 라고 표시하면 이 트랜지스터의 드레인 전류는 다음 식(1)을 만족한다.^[3]

$$i_D = W \cdot C_{OX} \cdot v_{sat} \cdot \frac{(v_{GS} - v_{TH})^2}{(v_{GS} - v_{TH}) + \frac{2v_{sat}L}{\mu_{eff}}} \quad (1)$$

효과 이동도 μ_{eff} 는 다음 식으로 주어진다.

$$\mu_{eff} = \frac{\mu_0}{1 + \theta \cdot (v_{GS} - v_{TH})} \quad (2)$$

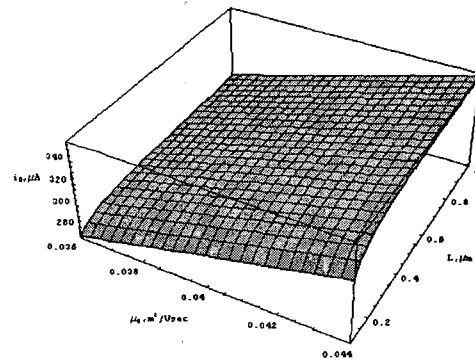
여기에서, θ 는 비례정수(scaling factor)로 $10^{-7}/t_{OX}$ 의 값을 갖고 v_{sat} 는 채널에서 포화가 발생하기 시작하는 시점에서의 캐리어 속도(carrier velocity)이다. 그림 1은 수식(1)과 (2)에 의거하여 채널길이 변화에 따른 전류의 변화를 도시화한 것으로, 그림 1의 (a)는 10% 이동도(mobility) 변화에 대한 트랜지스터의 채널길이 L과 드레인 전류 i_D 의 관계를 그래프화한 것이고 그림 1의 (b)는 10% 이동도 변화에 대한 장채널 트랜지스터 M_L 과 단채널 트랜지스터 M_S 의 드레인 전류차

를 그래프로 표시한 것이다. 수식과 그림에서 알 수 있듯이 이동도가 상대적으로 높은 경우가 낮은 경우에 비하여 M_L 과 M_S 간의 드레인 전류차가 크게 나타나며, 선형적임을 알 수 있다.

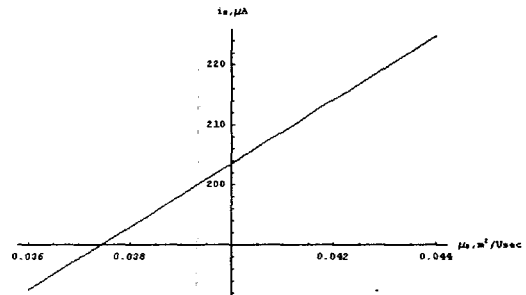
2.2 공정검출의 회로적 접근방법

본 논문에서 제안한 자기-바이어스 슈퍼 MOS를 이용하여 설계된 고 이득 연산증폭기를 적용한 VCO 회로의 전체 연결도를 그림 2에 나타내었다.^{[4][5][6][7]} 그림 2 [A]에서 M_L 은 채널길이가 0.4 μm 이상인 장채널 트랜지스터이고, M_S 는 공정이 허락하는 최소 채널길이의 트랜지스터이다. 그림 2 [A]과 같이 연산증폭기 궤환에 의해 드레인 전압이 고정된 상태에서 두 트랜지스터의 g_m 특성이 같다면 v_{G1} 과 v_{G2} 의 값이 같게 나타나겠지만, 공정변이로 인한 두 트랜지스터의 g_m 차이에 따라 v_{G1} 과 v_{G2} 는 서로 달라진다. 만일, 식(1)로부터 β_k 를 식 (3)으로 정의한다면, 앞에서 언급한 수식 (1)을 MODEL 1 방정식으로 근사하여 생각할 수 있고 단채널 효과를 포함한 모든 공정의 변이는 β 의 변이로 간주할 수 있다.

$$\beta_k = \frac{W_k \cdot C_{OX} \cdot v_{sat}}{(v_{GS} - v_{TH}) + \frac{2v_{sat}L_k}{\mu_{eff}}} \quad (3)$$



(a)



(b)

그림 1. 트랜지스터 M_S 와 트랜지스터 M_L 의 특성 차
Fig. 1. Characteristic difference of M_S and M_L .

- (a) i_D vs. channel length L for 10% variation of mobility
- (b) Difference of drain currents between $1\mu\text{m}$ channel transistor and 90nm channel transistor for 10% variation of mobility

그림 2 [B] V-I 변환기는 $v_1 - v_2$ 로부터 $i_1 - i_2$ 를 생성하며, 다음 식으로 주어진다.^{[4][5][6][7]}

$$i_1 - i_2 = \beta_{VI} (v_{G1}^2 - v_{G2}^2) \quad (4)$$

또한, v_{G1}^2 과 v_{G2}^2 는 그림 2 에서 MODEL 1 방정식을 적용하면 어렵지 않게 구해진다. 즉, $i_D = \beta_k (v_G - v_{TH})^2$ 로부터 각각 v_{G1} 과 v_{G2} 를 구하여 정리하면 다음과 같다.

$$v_{G1}^2 - v_{G2}^2 = \left(\frac{1}{\beta_L} - \frac{1}{\beta_S} \right) \cdot I_{REF} \quad (5)$$

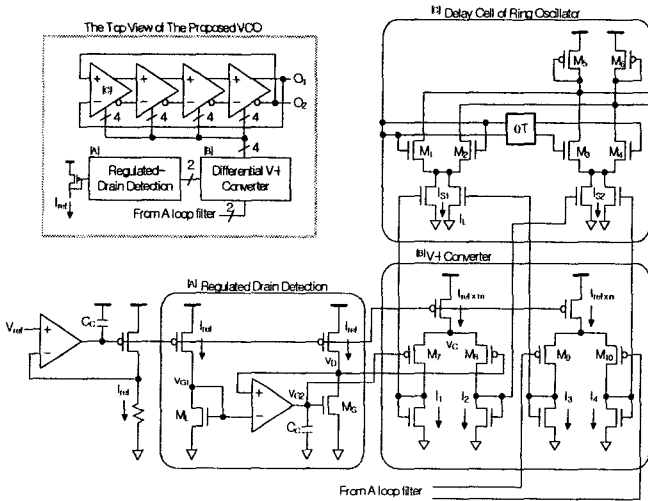


그림 2. 정규화된 드레인 검출 회로와 VCO 응용^{[4][5][6][7]}
 Fig. 2. The Regulated Drain Detection Circuit and its VCO application^{[4][5][6][7]}

수식 (4)에 수식 (5)를 대입하고 $\beta_L \beta_S \cong \beta_{VI}^2$ 으로 가정하면 다음식이 얻어진다.

$$\begin{aligned} i_1 - i_2 &= \beta_{VI} \left(\frac{1}{\beta_L} - \frac{1}{\beta_S} \right) \cdot I_{REF} \\ &= \frac{1}{\beta_{VI}} (\beta_S - \beta_L) \cdot I_{REF} \end{aligned} \quad (6)$$

수식 (6)은 드레인 정규화 공정검출 회로가 그림 2의 차동 V-I 변환기회로[B]와 함께 적용되어 공정에 따른 두 트랜지스터의 β 값 차를 I_{ref} 에 대한 선형적 비로 $i_1 - i_2$ 에 반영함을 보여준다.

2.3 공정검출 회로의 설계

드레인 정규화 공정검출회로 (그림 2 블록 [A])에서 두 트랜

지스터의 드레인 전압 고정을 위하여 사용되는 연산증폭기 이득이 낮은 경우, 드레인 전압간의 전압차를 발생시켜 정확한 게이트 전압차인 $v_{G1} - v_{G2}$ 검출이 어려워진다. 그림 2 블록 [A]에서 연산증폭기의 이득은 A_1 , 단채널 트랜지스터 M_S 로 구성된 공통소스(common source) 증폭의 이득은 A_2 라고 놓으면 다음 식을 얻을 수 있다.

$$v_D = \frac{A_1 A_2}{1 + A_1 A_2} v_{G1} \quad (7)$$

여기에서, A_2 는 전류원으로 사용된 PMOS의 내부저항이 충분히 크다고 가정하면 다음 식이 얻어진다.

$$A_2 = \sqrt{2 \left(\frac{W}{L} \right) \mu_n C_{OX} \frac{1}{\lambda}} \quad (8)$$

일반적인 공통소스 회로에서 충분한 이득을 가지도록 설계하기 위해서는 크기비(aspect ratio) W/L 값을 충분히 높게 (>200) 설계하고 λ 값이 드레인 전류값에 비례하므로 I_{ref} 전류값을 줄여주는 것이 일반적이다. 그러나 본 논문의 경우는 공정에 따른 단 채널 트랜지스터의 특성을 최대한 살려 공정변이를 검출해 내는 것이 목적이므로 식 (1)에 의해 $(v_{GS} - v_{TH})$ 의 값을 가급적 높여 비교적 큰 값의 I_{ref} 를 감수해야 한다. 따라서 수식 (8)에 의한 공통소스 단의 이득은 $200 \mu\text{A}$ 이상의 I_{ref} 와 최악조건 공정에 따른 캐리어이동도 감쇠, 공통소스 단의 DC 동작점 설계에 따른 위한 낮은 (W/L) 를 가정한다면 최악의 경우 단위이득보다 작아지는 경우도 발생할 수 있다.

그림 2 [A]에서 공정변이에 따른 v_{G2} 의 전압 변화 범위는 약 $0.4\text{V} \sim 0.9\text{V}$ 로 협소한데 반해, 연산증폭기의 이득이 충분치 못한 경우 v_{G1} 과 v_D 의 전압차가 수 ~ 수백 mV에 달할 수 있으므로 회로적인 비대칭성에 의한 영향까지를 고려한다면 이득을 충분히 높여 주는 것이 바람직하다. 식 (7)에서 $A_1 A_2$ 의 값이 1000 일 경우 약 1mV의 오차가 발생하게 되므로 최악의 경우 공통소스 단의 이득이 단위이득 근처로 떨어지는 경우까지 고려한다면 A_1 의 값 즉, 연산증폭기의 이득이 적어도 70dB 이상이 되어야 함을 알 수 있다.

2.4 슈퍼 MOS 복합회로를 응용한 연산증폭기

일반적으로, 전압 혹은 전류 레퍼런스 회로 등에서 사용하는 레퍼런스 연산증폭기의 경우 자기-바이어스 단일-단 rail-to-rail 연산증폭기를 많이 사용하게 되는데, 그 이유는 간단한 구조와 설계의 용이성 때문이다. 그러나 레퍼런스 회로의 경우는 공통소스 단의 이득을 5~30 배 정도로 늘릴 수 있으므로 연산증

폭기의 이득은 20~40dB 정도로도 100dB가 넘는 충분한 게 환 루프이득을 구성할 수 있다. 제안된 공정검출회로의 경우 에서는 앞서 설명한 이유로 인해 높은 연산증폭기 이득이 필연 적이나, 멀티-단 고-성능의 연산증폭기를 설계하여 적용하는 방법은 좋지 않다. 그 이유는 저전력 소자로 설계하기 어렵고 회로가 복잡해지는 단점이 있기 때문이다. 이러한 문제점을 해 결하는 방안으로 본 논문에서는 슈퍼 MOS라고 불리는 복합 회로를 제안하였고 이를 응용한 고이득의 자기-바이어스 연산 증폭기를 설계하였다.

2.4.1 슈퍼 MOS 복합 회로

그림 3에 본 논문에서 제안한 슈퍼 MOS 복합회로를 나타 내었다. 그림의 좌측에 구성된 회로가 슈퍼 MOS 회로로써, 기존 방식^[8]이 외부 바이어스 전압을 필요로 하여 외부 바이 어스 회로가 별도로 요구되는 반면 제안된 회로의 경우는 자 기-바이어스 구조로 외부 바이어스가 불필요하다.

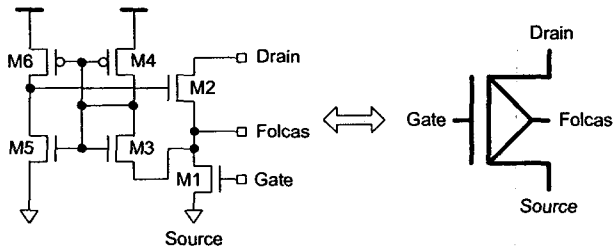


그림 3. 제안된 슈퍼 MOS 복합 회로
Fig. 3. The proposed Super MOS composite circuit

실제 트랜지스터로 동작하는 부분은 M_1 이고 그 이외의 트 랜지스터는 회로의 드레인-소스 간 출력저항을 높여주는 역할 을 한다. 드레인-소스 간 출력 저항을 높이는 원리는 이득 부 스팅 방법^[9]으로 이득 부스팅에 사용되는 게환 증폭기로 인버 터(M_5, M_6)를 사용하였다는 점과 인버터의 바이어스를 위해 서 M_3, M_4 를 전압 레퍼런스처럼 사용했다는 점이 기존의 슈퍼 MOS와 구별되는 점이다. 회로의 자기-바이어스는 다이 오드 연결된 M_3 를 통하여 M_5, M_6 인버터의 바이어스 전 압이 고정되는 방식으로 되어있는데 이 전압은 다시 인버터를 통하여 M_2 의 게이트에 게환 되고 주어진 드레인 전압에서 Folcas 단자의 전압을 고정전압으로 유지한다. 따라서, 그림 3 의 슈퍼 MOS의 게이트-드레인 직류 이득은 다음 식으로 주 어진다.

$$A_v \approx \frac{g_{m1}g_{m2}(g_{m3} + g_{m5})}{g_{ds1}g_{ds2}(g_{ds3} + g_{ds5})} \quad (9)$$

즉, 일반 MOS을 3단으로 연결한 이득 맞먹는 높은 이득을 가짐을 알 수 있다. 그림 4에 슈퍼 MOS와 일반 MOS의 전류

-전압 특성을 비교해 놓았는데 위의 그림은 일반 MOS의 I/V 특성을, 아래의 그림은 슈퍼 MOS의 I/V 특성을 나타낸 그림 이다. 결과적으로, 슈퍼 MOS의 경우가 출력 임피던스 면에서 좋은 특성을 나타냄을 알 수 있다.

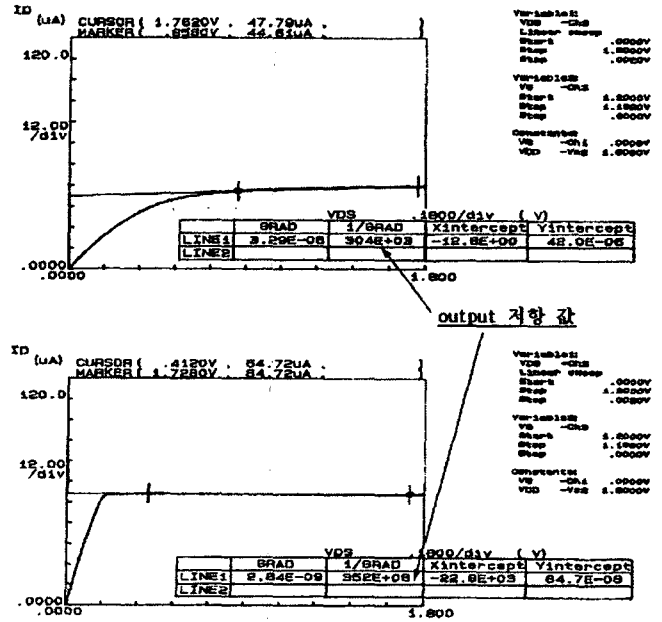


그림 4. 제안된 슈퍼 MOS 와 일반적인 MOS 트랜지스터의 비교(Tektronix 577D1)

Fig. 4. The comparison between the proposed Super MOS and a Regular MOS transistor(Tektronix 577D1)

2.4.2 단일-단 자기-바이어스 연산증폭기 회로

슈퍼 MOS 회로는 저전압 중첩된-캐스코드 연산증폭기 구 성에 편리한 강점을 가지고 있다.^{[10][11]} 그림 3의 트랜지스터 M_1 은 선형 모드에서 동작하여도 이득 부스팅으로 인하여 출 력임피던스가 그다지 떨어지지 않으므로 저전압 상황에서 트 랜지스터를 4개까지 적층하여도 두 개의 트랜지스터를 적층한 것과 비슷한 신호 헤드룸(signal headroom)을 확보할 수 있 다.^[12] 그림 3의 오른쪽 심볼은 슈퍼 MOS 회로를 심볼화 한 것인데 일반 MOS와는 다른 Folcas 라고 불리는 단자를 포함 하고 있다. 이 단자는 매우 낮은 입력 임피던스를 가진 전류 입력원으로 사용이 가능하여 중첩된-캐스코드 연산증폭기 구 성시 입력단 트랜지스터 쌍의 출력을 받아 입력하는 단자로 사용하기에 적합하다. 그림 5는 슈퍼 MOS 회로를 적용하여 rail-to-rail 중첩된-캐스코드 화 한 것으로, 간단하고 직관적인 구조를 가지고 있음을 볼 수 있다. 그림 5에서 Folcas 단자는 슈퍼 MOS의 주어진 드레인 전압에 항상 일정한 전압을 유지 하므로 그림에서 SM_1 과 SM_3 의 드레인 전압은 직류적으로 일정하며, 입력 트랜지스터 중 NMOS 쌍인 M_1, M_2 의 드 레인 전류와 PMOS 쌍인 M_3, M_4 의 드레인 전류의 합이

항상 일정하다는 가정 하에 SM_1, SM_3 의 게이트 전압을 M_5, M_6 의 전류소스 바이어스 전압으로 사용이 가능하다.

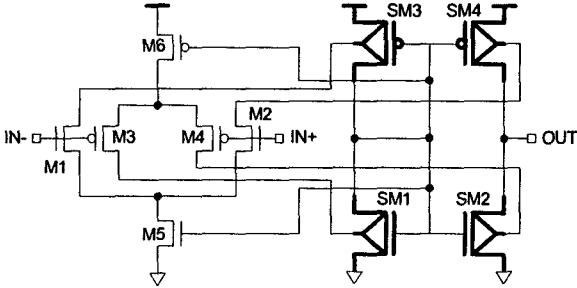


그림 5. 제안된 자기-바이어스 연산증폭기
Fig. 5. The Proposed Self-Biased OPAMP

그림 6은 제안된 연산증폭기 회로의 교류 특성을 모의

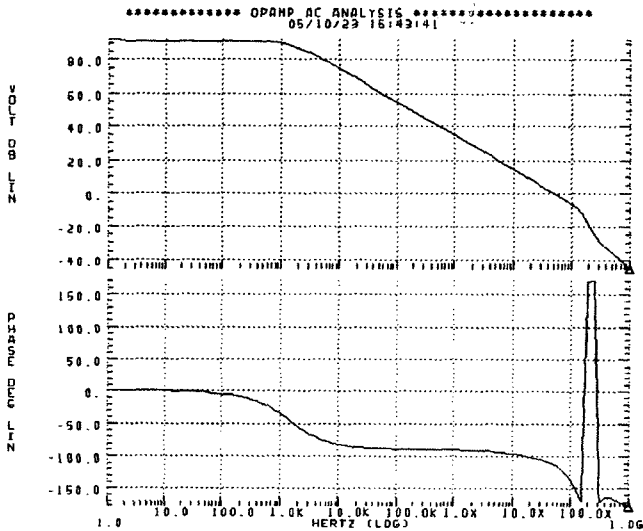


그림 6. 자기-바이어스 슈퍼 MOS 를 이용한 제안된 자기-바이어스 연산증폭기의 교류 특성

Fig. 6. The AC characteristics of the proposed self-biased OPAMP using Self-biased Super MOS

실험 한 것으로 직류이득이 100dB 가까이 되는 것을 볼 수 있다. 충분한 위상 마진을 가지려면 연산증폭기의 출력단에 30pF 이상의 부하 커패시터를 달아주는 것이 발진을 막는데 도움이 된다. 표 1에 제안된 연산증폭기의 특성을 나타내었다.

III. 모의실험

모의실험에 사용된 VCO는 그림 2의 구조로 설계되었다. 그림 2의 좌측 상단과 같이 4단 차동 링 오실레이터로 설계하였고 VCO의 제어 전압 역시 차동으로 입력되어 V-I 변환기를 거쳐 VCO의 발진 주파수를 조절하도록 되어있다. V-I 변환기는 또 하나의 제어전압 입력을 가지고 있는

표 1. 자기-바이어스 연산증폭기 특성
Table 1. Self-biased OPAMP characteristics

특성 파라미터(parameter)	특성값
공급전압(V_{DD})	$1.8 \pm 0.1V$
Common Mode Range	$0.2 \sim 1.6 V$
DC gain	101dB
Unit Gain Frequency	34MHz
Phase Margin with 30pF load	68°
Slew rate	$50 V/\mu sec$
Settling	75 nsec

데 이는 제안된 공정검출 회로의 차동 출력에 연결되어 VCO의 특성을 공정에 따라 변이를 보상하게 된다. VCO의 모의실험은 HSPICE BSIM3 LEVEL49 모델 파라미터를 사용하여 수행하였으며, 모든 트랜지스터의 parasitics(AD, AS 등)은 PERL script를 이용하여 트랜지스터에 따라 자동 계산하여 네트리스트에 포함되도록 하였다. 모의실험 결과는 그림 7에 나타내었다. 그림 7의 (a)는 공정검출회로를 적용하지 않은 경우로써, 공급전원이 1.7V이고 Slow-Slow 모델 파라미터를 적용하였을 때(그림의 삼각형 곡선) 차동제어전압(differential control voltage)이 $-0.2V$ 이하인 경우에는 발진을 전혀 하지 않음을 볼 수 있으며 Fast-Fast 1.9V와 Slow-Slow 1.7V의 선간 격차가 매우 벌어져 있음을 알 수 있다. 반면에 공정검출회로를 적용한 (b)의 경우는 코너 곡선간 간격이 좁혀져 있고 3가지 경우 모두 150~250MHz의 동작범위를 만족시키고 있음을 볼 수 있다. 특히, (b)의 경우는 동작조건이 다소 약화되더라도 발진을 수행함으로써 공정에 대하여 안정적임을 입증하였다.

IV. 결론

본 논문에서는 제안된 드레인 정규화를 통한 공정검출법의 동작원리와 타당성을 검증하였으며, 드레인 정규화 공정 검출 회로를 구성하기 위한 높은 이득의 자기-바이어스 rail-to-rail 연산증폭기를 제안하여 저 전력 구현 및 설계의 간편성을 높였다. 또한, 자기-바이어스 연산증폭기를 설계하기 위하여 새로운 방법의 자기-바이어스 슈퍼 MOS 복합회로를 제안하였으며 설계된 회로에 대한 동작을 검증하였다. 설계된 연산증폭기의 이득은 단상의 $0.2V \sim 1.6V$ 공통모드 범위에서 100dB 이상으로 측정되었다. 또한, 위상 마진이나 다른 특성 파라미터에서도 양호한 특성을 나타내었다. 최종적으로, 제안한 공정검출 회로는 차동 VCO 회로에 직접 적용하였으며, 모의실험 결과 150~250MHz 동작범위에서 안정된 동작을 수행하고 공정 검출 회로가 공정 코너들을 성공적으로 보상함을 확인할 수 있었다.

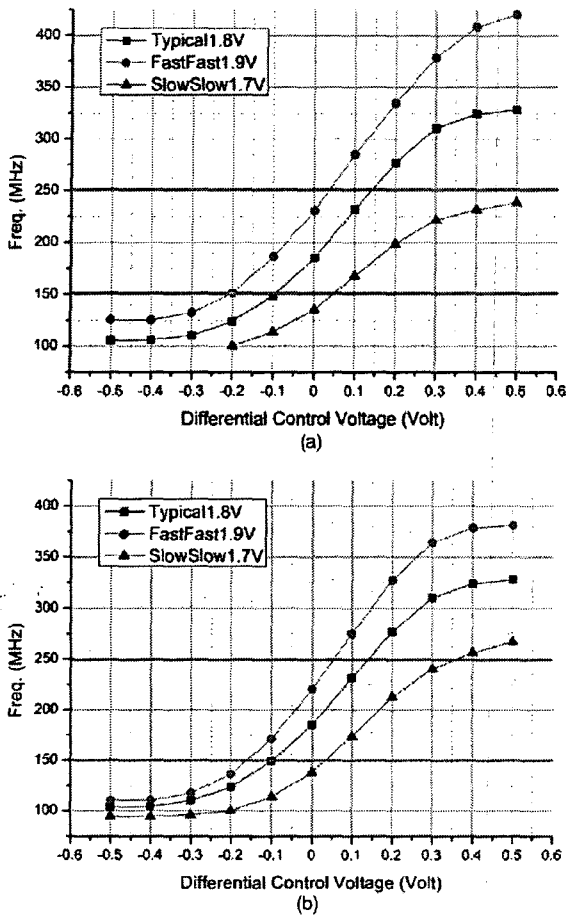


그림 7. VCO 특성 그래프

(a)공정검출회로가 없는 경우 (b)공정검출회로가 있는 경우

Fig. 7. VCO characteristic curve

(a) without RDD(regulated drain detection) (b) with RDD

참고 문헌

[1] C. G. Sodini, P.K.Ko, and J. L. Moll, "The effect of High Fields on MOS Device and Circuit Performance," *IEEE Tran. on Electron Devices*, vol. 31, pp. 1386-1393, Oct., 1984.

[2] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw Hill, 2001

[3] P. K. Ko, *Approaches to Scaling*, pp. 1-35, in *Advance MOS Device Physics*, N.G.Einspruch and G. Gildenblat, Editors, San Diego: Academic Press, 1998.

[4] Behzad Razavi, *Design of Monolithic Phase-Locked Loops and Clock Recovery Circuits*, IEEE PRESS, 1999.

[5] B. Lai and R. C. Walker, "A monolithic 622Mb/s clock extraction data retiming circuit," in *ISSCC Dig. Tech Papers*, pp. 144-145, Feb, 1991.

[6] Seema Butala Anand, "A CMOS Clock Recovery Circuit for 2.5-Gb/s NRZ Data," *IEEE J. Solid-State Circuits*, vol. 36 No. 3, pp. 432-439, March, 2001.

[7] Benjamin Suh, Hyunmook Cho, "Regulated Drain Detection and its Differential PLL Application to Compensate Process," *Journal of IKEEE*, pp. 40-46, Vol. 9, No. 1. June, 2005.

[8] Pradip Mandal, V. Visvanathan, " A Self-Biased High Performance Folded Cascode CMOS Op-Amp," *10th International Conference on VLSI Design : VLSI in Multimedia Applications*, pp. 149, 1997

[9] B. Hosticka, "Improvement of the Gain of MOS Amplifiers," *IEEE Journal of Solid-State Circuits*, pp. 1111-1114, Vol. SC-14, No. 14, December, 1979.

[10] K. Bult and G. J. G. M. Geelen, "A Fast-Settling CMOS Opamp for SC Circuits with 90dB DC Gain," *IEEE Journal of Solid-State Circuits*, pp. 1379-1384, Vol. 25, No. 6, December, 1990.

[11] E. Säcker and W. Guggenbühl, "A High-Swing, High-Impedance MOS cascode circuit," *IEEE Journal of Solid-State Circuits*, pp. 289-298, Vol. 25, No. 1, February, 1990.

[12] Mohammed Ismail, Terri Fiez, *Analog VLSI*, McGRAW-HILL, 1993.



서 범 수 (Benjamin Suh)

1989년 고려대학교 전자공학과(공학사)
 1998년 고려대학교 대학원 전자공학과 (공학석사)
 2001년 고려대학교 대학원 전자공학과 수료(박사수료)

2001년~현재 공주대학교 대학원 전기전자정보공학과 박사과정

2005년 현재 - 디게이트 주식회사 수석연구원

관심분야 : 아날로그 회로설계, 마이크로 프로세서



조 현 목 (Hyun-Mook Cho)

1989년 고려대학교 전자공학과 (공학사)
 1991년 고려대학교 대학원 전자공학과 (공학석사)
 1995년 고려대학교 대학원 전자공학과 (공학박사)

1995년~ 현재 공주대학교 정보통신공학부 교수

관심분야 : SoC 설계, 멀티미디어 시스템 설계 등