

## 아몰퍼스실리콘의 결정화에 따른 복합티타늄실리사이드의 물성변화

송오성\* · 김상엽

서울시립대학교 신소재공학과

### Property of Composite Titanium Silicides on Amorphous and Crystalline Silicon Substrates

Ohsung Song\* and Sangyeob Kim

Department of Materials Science and Engineering, The University of Seoul, 90 Chennong-dong, Dongdaemun-gu, 130-743, Seoul

**초 록:** 반도체 메모리 소자의 스피드 향상을 위해 저저항 배선층을 채용하는 방안으로 70 nm-두께의 아몰퍼스실리콘과 폴리실리콘 기판부에  $TiSi_2$  타겟으로 각각 80 nm 두께의  $TiSix$  복합실리콘을 스퍼터링으로 증착한 후 RTA 800°C-20sec 조건으로 실리사이드화 처리하고 사진식각법으로 선폭 0.5  $\mu m$ 의 배선층을 만들었다. 배선층에 대해 다시 각각 750°C-3hr, 850°C-3hr의 부가적인 안정화 열처리를 실시하였으며, 이때의 면저항의 변화는 four-point probe로 실리사이드층의 미세구조와 수직단면 두께 변화를 주사전자현미경과 투과전자현미경으로 관찰하였다. 아몰퍼스실리콘 기판인 경우 후속열처리에 따른 결정화 진행과 함께 급격한 면저항의 증가가 확인되었고, 이 원인은 결정화 과정에서 실리콘과 복합티타늄실리사이드 층과의 상호확산으로 표면 공공(void)을 형성한 것으로 미세구조 관찰에서 확인되었다. 따라서 복합티타늄실리사이드의 하지층의 종류와 열처리 조건을 바꾸어 저저항 또는 고저항 실리사이드를 조절하여 제작하는 것이 가능하여 복합  $TiSi_2$ 를 저저항 배선층 재료로 채용할 수 있음을 확인하였다.

**Abstract:** We prepared 80 nm-thick  $TiSix$  on each 70 nm-thick amorphous silicon and polysilicon substrate using an RF sputtering with  $TiSi_2$  target.  $TiSix$  composite silicide layers were stabilized by rapid thermal annealing(RTA) of 800°C for 20 seconds. Line width of 0.5  $\mu m$  patterns were embodied by photolithography and dry etching process, then each additional annealing process at 750°C and 850°C for 3 hours was executed. We investigated the change of sheet resistance with a four-point probe, and cross sectional microstructure with a field emission scanning electron microscope(FE-SEM) and transmission electron microscope(TEM), respectively. We observe an abrupt change of resistivity and voids at the silicide surface due to interdiffusion of silicide and composite titanium silicide in the amorphous substrates with additional 850°C annealing. Our result implies that the electrical resistance of composite titanium silicide may be tuned by employing appropriate substrates and annealing condition.

**Keywords:** composite titanium silicides, interconnects, fully silicide, gate, amorphous silicon.

### 1. 서 론

반도체 소자에서는 속도향상을 위해 저저항 배

선재료를 채용하는 것이 중요하며 폴리실리콘 게이트보다 비저항이 1/3 정도 되는 저저항 실리사이드 분자들이 개발되어 이미 금속배선층과 실리

\*Corresponding author  
E-mail: songos@uos.ac.kr

콘부의 확산방지층으로서 양산공정에 활용되고 있다.

또한 저저항 배선재료로도 활용하기 위해서 게이트를 모두 저저항 실리사이드로 만드는<sup>1,2)</sup> 연구도 활발히 진행되고 있다.

기존의 폴리실리콘 게이트에 저저항 실리사이드를 마스크 없이 선택적으로 형성시키는 살리사이드 공정을 위주로 한, 실리사이드 응용 외에도 최근에는 저저항 니켈모노실리사이드(NiSi)를 형성시킨 후 외부에서 전기적인 과전류를 흘려주어 고저항의 니켈다이실리사이드(NiSi<sub>2</sub>)를 형성시켜 회로를 선택적으로 단락시키는 기능성 소자<sup>3)</sup>에도 실리사이드가 응용되고 있다.

이와 같이 용도의 변화에 따라 각각의 용도에 맞도록 저저항으로, 어떤 때는 실리사이드 반응시의 응집현상을 극대화시켜 단락효과가 용이하도록 고저항이 되게 하는 등의 전기적 물성제어와 이에 따른 실리사이드의 미세구조 제어가 필요하다.

실리사이드는 이미 많은 물질이 개발되어 WSi<sub>x</sub>, TiSi<sub>2</sub>, CoSi<sub>2</sub>, NiSi 등이 CMOS 공정에 채용되고 있다. 그러나 각각의 실리사이드는 여러 가지 문제점을 가지고 있는데 WSi<sub>x</sub>는 비저항이 80 μΩ·cm으로 다른 실리사이드에 비해 4배 정도 큰 점, TiSi<sub>2</sub>는 선평의존성이 있어서 0.25 μm급 이하의 선평에서 고저항 상을 가지게 되는 점이 문제로 제기되고 있다.<sup>2)</sup>

또한 CoSi<sub>2</sub>는 과도한 크리닝 처리 공정이 필요한 점과 고온 실리사이드화 경우 1200°C 처리온도 이상에서 박막의 과도 성장 문제가 있으며<sup>4)</sup>, NiSi는 700°C 이상의 후속공정에서 고저항의 NiSi<sub>2</sub>로 상변환되는 문제가 있다.<sup>5)</sup>

최근에는 이러한 단상 실리사이드의 문제를 극복하기 위해 Co/Ni 또는 Co/Ti의 적층구조 또는 합금구조로부터 혼합실리사이드를 제조하는 방안도 검토되고 있는 중이다.<sup>6)</sup> 이러한 실리사이드는 폴리실리콘 배선층 위에 금속층을 성막한 후, 열처리하여 실리사이드화하는 살리사이드 공정을 채용하면 실리콘과 금속간의 확산 속도차이 때문에 열처리 후 실리콘 층이 오히려 위쪽으로 생기는 역전(inversion)현상이 생겨서 실리사이드 층이 매우 얇아지는 문제와 응집현상이 생기는 등 저저항 배선층을 제조하는데 살리사이드(self-aligned silicide)공정을 이용한 제조공정은 여러 가지 문제가

생기는 것으로 보고된 바 있다.<sup>7)</sup>

이러한 금속층과 실리콘 층의 응집과 역전 문제를 극복하기 위해, 기존의 금속을 직접 증착하고 열처리하는 공정 대신, 실리사이드 타겟으로부터 실리콘위에 실리사이드를 직접 스퍼터링법으로 직접 증착하고 다시 안정화 처리를 하면 기존의 실리사이드 공정보다 급격한 부피변화나 역전현상을 적절히 제어하는 복합실리사이드(composite silicide)공정이 가능하다.

본 연구에서는 복합 TiSi<sub>2</sub> 공정을 상정하여 아몰퍼스실리콘과 폴리실리콘 하지층 위에 TiSi<sub>x</sub> 층을 스퍼터링법으로 직접 만들고 부가적으로 후속고온열처리 공정이 있는 경우를 고려하여 각 하지층에 따라 최종 생성된 복합 TiSi<sub>2</sub> 층의 전기적 특성과 미세구조의 변화를 확인하여 보았다.

## 2. 실험방법

Fig. 1에 나타낸 바와 같이 직경 10 cm의 P-Si (100) 기판에 5.5 nm의 열산화막(SiO<sub>2</sub>)을 만들고 그 위에 70 nm 두께의 아몰퍼스실리콘과 폴리실리콘 층을 LPCVD(low pressure chemical vapor

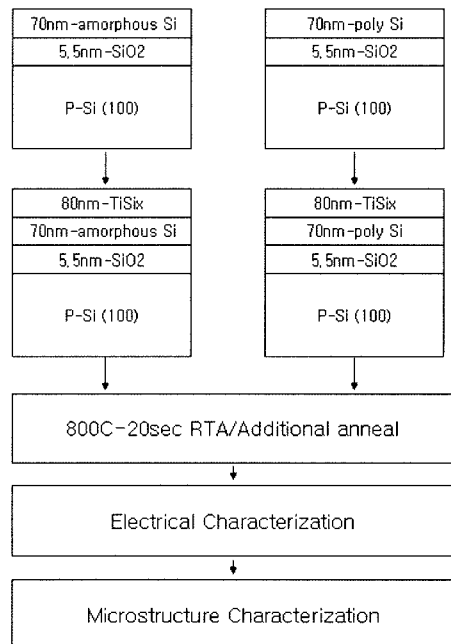


Fig. 1. Experimental process flow.

deposition)로 p+(As+ 80 keV 5×10E5)가 도핑 되도록 이온주입공정을 실시하였다. 이때 실리콘층의 두께는 엘립소미터를 써서 확인하였다.

완성된 실리콘층을 가진 기판을 습식 크리닝을 하여 표면의 자연산화막을 제거한 직후, 스퍼터링으로 직경 2인치 TiSi<sub>2</sub> 타겟을 이용하여 기판온도를 500°C로 유지하면서 모두 80 nm 두께의 복합 TiSi<sub>x</sub> 층을 성막하였다.<sup>8,9)</sup> 이때 TiSi<sub>x</sub>층의 두께를 FE-SEM으로 수직단면을 확인하여 결정하였다.

완성된 TiSi<sub>x</sub>/Si 구조의 복합티타늄실리사이드 결정화를 위해서 800°C-20sec의 조건으로 RTA (rapid thermal anneal) 처리를 실시하여 TiSi<sub>2</sub>로 안정화 시켰다.

안정화 열처리가 끝나고 패턴 형성이 완성된 시편을 계속해서 온도에 대한 안정성을 확인하기 위해 700°C-3hrs, 850°C-3hrs의 조건으로 열처리를 달리하며 후속 공정으로 고온 열처리가 있는 경우를 고려하였다.

후속공정을 고려한 열처리가 끝난 후 패턴의 면저항 확인을 위해 계속해서 사진식각공정으로 0.5×1000 μm의 장방형 패턴을 다수 만들고 양단에 Al 전극 pad를 만들어 식각전의 면저항과 식각 후 패턴의 면저항을 확인하였다.

완성된 시편의 미세구조를 확인하기 위해서 실리사이드 표면부를 50 nm 이온 에칭하여 이들의 평면 미세구조를 광발산주사전자현미경(FE-SEM)으로 확인하고, 수직단면 관찰은 통상의 수직단면 관찰을 위한 투과전자 현미경 시료제작 과정<sup>10)</sup>을 거쳐 투과전자현미경으로 진행하였다.

### 3. 실험 결과 및 고찰

Fig. 2에는 아몰퍼스실리콘과 폴리실리콘 위의 복합티타늄실리사이드의 0.5 μm-pattern 시편 경우의 열처리에 따른 TCBRL (top, center, bottom, left, right) 에지에서 2 cm 떨어진 곳에서 측정된 20 개 위치의 평균 면저항의 변화를 나타내었다. 폴리실리콘/TiSi<sub>2</sub>의 경우는 평균이 2.6 Ω/sq.에서 열처리온도가 750°C 까지는 2.7 Ω/sq.정도이다가 850°C 가 되면 200 Ω/sq. 로 급격히 증가하는 현상을 보였다.

반면에 아몰퍼스실리콘/TiSi<sub>2</sub>의 경우는 평균 2.7 Ω/sq.에서 750°C에서 3.0 Ω/sq, 850°C에서는 급격

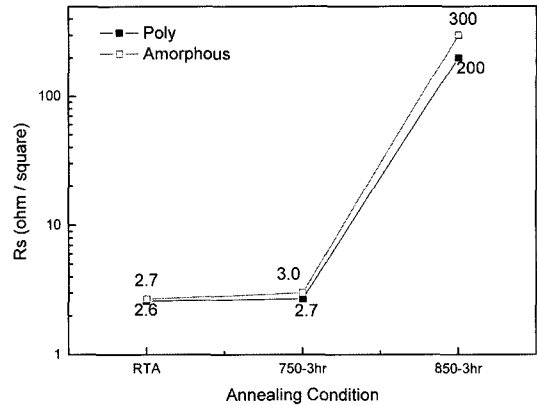


Fig. 2. Sheet resistance change with additional annealing conditions.

하게 300 Ω/sq. 로 증가하는 것을 알 수 있었다. 즉 850°C 이상의 열처리에서는 모두 급격히 면저항이 증가하는 것으로 추측되며, 750°C까지의 후속 열처리에서는 하지층의 종류에 관계없이 모두 비슷한 정도의 저저항 복합티타늄실리사이드를 유지시킴을 알 수 있었다.

이렇게 850°C에서 아몰퍼스실리콘 하지층인 경우가 폴리실리콘인 경우보다 더 급격히 저항이 증가하는 이유는 후속 열처리에서 아몰퍼스실리콘이 결정화 되면서 미세구조적으로 많은 변화를 겪는 것을 암시하는 것으로 나노급 두께를 가진 TiSi<sub>2</sub>의 배선층의 저저항을 유지시키기 위해 후속공정을 750°C 이하로 유지되어야 함을 알 수 있었다.

Fig. 3에는 하지층이 폴리실리콘인 경우와 아몰퍼스실리콘인 경우의 850°C-3hr 열처리 전후의 FE-SEM 표면 사진을 나타내었다. 확연하게 하지층이 아몰퍼스실리콘인 경우의 복합티타늄실리사이드 표면에는 사진의 이미지로부터, (b)의 점선원으로 표시한 부분과 같이 0.10 ea/μm<sup>2</sup>의 밀도로 공공이 발생하였으며 평균 공공의 크기는 50 nm정도 이었다.<sup>11)</sup> 반면에 폴리실리콘인 경우의 복합티타늄실리사이드의 표면부 공공은 발견되지 않았다. 유독 아몰퍼스실리콘 하지층에서만 공공이 발견된 이유는 실리콘과 TiSi<sub>2</sub>의 Ti 원자의 상호 이동속도가 매우 클때 Kirkendall 효과<sup>12)</sup>에 의한 것으로 추정되며, 폴리실리콘에 비해 아몰퍼스실리콘에서의 실리콘의 이동속도가 매우 빨라서 생기

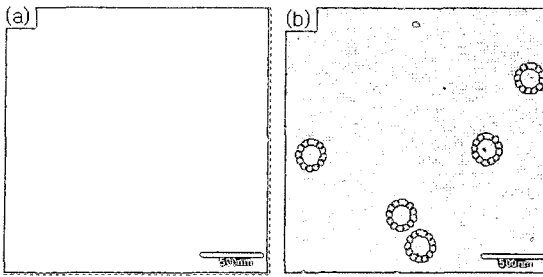


Fig. 3. The FE-SEM images of composite  $\text{TiSi}_2$  film with additional anneal of  $850^\circ\text{C}$ -3hr (a) polysilicon and (b) amorphous substrate.

는 현상으로 판단되었다.

Fig. 4에는 미시적인 상변화의 확인을 위해 선편이  $200\text{nm}$ 로 식각된 시편의  $850^\circ\text{C}$ -3hr 처리후의 폴리실리콘과 아몰퍼스실리콘 하지층의 경우의 TEM 사진을 각각 나타내었다. 그림 (a)의 폴리실리콘과 복합티타늄실리사이드의 계면을 보면  $70\text{nm}$  이어야 하는 폴리실리콘의 상부 계면이  $100\text{nm}$  정도로 이동하였음을 알 수 있다. 이것은 복합티타늄실리사이드 안정화 열처리에 따라 실리콘이 확산이동원소로 복합티타늄실리사이드 쪽으로 이동하였으며 특히 양쪽 측면에는 절연층과의 계면을 따라 더욱 빠른 확산이 일어나서 중간  $\text{TiSi}_2$ /폴리실리콘 계면부보다 약  $15\text{nm}$  정도 더 계면이동이 일어났음을 알 수 있다. 원래  $80\text{nm}$  두께로 증착된  $\text{TiSi}_x$ 는 RTA 공정을 거쳐  $80\text{nm}$  두께의  $\text{TiSi}_2$ 로 변환되고, 이를  $850^\circ\text{C}$ -3hr의 후속 열처리 공정중에 하부의 Si를 공급받으며 더욱 안정한  $\text{TiSi}_2$ 로 성장하면서 두께가  $120\text{nm}$ 로 성장하여 약 1.5배의 두께 변화가 발생함을 알 수 있다. 이 두

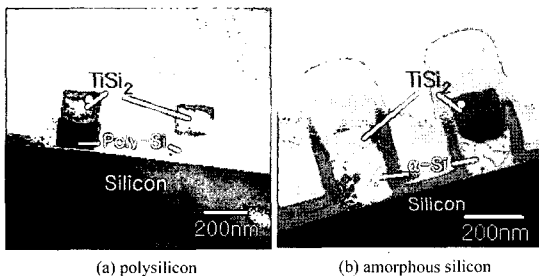


Fig. 4. TEM profiles of composite  $\text{TiSi}_2$  gate electrode observed on (a) polysilicon and (b) amorphous silicon after  $850^\circ\text{C}$ -3hr annealing.

께 변화는 기존의 살리사이드 공정에 의해서 제조된  $\text{TiSi}_2$  경우의 3.5배보다 매우 적은 것이라고 할 수 있다.

반면에 그림 (b)의 아몰퍼스실리콘 하지층위에 생성된 복합  $\text{TiSi}_2$ 는  $\alpha$ -실리콘이라고 표시한 부분에서 보이듯이 아몰퍼스실리콘 하지층이  $850^\circ\text{C}$ -3hr의 열처리에 의해 완전히 결정화 되어 폴리실리콘이 되었음을 컨트라스트 변화에서 확인할 수 있었다. 또한 (a)의 원래 폴리실리콘 하지층에 비해서 (b)는 절연층과의 계면부에서 실리콘이 계면 확산에 의해서  $\text{TiSi}_2$  쪽으로 더 많이 이동하여 실리사이드층의 중심부보다 약  $40\text{nm}$  정도 더 올라와 있는 것이 보이고, 실리사이드층의 두께는 약  $160\text{nm}$ 로 변화하며 원래 증착된 두께인  $80\text{nm}$ 의 2배 정도로 두께변화를 보여 (a) 보다 더 많은 두께 변화를 보임을 알 수 있다.

따라서 이상과 같은 관찰에서 실리콘층의 결정질 유무에 관계없이 기판온도를  $500^\circ\text{C}$ 로 유지시키면서 스퍼터링한 복합  $\text{TiSi}_x$ 는 후속 열처리공정이  $750^\circ\text{C}$ -3hr 정도가 되면 하부 실리콘 층으로부터 실리콘을 공급받아 더욱 안정한  $\text{TiSi}_2$ 를 형성하게 됨을 확인하였고, 이때 아몰퍼스실리콘은 완전히 폴리실리콘으로 결정화 되면서 하지층이 원래 폴리실리콘인 경우보다 더욱 많은 실리콘과 티타늄의 상호확산이 일어나서 더 많은 두께 변화와 심지어 계면부의 공공의 발생까지 일어나는 것으로 판단된다.

#### 4. 결 론

$70\text{nm}$  두께의 아몰퍼스실리콘, 폴리실리콘에  $80\text{nm}$  두께의  $\text{TiSi}_2$  복합티타늄실리사이드를 만들어 안정화시키고  $750^\circ\text{C}$ ,  $850^\circ\text{C}$ 에서 3시간씩 열처리 하면서 복합티타늄실리사이드의 면저항 변화와 미세구조 변화를 알아보았다. 폴리실리콘은  $750^\circ\text{C}$ 까지의 열처리에서 안정한 면저항을 보였으나 하지층이 아몰퍼스실리콘인 경우  $750^\circ\text{C}$ 부터 급격한 면저항 변화를 보였고 이러한 이유는 급격한 복합티타늄실리사이드 층과 실리콘 층의 상호 확산에 의한 복합티타늄실리사이드 층의 공공 발생이 원인이었다. 이러한 아몰퍼스실리콘 하지층에서의 공공의 발생은  $850^\circ\text{C}$ 이상의 후속 열처리공정에서 발견되었고 폴리실리콘이 하지층인 경우

보다 더 큰 두께변화를 가지고 고저항 복합티타늄실리사이드로 변화 되었다. 따라서 저저항 복합실리사이드를 만들기 위해서는 하지층의 종류에 관계없이 실리사이드공정 이후의 후속 열처리 공정을 750°C 이하로 제한하여야 하였고 하지층이 아몰퍼스실리콘인 경우에는 실리사이드의 부피팽창과 공공의 발생을 고려하여 후속공정을 실험범위 내에서 750°C 이하의 저온으로 유지하는 것이 요구되었다.

### 감사의 글

본 연구는 한국과학재단의 특정기초연구(과제번호 R01-2004-000-10028-0) 지원에 의해 수행되었습니다. 이에 감사드립니다.

### 참고문헌

1. M. S. Shieh, Y. J. Lin, C. M. Yu, T. F. Lei, "Characterization of polysilicon thin-film transistors with asymmetric source/drain implantation", *Nuclear Instruments and Methods in Physics Research B*, 237, 223-227, (2005).
2. J. A. Kittl, Q. Z. Hong, "Self-aligned Ti and Co silicides for high performance sub-0.18  $\mu\text{m}$  CMOS technologies", *Thin Solid Films*, 320, 110-121, (1998).
3. C. Kothandaraman, Sundar K. Iyer, Subramanian S. Iyer, "Electrically Programmable Fuse (eFUSE) Using Electromigration in Silicides", *IEEE Electron Device Letters*, Vol. 23, No. 9, 523-525, (2002).
4. O. S. Song, S. H. Jung, S. D. Lee, K. Y. Lee, J. H. Ryu, "Characteristics of Gate Oxides with Cobalt Silicide Process", *The Materials Research Society of Korea*, Vol. 13, No. 11, 711-716, (2003).
5. A. Lauwers, J. A. Kittl, O. Chamirian, M. A. Pawlak, M. Potter, R. Lindsay, T. Raymakers, X. Pages, B. Mebarki, "Ni based silicides for 45 nm CMOS and beyond", *Materials Science and Engineering B*, Vol. 114-115, No. 15 29-41, (2004).
6. S. H. Jeong, "Study on Property and Unit Process of Composite Silicide for Nano-CMOS Devices", Unpublished master's thesis, University of Seoul, Seoul, (2005).
7. X. X. Qu, P. D. Foo, S. M. Xu, "The development of Ti silicide in poly gate structures with oxidized sidewall and application in a novel RF LDMOSFET", *Materials Science in Semiconductor Processing*, Vol. 5, 1-4, (2002).
8. D. H. Ko, N. I. Lee, Y. W. Kim, M. Y. Lee, "Gate-oxide integrity in metal-oxide-semiconductor structures with Ti-polycide gates for ULSI applications", *Thin Solid Films*, Vol. 326, 56-59, (1998).
9. K. Yckache, P. Boivin, F. Baiget, S. Radjaa, G. Auriel, B. Sagnes, J. Oualid, A. Glachant, "Reliability of nitrated wet silicon dioxide thin films in  $\text{WSi}_2$  or  $\text{TaSi}_2$  polycide process : influence of the nitridation temperature", *Microelectronics Reliability*, Vol. 38, 937-942, (1998).
10. R. E. Lee, "Scanning Electron Microscopy and X-Ray Microanalysis", P T R Prentice-Hall : USA, (1993).
11. E. Ma, "Growth of amorphous silicide during Ti/Si interfacial reactions in multilayer thin films", *Materials Science and Engineering A*, Vol. 398, 60-65, (2005).
12. D. A. Porter, K. E. Eastering, "Phase transformations in Metals and Alloys", 2ed, Nelson Thornes Ltd, United Kingdom (2001).