

짧은 결합길이를 갖는 초소형 발룬 및 이를 응용한 평형 필터 설계

論 文

55C-4-11

Miniaturized Balun with Reduced Coupled-Line and its Application to the Design of Balanced-Type Filter

李文揆[†]
(Moon-Que Lee)

Abstract - A distributed balun such as Marchand balun typically shows good phase and amplitude balances, but its size is somewhat large especially in lower frequency band. In contrast, a lumped balun has compact size but its performance is not good compared with that of a distributed one. In this paper the distributed-coupled line can be reduced effectively by using the lumped-distributed implementation. Designed balun has two coupled line of each $\lambda/72$ and shows magnitude balance of 0.05 dB, phase balance of 0.7° in passband. Balanced-type filter is designed using balun and it has insertion loss of 8 dB, return loss of 7 dB, magnitude balance of 0.2 dB, and phase balance of 1.2° in passband.

Key Words : 발룬, 평형-불평형, 평형 필터, Balun, Balanced-Unbalanced, Balanced-Type Filter

1. 서 론

최근 휴대폰이나 개인 휴대 단말기 등 휴대용 무선 기기가 일반화됨에 따라 기기의 소형화와 성능 개선의 요구가 커지고 있다. 일반적으로 RF 앞단에서 이중 평형 믹서(double balanced mixer)나 평형 증폭기(balanced amplifier), 평형 필터(balanced-type filter)와 같은 평형 구조를 갖는 회로를 사용하면 공통 모드 잡음(common mode noise)을 줄일 수 있고, 동작 전압을 낮게 할 수 있는 장점이 있다[1]. 이러한 응용 분야에서 평형 구조를 갖는 소자들의 입력에 평형 신호를 인가해 주기 위해 주로 사용하는 소자 중의 하나가 발룬(Balun, Balanced-to-Unbalanced)이다[2-3]. 발룬이란 불평형 입력을 평형 출력으로 혹은 평형 입력을 불평형 출력으로 변환해주는 RF 소자를 말한다. 일반적으로 많이 사용되는 수동형 발룬 구조에는 $\lambda/4$ 결합 길이를 갖는 머천드(Marchand) 발룬과 결합 선로와 커패시터를 같이 사용함으로써 결합 길이를 효과적으로 줄일 수 있는 집중-분산 혼합형(lumped-distributed) 발룬이 있다[4]. 머천드 발룬은 넓은 대역폭을 갖는 장점이 있으나, 두 개의 $\lambda/4$ 결합 길이를 갖는 결합 선로를 필요로 하기 때문에 회로의 크기가 커지는 단점이 있다. 집중-분산 혼합형 발룬은 커패시터

를 이용하여 결합 선로의 길이를 줄일 수 있으나, 대역폭이 좁아지고 평형성이 떨어지는 단점이 있다[5]. 본 논문에서는 이를 발룬의 초소형화를 위한 설계식을 전개하고 이에 대한 예로 전기길이 5° 에 해당하는 중심주파수에서 $\lambda/72$ 의 길이로 소형화 할 수 있음을 보이고, 이를 응용하여 발룬 평형 필터를 설계 및 제작하고, 측정된 결과를 제시한다.

2. 짧은 결합 길이를 갖는 초소형 발룬의 설계

본 장에서는 대칭 구조를 갖는 일반적인 3포트 발룬 구조의 산란 계수에 기초한 수식적인 분석을 통해 이상적인 발룬이 만족해야하는 조건을 유도하고, 이를 바탕으로 짧은 결합 길이를 갖는 초소형 발룬을 설계한 다음, 이를 일반적인 머천드 발룬 구조의 특성과 성능을 비교한다.

2.1 발룬 분석

그림 1은 대칭 구조를 갖는 일반적인 4포트 회로를 나타내고, 식 (1)은 그에 대한 산란 행렬을 나타낸다. 4포트 산란 행렬에서 각각의 산란 계수를 우 모드와 기 모드의 반사 계수(Γ_u, Γ_g)와 투과 계수(T_u, T_g)로 표현하기 위해 각 포트에 대해 우/기 모드 분석을 한다. 그림 2는 포트 1에 대한 우 모드 회로와 기 모드 회로를 나타낸다. 그림 2에서 두 개의 우/기 모드 회로의 각 포트에서의 입사파에 대한 반사파의 비를 구해서 더하면 포트 1에 대한 산란 계수를 구할 수 있고, 이를 수식 (2)에 나타내었다.

[†] 교신저자, 正會員 : 서울시립대학교 전기전자컴퓨터공학부
조교수

E-mail : mglee@uos.ac.kr

接受日字 : 2006年 1月 10日

最終完了 : 2006年 2月 12日

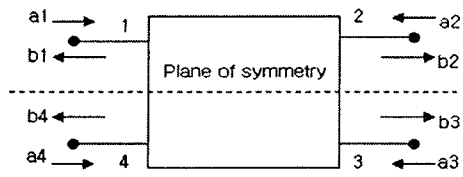


그림 1 대칭 구조를 갖는 일반적인 4포트 회로
Fig. 1 General 4-port network with symmetry

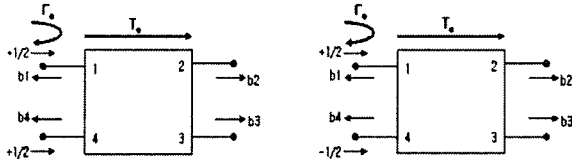


그림 2 우 모드 회로와 기 모드 회로
Fig. 2 Even-mode and odd-mode circuits

$$\begin{pmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} & S_{13} & S_{14} \\ S_{21} & S_{22} & S_{23} & S_{24} \\ S_{31} & S_{32} & S_{33} & S_{34} \\ S_{41} & S_{42} & S_{43} & S_{44} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{pmatrix} \quad (1)$$

$$S_{11} = \frac{1}{2} \Gamma_e + \frac{1}{2} \Gamma_o \quad (2a)$$

$$S_{21} = \frac{1}{2} T_e + \frac{1}{2} T_o \quad (2b)$$

$$S_{31} = \frac{1}{2} T_e - \frac{1}{2} T_o \quad (2c)$$

$$S_{41} = \frac{1}{2} \Gamma_e - \frac{1}{2} \Gamma_o \quad (2d)$$

이와 마찬가지로 방법으로 포트 2, 3, 4에 대해서 우/기 모드 분석을 통해 나머지 산란 계수를 구한다.

이제 위의 대칭 구조를 갖는 일반적인 4포트 회로의 산란 계수로부터 3포트 발룬 회로의 산란 계수를 구하기 위해 포트 4에 경계 조건을 적용한다. 이 때, 포트 1은 입력 포트이고 포트 2와 3은 출력 포트이다. 포트 4에 개방 조건이나 단락 조건이 모두 가능하지만, 본 논문에서는 단락 조건에 대해서만 생각하기로 한다. 이에 대한 회로를 그림 3에 제시하였다.

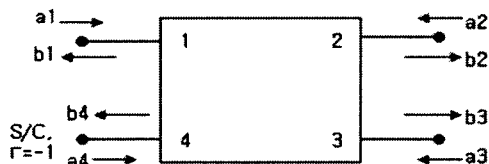


그림 3 포트 4에 경계 조건을 적용하기 위한 블록도
Fig. 3 Block diagram to apply boundary condition at port 4

식 (1)의 4포트 산란 행렬에서 포트 4에 경계 조건 $\frac{a_4}{b_4} = -1$ 을 적용하면 3포트 발룬 회로에 대한 새로운 산

란 계수를 구할 수 있고 이를 행렬식으로 나타내면 식 (3)과 같다.

$$\begin{pmatrix} b_1 \\ b_2 \\ b_3 \end{pmatrix} = \begin{pmatrix} S'_{11} & S'_{12} & S'_{13} \\ S'_{21} & S'_{22} & S'_{23} \\ S'_{31} & S'_{32} & S'_{33} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \\ a_3 \end{pmatrix} \quad (3)$$

여기서, S'_{ij} 는 새로운 3포트 산란계수의 파라미터이다.

그림 3으로부터 발룬으로서 동작하기 위한 산란 계수의 조건은 다음과 같이 주어짐을 알 수 있다.

$$S'_{11} = 0 \quad (4a)$$

$$S'_{21} = -S'_{31} \quad (4b)$$

(4a)는 발룬의 임피던스 변환기로서의 특성을 나타낸 것이다. 일반적으로 발룬의 소스 임피던스와 부하 임피던스는 다르기 때문에, 입출력 간에 임피던스 정합을 위해 임피던스 변환기로서의 역할을 수행해야 한다. (4b)는 평형 조건을 나타낸 것으로, 두 개의 출력은 크기가 서로 같고 위상이 반대이어야 함을 의미한다. (4a)와 (4b)의 조건을 식 (3) 적용하고, 이를 우/기 모드 반사 투과 계수로 정리하면 다음과 같다.

$$\frac{\Gamma_e + \Gamma_o + 2\Gamma_e\Gamma_o}{2 + \Gamma_e + \Gamma_o} = 0 \quad (5a)$$

$$\frac{T_e(1 + \Gamma_o)}{2 + \Gamma_e + \Gamma_o} = 0 \quad (5b)$$

이를 그림 4에 나타낸 우 모드 회로의 투과 계수 T_e 와 소스 어드미턴스 Y_{in} , 우 모드 입력 어드미턴스 Y_{even} , 기 모드 입력 어드미턴스 Y_{odd} 를 이용하여 간략화 할 수 있다.

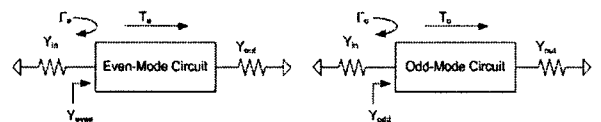


그림 4 우 모드 회로와 기 모드 회로
Fig. 4 Even-mode and odd-mode circuits

식(5)에서 분모가 0이 아니라고 가정하면, (5a)와 (5b)로부터 각각 다음 조건을 유도할 수 있다.

$$\Gamma_e + \Gamma_o + 2\Gamma_e\Gamma_o = 0 \quad (6a)$$

$$T_e(1 + \Gamma_o) = 0 \quad (6b)$$

$$\Gamma_e = \frac{Z_{even} - Z_{in}}{Z_{even} + Z_{in}}, \quad \Gamma_o = \frac{Z_{load} - Z_{in}}{Z_{load} + Z_{in}} \text{ 이고, 이를 (6a)에 대입하고}$$

정리하면 다음의 (7a)를 얻을 수 있고, (6b)로부터 (7b)를 이끌어낼 수 있다.

$$Y_{even} + Y_{odd} = 2 Y_{in} \quad (7a)$$

$$T_e = 0 \quad (7b)$$

식 (7)은 대칭 구조를 갖는 이상적인 발룬의 우 모드 회로와 기 모드 회로의 조건을 나타낸다. 즉, (7a)는 발룬의 입력에서의 매칭을 위해서는 우 모드 입력 어드미턴스와 기 모드 입력 어드미턴스의 합이 소스 어드미턴스의 두 배가 되어야함을 의미하고, (7b)는 발룬의 완벽한 평형성을 위해서는 우 모드 회로가 신호를 전혀 전달할 수 없어야 함을 의미한다.

2.2 발룬 설계

본 논문에서 설계한 발룬은 일반적인 4포트 회로에서 하나의 포트가 단락된 형태로, 대칭적인 구조를 갖는 3포트 회로이다. 널리 알려진 $\lambda/4$ 의 결합 길이를 갖는 머천트 발룬과는 달리, 2개의 커패시터를 사용하여 결합 선로의 결합 길이를 $\lambda/72$ 로 줄임으로써 발룬의 크기를 대폭 줄였다. 보통 커패시터를 많이 사용할수록, 또 큰 값을 쓸수록 결합 길이를 효과적으로 줄일 수 있으나, 대역폭은 좁아지게 된다. 입력에 인가된 불평형 신호는 두 개의 정 반대 위상을 갖는 평형 신호가 되어 출력된다. 그림 5는 설계하고자 하는 발룬의 구조를 나타내고, 그림 6의 (a), (b)는 각각 우 모드 회로와 기 모드 회로를 나타낸다^[6].

그림 6 (a)의 우 모드 회로로부터 주파수에 상관없이 모든 θ 에 대해 신호가 전달될 수 없음을 알 수 있고^[6], 따라서 이러한 우 모드 회로를 갖는 그림 5의 발룬 구조는 식 (7b)의 발룬의 평형 조건을 만족함을 알 수 있다. 그리고, 그림 6(b)의 기 모드 회로로부터는 식 (7a)의 임피던스 정합 조건을 만족하도록 회로의 파라미터값을 설정하면 된다. 그림 6의 각각의 우/기 모드 회로에 대한 Y_{even} 과 Y_{odd} 를 구하기 위해서 먼저 그림 7의 4 포트 평행 결합 선로를 Z-파라미터로 나타내면 식 (8)와 같다^[7].

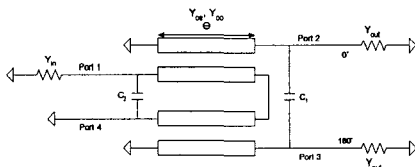
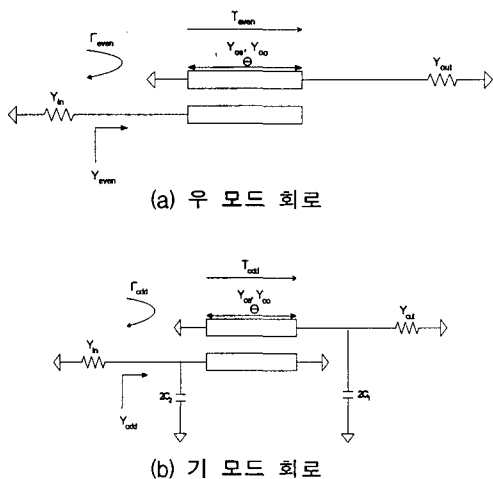


그림 5 발룬 구조
Fig. 5 Balun structure



(a) 우 모드 회로
(b) 기 모드 회로

그림 6 그림 1.5의 구조에 대한 우/기 모드 회로
Fig. 6 Even/odd mode circuit of Fig. 1.5

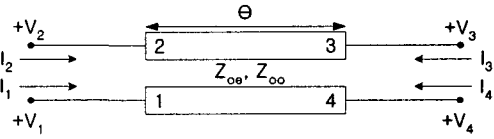


그림 7 4 포트 평행 결합 선로
Fig. 7 4 port coupled-line section

$$Z_{11} = Z_{22} = Z_{33} = Z_{44} = -\frac{j}{2} (Z_{oe} + Z_{oo}) \cot \theta \quad (8a)$$

$$Z_{12} = Z_{21} = Z_{34} = Z_{43} = -\frac{j}{2} (Z_{oe} - Z_{oo}) \cot \theta \quad (8b)$$

$$Z_{13} = Z_{31} = Z_{24} = Z_{42} = -\frac{j}{2} (Z_{oe} - Z_{oo}) \csc \theta \quad (8c)$$

$$Z_{14} = Z_{41} = Z_{23} = Z_{32} = -\frac{j}{2} (Z_{oe} + Z_{oo}) \csc \theta \quad (8d)$$

여기서 우 모드 회로의 입력 어드미턴스 Y_{even} 을 구하기 위해서 포트 2와 포트 4에 각각 단락($V_2=0$)과 개방($I_4=0$)의 경계 조건을 적용하여 2 포트에 대한 Z 행렬을 구해서 이를 Y 행렬로 변환한 다음, 포트 3에 부하 어드미턴스에 대한 경계 조건을 적용하면 Y_{even} 은 식 (9a)와 같이 구할 수 있다. 마찬가지로, 기 모드 회로의 입력 어드미턴스 Y_{odd} 를 구하기 위해서 포트 2와 포트 4에 모두 단락($V_2=V_4=0$)의 경계 조건을 적용하여 2 포트에 대한 Z 행렬을 구해서 이를 Y 행렬로 변환한 다음, 포트 3에 커패시터 $2C_2$ 과 부하 어드미턴스 Y_{out} 에 대한 경계 조건을 적용하여 1 포트에 대한 Y 행렬을 구하고 여기에 $j2\omega C_2$ 를 더하면 식 (9b)의 Y_{odd} 를 구할 수 있다.

$$Y_{even} = j \frac{(Y_{oe} + Y_{oo})}{2} \tan \theta \quad (9a)$$

$$Y_{odd} = j2\omega C_2 + Y_{11} - \frac{Y_{12} Y_{21}}{Y_{22} + (j2\omega C_1 + Y_{out})} \quad (9b)$$

여기서

$$Y_{11} = Y_{22} = -j \frac{Y_{oo} + Y_{oe}}{2 \tan \theta} \quad (10a)$$

$$Y_{12} = Y_{21} = -j \frac{Y_{oo} - Y_{oe}}{2 \sin \theta} \quad (10b)$$

식 (9)을 식 (7a)에 대입하고 실수부는 실수부끼리, 허수부는 허수부끼리 묶으면 다음과 같다.

$$\left(\frac{Y_{out}}{Y_{in}}\right) (Y_{oo} - Y_{oe})^2 - (8 \sin^2 \theta) \left(Y_{out} + \left(\frac{Y_{oo} + Y_{oe}}{2 \tan \theta} - 2\omega C_1 \right)^2 \right) = 0 \quad (11a)$$

$$(Y_{oo} + Y_{oe}) \left(\tan \theta + \frac{1}{\tan \theta} \left(\frac{2 Y_{oe}}{Y_{out}} - 1 \right) \right) + 4 \left(\omega C_2 - \left(\frac{2 Y_{oe}}{Y_{out}} \right) \omega C_1 \right) = 0 \quad (11b)$$

본 논문에서는 소스 임피던스와 부하 임피던스가 50 ohm ($Y_{in}=Y_{out}=0.02 \text{ mho}$)인 경우에 대해서만 생각하기로 한다. 식 (11)를 Y_{oo} 와 Y_{oe} 에 대해 풀어서 정리하면 다음과 같다.

$$Y_{\infty} = \frac{4\omega C_1 - 2\omega C_2}{\tan\theta + \cot\theta} - \sqrt{2\sin\theta \sqrt{0.004 + \left(\frac{4\omega C_1 - 2\omega C_2}{1 + \tan^2\theta} - 2\omega C_1\right)^2}} = \frac{1}{Z_{oe}} \quad (12a)$$

$$Y_{\infty} = \frac{4\omega C_1 - 2\omega C_2}{\tan\theta + \cot\theta} + \sqrt{2\sin\theta \sqrt{0.004 + \left(\frac{4\omega C_1 - 2\omega C_2}{1 + \tan^2\theta} - 2\omega C_1\right)^2}} = \frac{1}{Z_{oo}} \quad (12b)$$

식 (12)으로부터 우 모드 특성 임피던스 Z_{oe} 와 기 모드 특성 임피던스 Z_{oo} 는 θ , ωC_1 , ωC_2 의 함수임을 알 수 있다.

일반적으로 커패시터의 사용은 대역폭의 감소를 가져온다. 여러 가지 ωC_1 과 ωC_2 값에 대해 θ 를 변화시켜 가면서 Z_{oe} , Z_{oo} 의 특성을 시뮬레이션하였다. 시뮬레이터는 Agilent사의 ADS2003A를 이용하였다. 그림 8은 C_2 를 사용하지 않고 C_1 을 0.015mho에서 0.030mho까지 변화시켜가면서 Z_{oe} , Z_{oo} 의 특성을 본 것이다. θ 가 약 40도 근처에서 Z_{oe} 가 최소값을 갖고 그 범위를 벗어나면 Z_{oe} 와 Z_{oo} 의 차이가 급격히 커짐을 알 수 있다.

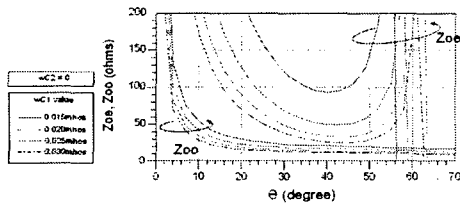


그림 8 $\omega C_2=0$ 일 때 θ 에 따른 여러 ωC_1 에 대한 Z_{oe} , Z_{oo} 특성 곡선
 Fig. 8 Characteristic curves of Z_{oe} , Z_{oo} for various ωC_1 with $\omega C_2=0$

그림 9는 $\omega C_2=0.03$ mho일 때 Z_{oe} , Z_{oo} 의 특성 곡선을 나타낸다. 곡선이 전체적으로 왼쪽으로 이동함으로써, 발룬의 크기가 감소될 수 있음을 알 수 있다. 일반적으로 커패시터를 하나 사용할 때보다 두 개 사용할 때, 또 보다 큰 값을 사용하면, 발룬의 크기를 줄일 수 있지만, 대역폭은 감소한다. 또한 Z_{oe} 값이 클수록 보다 넓은 대역폭을 갖는다. 커패시터의 사용과 대역폭과의 관계를 알아보기 위해 커패시터를 하나 사용하였을 때와 두 개 사용하였을 때, 그리고 커패시터를 사용하지 않은 $\lambda/4$ 의 결합 길이를 갖는 머천드 발룬에 대해 500 MHz의 중심 주파수를 기준으로 주파수 특성을 시뮬레이션하였고, 이를 그림 10에 나타내었다. 그림 10에서 머천드 발룬이 대역폭이 가장 넓고, 커패시터를 두 개 사용하였을 때 대역폭이 가장 작은 것을 알 수 있다.

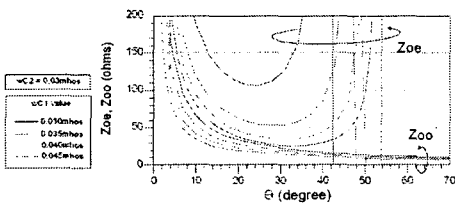


그림 9 $\omega C_2=0.03$ mho일 때 θ 에 따른 여러 ωC_1 에 대한 Z_{oe} , Z_{oo} 특성 곡선
 Fig. 9 Characteristic curves of Z_{oe} , Z_{oo} for various ωC_1 with $\omega C_2=0.03$ mho

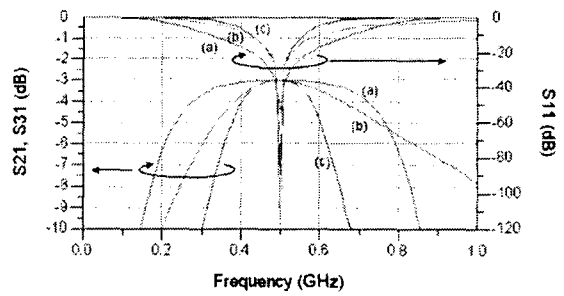


그림 10 3가지 발룬에 대한 주파수 특성. (a) 머천드 발룬. (b) 커패시터 하나 사용시. (c) 커패시터 두 개 사용시.
 Fig. 10 Frequency response of 3 baluns. (a) Marchand balun. (b) balun using single capacitor. (c) balun using two capacitors.

이러한 특성 곡선으로부터 각각의 ωC_1 값에 대해 적절한 θ 와 Z_{oe} , Z_{oo} 값을 선택함으로써 원하는 발룬을 설계할 수 있다.

2.3 제작 및 측정 결과

지금까지의 설계 과정을 바탕으로 500 MHz 대역에서 통과 대역을 갖는 발룬을 설계하였다. 결합 길이는 500 MHz에서 $\theta=5(\lambda/72)$ 로 하여 발룬을 소형화하였으며, 이를 Agilent사의 EM 시뮬레이터인 모넨텀을 이용하여 주파수 특성을 해석하였다. 그림 11은 발룬의 EM 해석을 통한 시뮬레이션 결과를 보여준다.

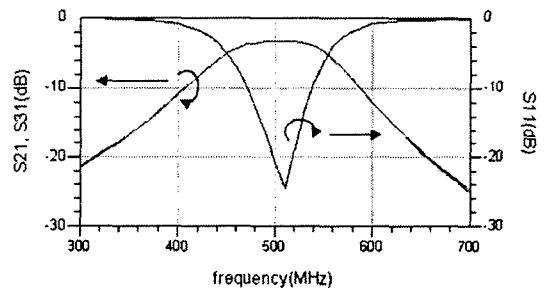


그림 11 발룬의 시뮬레이션 특성
 Fig. 11 Simulation result for balun

시뮬레이션 결과, 500 MHz의 중심 주파수를 기준으로 10%의 대역에서 삽입 손실이 약 3.5 dB, 반사 손실이 약 11 dB이고, 크기 평형성은 0.015 dB, 위상 평형성은 0.1의 특성을 보인다.

설계한 $\lambda/72$ 의 결합 길이를 갖는 초소형 발룬을 유전율 6, 두께 0.54 mm, 탄젠트 손실 0.002인 테플론 기판에 제작하였고, HP 8753D 네트워크 분석기를 이용하여 3포트에 대해 산란 계수를 측정하였다. 먼저, 그림 12는 주파수에 대한 발룬의 삽입 손실과 반사 손실을 나타낸 것으로, 통과 대역에서 각각 5 dB, 10 dB이다. 그림 13은 발룬의 평형성을 나타낸 것으로, 크기 평형성은 0.05 dB, 위상 평형성은 0.7의 특성을 보인다. 그림 14는 실제 제작한 발룬의 사진을 나타낸다.

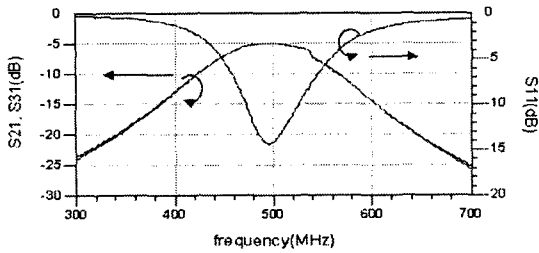


그림 12 측정된 발룬의 주파수 특성
Fig. 12 Measured result of frequency response for balun

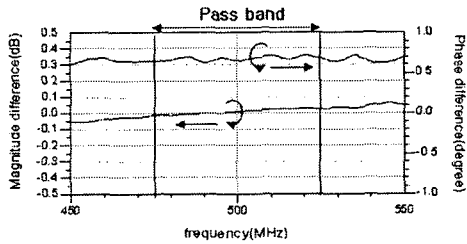


그림 13 측정된 발룬의 평형성
Fig. 13 Balance characteristics for balun

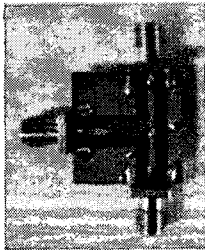


그림 14 제작한 발룬의 사진
Fig. 14 Photograph of balun

3. 평형 필터 설계

3.1 평형 필터 설계

평형 필터는 이론적으로 물리적인 접지를 사용하지 않기 때문에, 회로의 Q 값을 높일 수 있고, 따라서 회로의 잡음 성능을 향상시킬 수 있다. 지금까지는 주로 IDT (Interdigital Transducer)형 SAW 필터나 공진형 SAW 필터를 사용하여 평형 필터를 설계한 것이 보고되었다^{[7]-[10]}. 이러한 SAW 필터는 불평형(unbalanced) 입출력을 갖기 때문에 평형 구조를 갖는 회로와 연결하기 위해서는 발룬(balun)과 같은 평형-불평형 변환기를 이용하여 신호를 인가해 주어야 한다. 또한, 필터의 크기 평형성이나 위상 평형성을 높이기 위해서는 여러 개의 IDT를 연결하여 사용해야 하기 때문에, 회로의 크기가 커질 수 있는 문제가 있다. 이 절에서는 앞서 설계한 $\lambda/2$ 의 결합 길이를 갖는 초소형 발룬을 이용하여 평형 필터를 설계 및 제작하였다. 그림 15는 평형 필터의 구조를 나타낸다. 이 구조는 앞에서 설계한 발룬을 3개 연결하여 구성한 것으로 필터의 스퀘트 특성을 좋게 하였다. 이를 Agilent사의 ADS2003A를 이용하여 1GHz까지의 주파수 범위에 대해 필터 특성을 시뮬레이션하였고,

그 결과를 그림 16에 나타내었다. 통과 대역에서 삽입 손실이 4.5 dB, 반사 손실이 10 dB이고, 크기 평형성은 0.004 dB, 위상 평형성은 0.02°의 특성을 보인다.

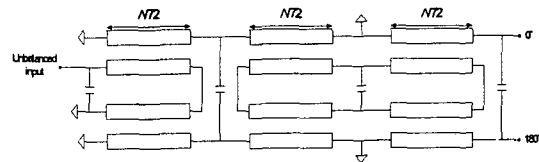


그림 15 평형 필터의 구조
Fig. 15 Balanced-type filter structure

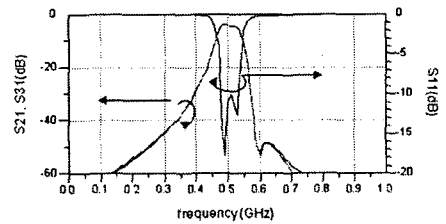


그림 16 평형 필터의 시뮬레이션 결과
Fig. 16 Simulation result for balanced-type filter

3.2 제작 및 측정 결과

설계한 평형 필터를 유전율 6, 두께 0.54 mm, 탄젠트 손실 0.002인 테플론 기판에 제작하였고, HP 8753D 네트워크 분석기를 이용하여 3포트에 대해 산란 계수를 측정하였다. 평형 필터의 주파수에 대한 삽입 손실 및 반사 손실을 그림 17에 나타내었다. 통과 대역에서 삽입 손실은 8 dB, 반사 손실은 7 dB이다. 그림 18는 평형 필터의 평형성을 나타낸 것으로, 크기 평형성은 0.2 dB, 위상 평형성은 1.2°의 결과를 얻었다. 그림 19는 제작한 평형 필터의 사진을 나타낸다.

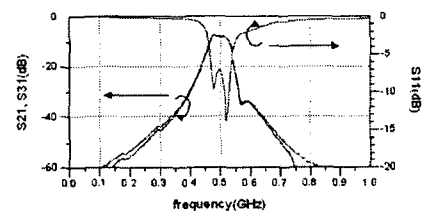


그림 17 제작한 평형 필터의 주파수 특성
Fig. 17 Frequency response for manufactured balanced-type filter

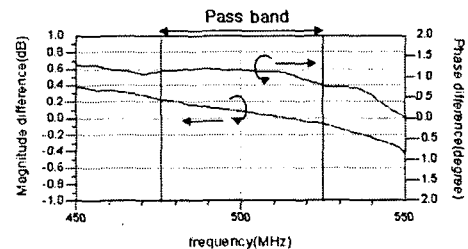


그림 18 평형 필터의 평형성
Fig. 18 Balance characteristics for balanced-type filter

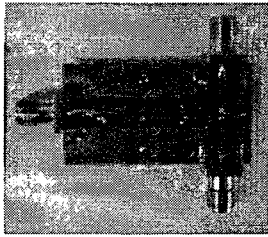


그림 19 제작한 평형 필터의 사진
Fig. 19 Photograph of balanced-type filter

4. 결 론

본 논문에서는 발륜을 분석하여 발륜의 특성을 만족하기 위한 조건식을 유도하고, 이로부터 여러 커패시터값에 따른 평형 결합 선로의 길이와 우/기 모드 특성 임피던스 값을 결정할 수 있는 설계 곡선을 도출함으로써, 원하는 발륜을 설계할 수 있도록 하였다. 또한 커패시터의 사용과 결합 선로의 길이 및 대역폭의 관계를 살펴보았다. 일반적으로, 커패시터를 사용하고 그 값이 클수록 결합 선로의 길이는 줄임으로써 발륜을 소형화할 수 있으나, 대역폭은 감소하는 특성을 보인다. 그리고 이러한 설계 방법을 바탕으로 500 MHz 대역에서 $\lambda/72$ 결합 길이를 갖는 초소형 발륜을 설계 및 제작하였다. 커패시터를 사용하여 결합 선로의 길이를 효과적으로 줄일 수 있었다. 측정 결과 500 MHz의 중심 주파수에서 10% 대역폭을 유지하면서도 비교적 우수한 평형성을 보였다. 그리고 이를 이용하여 평형 필터를 설계하고 제작하였다. 평형 필터는 이론적으로 물리적인 접지를 사용하지 않기 때문에 높은 Q값을 가질 수 있고, 평형 구조를 갖기 때문에 공통 모드 잡음에 강한 장점이 있다. 또한 $\lambda/72$ 결합 길이를 갖는 초소형 발륜을 사용하여 3단으로 필터를 구현함으로써, 회로의 크기를 소형화할 수 있었고, 필터의 스킵트 특성을 개선할 수 있었다. 본 논문에서 설계한 구조의 평형 필터는 회로 크기의 최소화와 좋은 필터 성능을 요구하는 이동 통신과 같은 저주파 대역의 응용에서 사용이 가능하리라 사료된다.

감사의 글

이 논문은 2004년도 서울시립대학교 학술연구조성비 (과제번호 : 20040629-1-1-027, 과제명: 짧은 결합길이를 갖는 초소형 발륜 및 평형필터 설계에 관한 연구)에 의하여 연구되었음.

참 고 문 헌

[1] Behzad Razavi, *RF Microelectronics*, New Jersey, Prentice Hall, 1998.
[2] S. A. Mass, *Microwave Mixers*, 2-nd edition, Artech House, Inc., Boston, 1993.
[3] M.-Q. Lee, K.-K. Ryu and H.-S. Kim, "Low spurious image rejection mixer for K-band applications," The Korea Institute of electrical engineers(KIEE) International

Transactions on EA, Vol. 4-C, no. 6, PP. 272-275, 2004.
[4] N. Marchand, "Transmission-line conversion transformers," *Electronics*, Vol. 17, PP. 142-146, Dec. 1944.
[5] K. S. Ang, Y. C. Leong, C. H. Lee, "Analysis and design of miniaturized lumped-distributed impedance-transforming baluns," *IEEE Transactions on MTT*, Vol. 51, No. 3, PP. 1009-1017, March 2003,
[6] David M. Pozar, *Microwave Engineering*, 2nd edition, John Wiley & Sons, 1998, USA, PP. 474~478.
[7] H. Nakamura, S. Tsuzuki, T. Yamada, T. Ishizaki, "An analysis and improvement of balanced-type SAW filters," *IEEE Ultrasonics Symposium*, PP. 163-166, 2002.
[8] M. Koshino, K. Kanasaki, N. Akahori, M. Kawase, R. Chujo, Y. Ebata, "A wide-band balanced SAW filter with longitudinal multi-mode resonator," *IEEE Ultrasonics Symposium*, PP. 387-390, 2000.
[9] T. Yamada, H. Nakamura, K. Nishimura, "Balanced-type IF SAW filters with different input/output impedances," *IEEE Ultrasonics Symposium*, PP. 77-80, 1998.
[10] Y. Taguchi, S. Seki, K. Onishi, K. Eda, "A new balanced-unbalanced type RF-Band SAW filter," *IEEE MTT-S International Microwave Symposium Digest*, PP. 417-420, 1996.

저 자 소 개



이 문 규(李文揆)

1992년 2월 : 한국과학기술원 전기 및 전자공학과 졸업
1994년 2월 : 서울대학교 전자공학과 석사
1999년 2월 : 서울대학교 전기공학부 박사
1999년 3월~2002년 2월 : 한국전자통신연구원 통신위성개발센터 선임연구원
2002년 3월 ~ 현재 : 서울시립대학교 전기전자컴퓨터공학부 조교수
<관심분야> RFIC, 마이크로파/밀리미터파 능동(MMIC, Hybrid) 및 수동 부품회로 설계