

논문 2006-43SD-3-2

새로운 BEOL 공정을 이용한 NBTI 수명시간 개선

(Improvement of NBTI Lifetime Utilizing Optimized BEOL Process Flow)

호 원 준**, 한 인 식*, 이 희 덕**

(Won-Joon Ho, In-Shik Han, and Hi-Deok Lee)

요 약

본 논문에서는 NBTI 특성 개선을 위한 새로운 BEOL 공정을 제안하였다. 우선 BEOL의 마지막 공정인 수소 금속소결 열처리 공정, 보호막 공정 등이 NBTI에 많은 영향을 끼침을 분석하였다. 이를 바탕으로 수소 금속소결 대신 질소 금속소결 공정을 적용하고 보호막 층, 특히 PE-SiN 증착 전에 질소 금속소결공정을 실시하여 NBTI 수명시간을 개선하였다. 제안한 방법을 적용하여도 소자 특성이나 NMOS의 HC 특성이 열화 되지 않음을 분석하여 실제 소자에 적용될 수 있음을 증명하였다.

Abstract

The dependence of NBTI lifetime on the BEOL processes such as sintering gas type and passivation layer has been characterized in depth. Then, optimized BEOL process scheme is proposed to improve NBTI lifetime. NBTI showed degradation due to the plasma enhanced nitride (PE-SiN) passivation film and H₂ sintering anneal. Then, new process scheme of N₂ annealing instead of H₂ annealing prior to PE-SiN deposition is proposed. The proposed BEOL process flow showed that NBTI lifetime can be improved a lot without degradation of device performance and NMOS hot carrier reliability.

Keywords : NBTI, Hot carrier, passivation layer, BEOL process, Sintering anneal

I. 서 론

최근에 p+ 게이트 PMOS 소자의 NBTI(Negative Bias Temperature Instability)에 의한 문턱전압의 변동과 열화특성이 deep-submicron CMOS technology의 신뢰성 분야에서 가장 중요한 문제중의 하나로 떠오르고 있다^[1]. 특히 CMOS 소자의 크기가 작아짐에 따라 게이트 절연막의 두께 감소와 성능개선을 위한 표면 채널형 PMOS 소자는 p+ 게이트 폴리실리콘에서의 붕소(boron)침투 방지 및 NMOS 소자의 HC(hot carrier)에 대한 저항력 강화 등의 목적으로 게이트 산화막에 질소

(nitrogen)가 함유된 산화막(nitrided oxide, 이하 질화 산화막으로 표기)을 도입하게 되었다. 그러나 이러한 질화 산화막이 현재의 진보된 CMOS technology의 표준 공정이 되었지만, 순수 산화막에 비해서 NBTI 특성을 아주 크게 열화 시킨다고 보고가 되고 있다^[2]. 게다가 앞으로 1.5nm 이하의 게이트 절연막 두께 감소추세가 nano-scale CMOS technology에서 요구되고 있다. 이러한 CMOS 기술의 축소지향적 발달은 NBTI 열화 특성의 심각한 증가에 직면하게 되고 결국 신뢰성 있는 CMOS 소자의 동작을 위해서는 NBTI 특성 개선이 반드시 필요한 상황이다.

일반적으로 게이트 산화막과 실리콘 기관의 경계면에서 실리콘 불포화 분당(dangling bond)를 보호하고 있는 수소원자가 NBTI 열화현상의 전구체(pre-cursor)로서 알려져 왔다. 그러나 소수의 선행연구에서만 BEOL (backend-of-line) 공정진행 중 혼입되는 수소에 대해서 다루었으며^[3,4], 반면에 Hot carrier 효과에 대한 BEOL

* 학생회원, ** 정회원, 충남대학교 전자공학과
(Dept. of Electronics Engineering, Chungnam National University),

※ 본 연구는 과학기술부에서 추진하는 21세기 프론티어 사업 중 테라급나노소자개발사업단 지원으로 수행되었음.

접수일자: 2005년9월23일, 수정완료일:2006년3월7일

공정의 영향에 대해서는 광범위한 연구가 수행되었다 [5-7]. 또한 불소(fluorine)와 중수소(deuterium)의 혼입등과 같은 공정조건들이 NBTI에 의한 문턱전압의 변동을 최소화 할 수 있음이 연구되었다[1]. 그러나 중수소 처리는 현재의 진보된 CMOS 공정기술에서는 적용하기가 쉽지 않다. 왜냐하면 LDD(Lightly Doped Drain) spacer 질화막이나 contact etch stop용 질화막등 여러 질화막층들이 중수소 확산에 매우 효과적인 장벽역할을 해서 산화막과 실리콘기판의 경계면영역까지 도달하기가 쉽지 않기 때문이다. 특히 최근의 CMOS 기술에서는 이중 게이트 산화막을 이용하여 고성능을 갖는 Core 소자와 외부와의 연결을 위한 I/O 소자를 형성하는데, NBTI는 주로 고성능 PMOS 소자에 영향을 미치지만 NMOS의 I/O 소자는 hot carrier 열화가 주 issue가 되고 있다. 따라서 PMOS 소자의 NBTI 수명개선을 위한 공정 평가에서는 NMOS의 I/O 소자에 대한 HC 열화여부를 평가하여 소자신뢰성을 향상 시키는 것이 매우 중요하다.

본 논문에서는 다층배선 형성을 위한 BEOL 공정에 기인한 NBTI 열화현상의 분석에 중점을 두었으며, 특히 앞서 언급한 수소의 공급과 확산에 관련된 H₂ 금속소결 열처리(final H₂ sintering anneal) 및 PE-SiN (Plasma Enhanced Chemical Vapor Deposition-Silicon Nitride) 박막의 NBTI 열화에 끼치는 영향을 분석하고, 이를 개선하기 위해 소자의 성능저하나 NMOS 소자의 HC 수명시간 단축 등의 부가적인 희생 없이 NBTI 수명시간을 증진시키는 새로운 BEOL 공정 방안을 제시하였다

II. 실험 방법

본 연구에 이용된 MOS 소자는 p-type의 (100) 실리콘기판에서 5층 금속배선과 2.6nm/5nm 두께의 이중 질화 산화막 게이트 구조를 갖는 0.15 μ m CMOS technology를 적용하여 제작하였다. 주요 공정단계 및 순서와 실험이 적용된 공정이 그림 1에 도시되었으며 자세한 실험조건들은 그림 2에 요약되어 있다. SP1은 기준 조건의 BEOL공정을 나타내는데, 즉 최종 상부 금속배선 식각 후 HDP(High Density Plasma) 산화막과 PE-SiN박막을 차례로 증착하는 보호막(passivation) 공정과 전기 접촉을 위한 패드(pad)를 열어주는 식각 공정 후 마지막으로 H₂ 금속소결 열처리로 모든 공정이 완료된다. SP2는 H₂ 금속소결 열처리 효과를 파악하기

위해서 SP1의 H₂ 가스 대신 N₂ 가스를 사용한 조건이다. SP3은 SP2 조건에서 보호막 증착공정을 제외시킨 것으로 보호막의 효과를 분석하기 위한 것이다. SP4와 SP5는 NBTI 수명시간을 개선하기 위해 제안된 조건이다. 즉 SP1과 SP2 에서 마지막 공정 단계였던 H₂/N₂ 열처리 공정을 HDP 산화막 증착과 PE-SiN 박막 증착 공정사이로 변경하였다. 열처리 공정온도 및 보호막 증착 공정 온도는 모두 400 $^{\circ}$ C 이다. 또한 소자에 가해지는 NBT(negative bias temperature) 스트레스는 125 $^{\circ}$ C 온도에서 게이트에 thin PMOS(Core 소자)의 경우

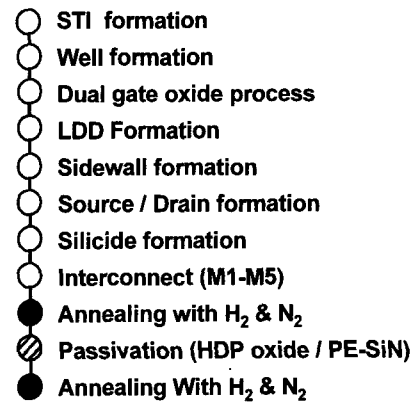


그림 1. 주요 공정 단계 및 순서도. 채워진 원은 실험이 적용된 공정단계를 의미.

Fig. 1. Key process flow for fabrication of test chips. BEOL process is split at the solid circle points.

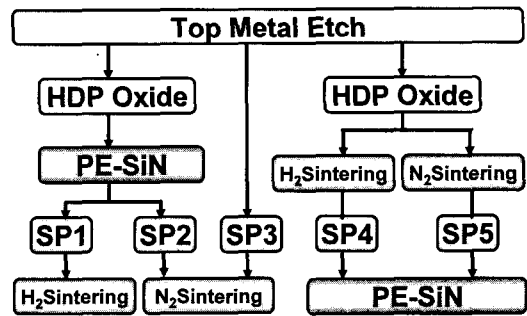


그림 2. 그림 1의 상세한 실험조건 요약표. SP1은 기준 BEOL공정이며 SP2는 열처리 가스에 H₂ 대신에 N₂를 이용한다. SP3는 보호막 층의 영향을 분석하기 위해 보호막 박막증착을 생략하였다. SP4와 SP5에서는 각각 H₂와 N₂ 금속소결열처리 공정단계를 HDP 산화막과 PE-SiN 박막증착 공정사이로 이동하였다.

Fig. 2. Detailed split conditions of Fig. 1. SP1 is a reference BEOL process and SP2 used N₂ anneal instead of H₂ anneal. 보호막 layer is skipped in SP3 for characterization of 보호막 layer effect. H₂ and N₂ sintering anneal is moved to between HDP oxide and PE-SiN processes in SP4 and SP5, respectively.

-2.1V, thick PMOS(I/O 소자)의 경우 -4.9V를 인가하고 나머지 단자는 모두 0V를 인가하였다 ($V_{drain}=V_{source}=V_{sub}=0V$). 그리고 문턱전압(V_{th})은 게이트 전압(V_{gs})과 드레인 전류(I_{ds})의 관계에서 전송 컨덕턴스(transconductance)가 최대가 되는 점으로부터 외삽하여 결정되었다. NBTI 열화를 대표하는 파라미터로는 드레인 포화전류 변동($\Delta I_{D,sat}$)보다 문턱전압 변동(ΔV_{th})이 심하기 때문에 주로 ΔV_{th} 로 나타내었다.

III. 실험 결과 및 토의

그림 3은 NBTI에 대한 수소 금속소결 열처리의 영향을 분명하게 보여준다. 즉 N_2 열처리 시료(SP2)가 H_2 열처리 시료(SP1) 보다 작은 문턱전압 변동을 나타낸다. 즉 N_2 열처리가 금속배선 층간 절연막으로 수소의 혼입을 줄임으로서 NBTI 특성을 개선한다고 할 수 있다.

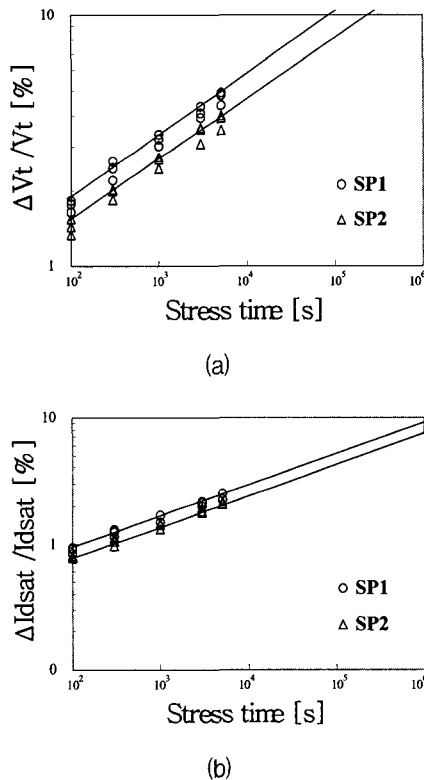


그림 3. NBTI의 금속소결열처리의 분위기 가스의 예 대한 효과. (a) 문턱전압, (b) 드레인 전류. N_2 (SP2) 열처리조건이 H_2 (SP1) 열처리보다 개선된 NBTI 특성을 보인다.

Fig. 3. Dependence of NBTI degradation on sintering gas type. (a) Threshold voltage and (b) Drain current. N_2 anneal (SP2) showed improvement of NBTI compared with H_2 anneal (SP1).

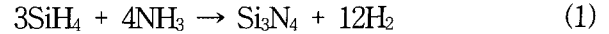


그림 4는 NBTI에 대한 보호막의 효과를 나타낸다. 두 시료 모두 마지막 공정 단계로 N_2 열처리를 적용했지만 보호막층이 적용되지 않은 SP3시료가 더욱 좋은 특성을 보이고 있다. 따라서 보호막 박막이 NBTI를 많이 열화 시킨다고 할 수 있으며 특히 PE-SiN 박막이 NBTI특성에 막대한 영향을 미친다고 할 수 있다. 즉, 일반적으로 PE-SiN 박막은 식 (1)과 같이 시레인(silane)과 암모니아(ammonia) 가스를 플라즈마상태로 반응해서 증착된다. 그런데 박막 증착 과정에서 (1)과 같이 많은 양의 H_2 가 발생되고 이러한 H_2 는 증착과정과 후속 금속소결 열처리공정을 통해서 게이트 산화막과 실리콘기판의 경계면까지 확산될 수 있다. 이는 PE-SiN 박막내에는 상당한 양의 수소원자가 N-H와 Si-H 결합 형태로 존재한다는 것으로부터 알 수 있다. 특히 N-H결합은 낮은 온도에서 쉽사리 분리되어 해리된 수소는 열처리 과정에서 게이트 산화막과 실리콘기판(Si/SiO₂) 계면까지 다양한 형태로 확산이 가능하다. 따라서 게이트 산화막과 실리콘 기판의 계면 영역에서

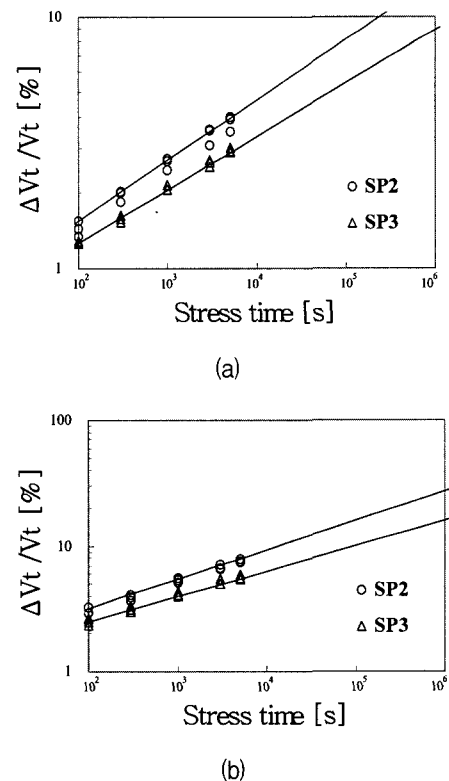


그림 4. 보호막 층이 NBTI에 미치는 효과. (a) Core MOS, (b) I/O PMOS.

Fig. 4. Dependence of NBTI on 보호막 layer process. (a) Core PMOS and (b) I/O PMOS.

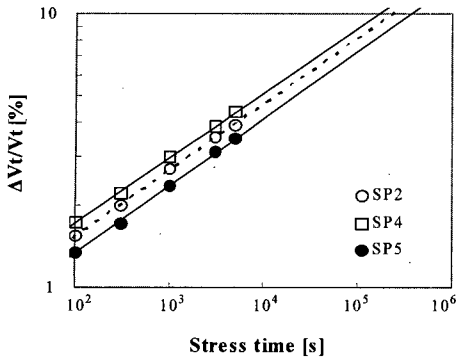


그림 5. 열처리 공정단계의 이동에 의한 NBTI 특성 개선. SP5조건이 가장 개선된 NBTI특성을 보인다.
 Fig. 5. Improvement of NBTI characteristics by the movement of sintering step. SP5 shows the best performance of NBTI characteristics.

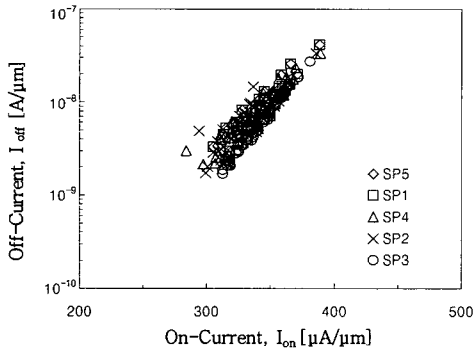
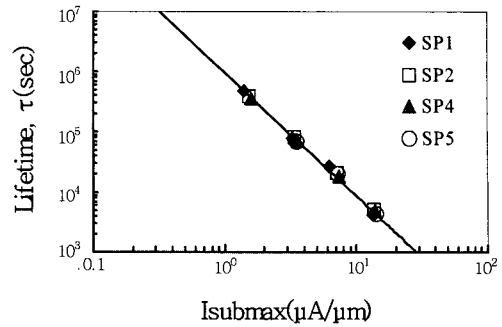


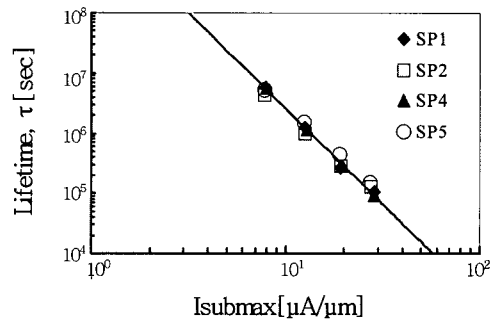
그림 6. 모든 Split 조건에서의 소자 성능 (On-current vs. Off-current)비교.
 Fig. 6. Comparison of device performance (On-current vs. Off-current) between all splits.

수소의 과도한 혼입이 NBT 스트레스 하에서 문턱전압의 변동에 밀접한 관계가 있는 것으로 판단된다. 이러한 계면영역의 수소 혼입은 열처리 조건과 보호막층의 막질에 크게 좌우된다^[8,9]. 비록 PE-SiN 박막이 NBTI특성에 부정적인 영향을 미치는 것이 분명하지만, 그렇다고 이 층을 사용하지 않을 수는 없다. 왜냐하면 최종 칩의 보호나 외부환경으로부터 소자의 보호를 위한 보호막으로서 현재의 CMOS technology에서는 PE-SiN박막이 최선의 대안이기 때문이다. 그러므로 기존 공정의 최적화 통합 작업(process integration for optimization)을 통해서 NBTI를 개선해야 하는 것이 매우 중요하다.

그림 5에서 NBTI개선을 위한 최종 공정 최적화 통합 방향이 어떤 것인지를 분명하게 보여주고 있다. SP4,5는 SP1,2 대비 열처리 공정을 PE-SiN 박막 증착 전으로 옮긴 것이다. 즉 앞서 파악되었던 PE-SiN박막에 포함된 다량의 수소원자의 확산을 통제하고 피하기 위해서 박막 내부의 수소 활성화의 에너지를 공급하는



(a)



(b)

그림 7. 각 공정 조건에서의 NMOS 소자의 hot carrier 수명시간 비교. (a) Core NMOS와 (b) I/O NMOS. 모든 조건이 거의 동일한 추세선 기울기와 수명시간을 갖는다.

Fig. 7. Comparison of NMOS hot carrier lifetime between splits. All splits have almost the same slope and lifetime.

최종 금속소결 열처리공정 단계를 옮기는 것이 핵심 idea이다. 그림 5에서 SP5 > SP2 > SP4 순서로 NBTI 특성의 개선을 보여주고 있다. 주목할 점은 SP4가 SP2 보다는 우위에 있지 않다는 것이다. 즉 보호막 층을 피할지라도 H₂ 열처리가 적용되면 보호막 공정후에 적용된 N₂ 열처리 대비 NBTI 열화정도가 더 크다는 사실이다. 이는 H₂ 가스 분자상태가 소자의 NBTI 열화특성에 더욱 효율적임을 의미한다. 따라서 소자의 문턱전압 열화특성에서 SP5가 분명한 NBTI 개선의 대안임을 명료하게 보여주고 있다. SP5의 결과가 의미하는 것은 수소의 공급원(H₂ 가스 및 PE-SiN)과 활성화 에너지(금속 소결 열처리) 공급의 차단을 통해서 BEOL공정에서 유입되는 수소의 확산과 공급을 최대한 억제하는 것이 NBTI 특성개선의 핵심이라는 점이다.

그림 6은 SP1~SP5간의 소자성능을 비교한 결과로써 서로간에 on-전류와 off-전류 특성관계에 거의 차이가 없다는 것을 보여주고 있다. 따라서 제한한 SP5가 매

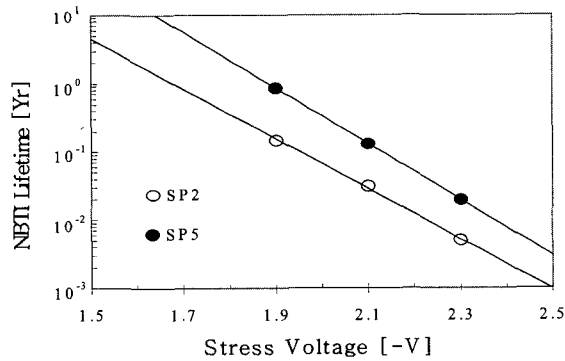


그림 8. PE-SiN 증착 전에 N₂ 금속소결 열처리를 적용하여 개선된 NBTI 수명 특성. 제안된 SP5방안이 SP2보다 더욱 증진된 NBTI 수명시간을 보인다.

Fig. 8. Improvement of NBTI lifetime using N₂ sintering before deposition of PE-SiN. Proposed SP5 shows the better performance than SP2.

우 바람직함을 알 수 있다.

앞에서 언급하였듯이 I/O NMOS 소자의 HC 신뢰성은 매우 중요한 항목이다. 따라서 그림 7과 같이 NMOS 소자에 대한 조건별 hot carrier 수명시간을 평가하였으며, 평가결과 조건간 예측 수명시간이 거의 동일하다는 것을 알 수 있었다. 즉 수명시간 예측 추세선의 기울기가 모두 비슷하며 thick NMOS의 경우 3으로 수렴하는 특성을 보인다^[6]. 특히 NMOS 소자의 경우 동일한 HC 특성을 유지함으로써 NBTI특성개선을 위한 본 연구의 최적화된 BEOL 공정방안의 가치를 더해주고 있다.

마지막으로 SP2와 SP5의 문턱전압에 대한 NBTI 수명시간이 그림 8에 비교되었다. SP5가 SP2보다 더욱 긴 수명시간을 보여주고 있다. 그러므로 SP5로 제안된 BEOL 공정방안이 소자의 성능저하나 NMOS hot carrier 수명시간 감소 없이 NBTI 수명시간을 개선할 수 있는 최적의 방법임을 알 수 있다.

IV. 결 론

PMOS소자의 NBTI특성을 PE-SiN 보호막 및 N₂/H₂ 금속 소결열처리와 같은 다양한 BEOL 공정단계에 따라서 분석하였다. PE-SiN막과 H₂ 열처리는 게이트 산화막과 실리콘기판 계면영역에 수소혼입을 과도하게 증대시키고 이는 다시 NBT 스트레스 인가시 PMOS소자의 문턱전압의 변동을 증가시키는 요인으로 판단된다. 따라서 실리콘과 산화막 계면영역에 수소의 과잉공

급 및 혼입을 통제하고 최소화 하기위해서, PE-SiN막의 증착이전에 N₂ 가스 열처리를 진행하는 새로운 BEOL 공정방안을 제안하였다. 또한 제안한 방법이 소자의 성능저하나 NMOS hot carrier 수명시간의 열화를 나타내지 않음을 나타내어 매우 바람직한 방법임을 증명하였다.

참 고 문 헌

- [1] D.K. Schroder and J.A. Babcock, "Negative bias temperature instability : Road to cross in deep submicron silicon semiconductor manufacturing", *J. Appl. Phys.*, Vol. 94, No. 1, p. 1-18, July 2003.
- [2] N. Kimizuka, K. Yamaguchi, K. Imai, T. Iizuka, C.T. Liu, R.C. Keller and T. Horiuchi, "NBTI enhancement by nitrogen incorporation into ultrathin gate oxide for 0.10-um gate CMOS generation", *Symp. on VLSI Technology*, p. 92-93, 2000.
- [3] E. Morifuji, T. Kumamori, M. Muta, K. Suzuki, M.S. Krishnan, T. Brozek, X. Li, W. Asano, M. Nishigori, N. Yanagiya, S. Yamada, K. Miyamoto, T. Noguchi and M. Kakumu, "New guideline for hydrogen treatment in advanced system LSI", *Symp. on VLSI Technology*, p. 218-219, 2002.
- [4] A. Suzuki, K. Tabuchi, H. Kimura, T. Hasegawa and S. Kadomura, "A strategy using a copper/low-k BEOL process to prevent negative-bias temperature instability(NBTI) in p-MOSFETs with ultra-thin gate oxide", *Symp. on VLSI Technology*, p. 216-217, 2002.
- [5] S. Wolf, "Silicon Processing for the VLSI Era - The submicron MOSFET", Vol. 3, Chap. 9, p. 642-647, Lattice Press, Sunset Beach, CA, 1995.
- [6] D.Y.C. Lie, J. Yota, W. Xia, A.B. Joshi, R.A. Williams, R. Zwingman, L. Chung and D.L. Kwong, "New experimental findings on process-induced hot-carrier degradation of deep-submicron N-MOSFETs", *Proc. Intl. Reliability Physics Symp.*, p. 362-369, 1999.
- [7] S. Chetlur, S. Sen, E. Harris, H. Vaidya, I. Kizilyalli, R. Gregor and B. Harding, "Influence of passivation anneal position on metal coverage dependent mismatch and hot carrier reliability", *Proceedings of 7th IPFA*, p. 21-24, 1999.
- [8] F.-C. Hsu, J. Hui, and K.Y. Chiu, "Effect of final annealing on hot-electron-induced MOSFET degradation", *IEEE Electron Dev. Lett.*, Vol. 6, No. 7, p. 369-371, July 1985.

[9] J. Mitsuhashi, S. Nakao, T. Matsukawa,
 "Mechanical stress and hydrogen effects on hot

carrier injection", IEDM, p. 386-389, 1986.

— 저 자 소 개 —



호 원 준(정회원)
 1985년 경희대학교
 전자공학과 학사.
 1987년 경희대학교
 전자공학과 석사.
 2006년 충남대학교
 전자공학과 박사

2005년 10월~ 현재 구미 LG Philips LCD
 Panel 기술부 재직

<주관심분야 : TFT Process 및 소자신뢰성>



한 인 식(학생회원)
 2003년 여수대학교
 반도체물리학과 학사.
 2003년~현재 충남대학교
 전자공학과 석사과정.

<주관심분야 : 나노 CMOS 소자
 신뢰성 평가>



이 희 덕(정회원)
 1990년 한국과학기술원
 전기 및 전자공학과 학사.
 1992년 한국과학기술원
 전기 및 전자공학과 석사.
 1996년 한국과학기술원
 전기 및 전자공학과 박사.

1993년~2001년 2월 LG반도체 및 Hynix반도체
 책임연구원.

2001년~현재 충남대학교 전기정보통신공학부
 교수

<주관심분야 : 나노 소자 및 신뢰성, 나노 소자의
 TEG 설계 및 분석, RF 소자 Modeling 및 RF 회
 로설계 등>