

4H-SiC(0001) Epilayer 성장 및 쇼트키 다이오드의 전기적 특성

4H-SiC(0001) Epilayer Growth and Electrical Property of Schottky Diode

박치권¹, 이원재¹, Shigehiro Nishino¹, 신병철^{1,a}
(Chi-Kwon Park¹, Won-Jae Lee¹, Shigehiro Nishino¹, and Byoung-Chul Shin^{1,a})

Abstract

A sublimation epitaxial method, referred to as the Closed Space Technique (CST) was adopted to produce thick SiC epitaxial layers for power device applications. We aimed to systematically investigate the dependence of SiC epilayer quality and growth rate during the sublimation growth using the CST method on various process parameters such as the growth temperature and working pressure. The etched surface of a SiC epitaxial layer grown with low growth rate (30 $\mu\text{m}/\text{h}$) exhibited low etch pit density (EPD) of $\sim 2000/\text{cm}^2$ and a low micropipe density (MPD) of $2/\text{cm}^2$. The etched surface of a SiC epitaxial layer grown with high growth rate (above 100 $\mu\text{m}/\text{h}$) contained a high EPD of $\sim 3500/\text{cm}^2$ and a high MPD of $\sim 500/\text{cm}^2$, which indicates that high growth rate aids the formation of dislocations and micropipes in the epitaxial layer. We also investigated the Schottky barrier diode (SBD) characteristics including a carrier density and depletion layer for Ni/SiC structure and finally proposed a MESFET device fabricated by using selective epilayer process.

Key Words : SiC epilayer, CST(Closed space technique), Step-bunching, EPD(Etch pit density), MPD(Micropipe density)

1. 서 론

1993년 “계단 제어 에피택셀법”에 의한 에피택셀 성장층의 고품질성을 이용하여 두께 10 μm 정도에서 내압 1 KV의 6H-SiC의 쇼트키 다이오드가 처음으로 소개되었다. SiC는 절연과피전계가 실리콘 보다 10배 정도 높아서 저손실 파워 일렉트로닉스 재료로서의 인식이 높아 졌다. 이것을 이용하여 두께 13 μm 에서 내압 1.7 KV의 쇼트키 다이오드가 1995년에 보고되었고 이것을 계기로 전원 반도체로서의 4H-SiC 소자 응용을 매우 중요시하게 되었다. 고품질 에피택셀 성장과 이 쇼트키 장벽을 이용하여 고주파·고출력의 MESFET(Metal

Semiconductor Field Effect Transistor, 금속/반도체 전계효과 트랜지스터)가 보고되어 반절연성 기판 개발의 계기가 되었다[1]. 그러나 SiC를 이용하기 위해서는 에피택셀층의 성장 조건 확립과 함께, 이를 이용하여 마이크로 파이프(micropipe)같은 내부 결함이 없는 두꺼운 에피택셀 성장층을 만들어야 한다.

과거에 많은 연구자들은 주로 CVD법으로 에피택셀 성장층을 제조하였지만, 인체에 해로운 가스를 사용함으로써 공정상에 많은 위험이 뒤따랐다. 본 연구에는 위험요소를 개선하고자 기존의 일반적인 승화법[2]을 수정한 CST방법을 사용하였다. 이 방법은 승화 에피택셀[3] 또는 승화 샌드위치(sandwich)라 불린다[4]. 본 실험에서 사용된 CST 방법의 특징은 유독가스를 사용하지 않고, 수평로를 이용하여 일반적인 승화법과는 다른 열 구배를 가지도록 했으며 기판과 소스를 1 mm정도로 이격시켜 짧은 시간에 양질의 에피택셀 성장막을 얻을 수 있는 것이다[5-9].

1. 동의대학교 전자세라믹스센터
(부산시 부산진구 가야동 산 24)
a. Corresponding Author : shinbc@deu.ac.kr
접수일자 : 2006. 1. 10
1차 심사 : 2006. 2. 9
심사완료 : 2006. 2. 28

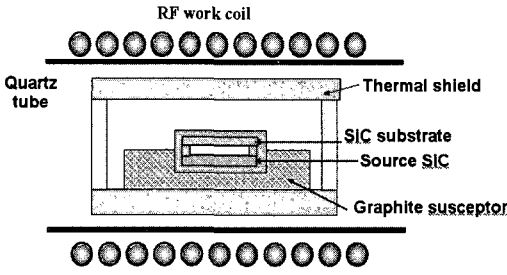


그림 1. 수평로 안의 내부 구조로서, 소스와 기판 사이의 거리를 1 mm로 유지 시켰다.
 Fig. 1. Configuration of the growth assembly in a horizontal reaction tube. The distance between source and substrate was 1 mm.

본 연구는 CST방법으로 SiC 에피텍셀 성장층을 내부 결함이 없는 균일하고 두꺼운 에피텍셀 성장층으로 얻을 수 있었고, 성장 시 성장변수를 제한하고 조건별 표면형상과 성장률을 조사였다. SiC 에피텍셀 성장층을 이용하여 쇼트키 다이오드를 만들어 I-V, C-V특성을 비롯한 전기적 특성을 분석하여 MESFET의 응용가능성을 보았다.

2. 실험

CST 승화법을 이용하여 4H-SiC(0001) 기판 위에 SiC 에피텍셀 성장층을 얻었으며 본 실험에서 사용한 수평로의 구조는 그림 1에 나타내었다. 기판은 서셉터(susceptor) 위에 위치하며, 반응로를 보호하기 위해 다공성 graphite 안에 susceptor를 설치했다. Susceptor에는 4개의 구멍이 있으며 높이가 11 mm이고 직경은 20 mm인 도가니를 그 위에 위치시켰다. 4개의 도가니는 10 mm × 10 mm SiC wafer를 넣을 수 있으며 이것은 susceptor 위에 위치한다. 이 디자인은 다량의 에피텍셀층 형성 시스템에 응용할 수 있도록 제작한 것이다. 8° off-axis를 가지는 상용화 4H-SiC(0001) wafer를 기판으로 사용하고 6H-SiC분말을 소스로 사용하였다. 소스와 기판의 온도는 서로 다르며 도가니의 구조로써 온도 구배를 주었다.

SiC 에피텍셀 성장은 그림 2와 같이 소결(sintering) 구간과 성장(growth) 구간을 가지며, 그림 2의 공정 변수인 온도와 압력은 소결 구간에서 에피텍셀 성장층의 결함 밀도에 큰 영향이 있는 것으로 조사되었다. 성장 온도는 2000 °C 이며 4H-SiC 기판의 Si 면에서 에피텍셀 성장층을 얻었다.

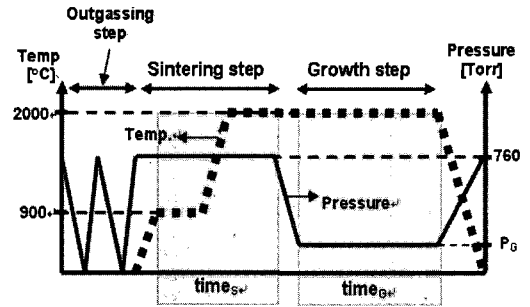


그림 2. CST 방법을 사용하여 SiC 에피텍셀 성장층을 얻기 위한 온도와 압력 공정 그래프이다.

Fig. 2. Schematic diagram of the process procedure for SiC epitaxial growth by the Close Space Technique (CST) method. Displayed are the process temperature (Temp) and the process pressure as a function of process time.

SiC 에피텍셀 성장층의 표면 상태를 관찰하기 위하여 광학현미경의 노말스키(normarski)모드와 AFM을 사용하였다. 또한 결함을 관찰하기 위해서 KOH 용액을 450 °C에서 10분간 유지시켜 화학적 에칭을 실시하였고, 노말스키 모드에서 관찰하였다. 박막두께 측정기(Dektak 3st)를 이용하여 박막의 스텝(step) 높이와 넓이 그리고 step-bunching을 측정하였다.

SiC 에피텍셀 성장층의 전기적 특성을 측정하기 위하여 반도체 계수분석기(Agilent 5166C)를 이용하여 다이오드 특성을 알 수 있었다. 또한 고정밀 임피던스 측정기(Agilent 4294A)를 이용하여 정전용량을 측정하였고, 이 결과로 캐리어 밀도와 공핍층을 계산하였다.

3. 결과 및 고찰

그림 3은 노말스키 모드와 AFM으로 관찰한 SiC 에피텍셀 성장층의 표면 상태이다. Off-axis 기판 위에 성장된 에피텍셀 성장층은 경면의 표면을 확인 할 수 있었다. 그러나 <11-20>off-direction 방향을 따라 배열 되어 있는 선들이 관찰되는데, 이 선들을 step-bunching이라 하며 그림 3(a), (b)에 나타내었다. Step-bunching은 에피텍셀층 성장시 발생하며, 이러한 현상은 몇 개의 작은 스텝이

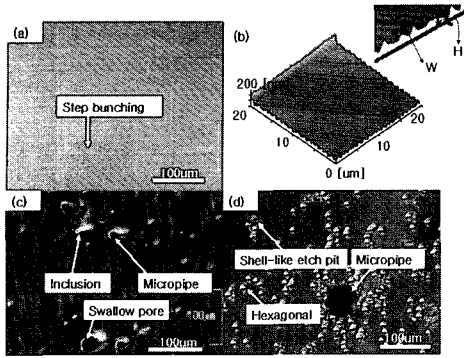


그림 3. 낮은 성장률(30 $\mu\text{m/h}$)을 가지는 SiC 에피텍셀층의 표면 형상 (a) 광학현미경의 노말스키 모드 관찰 (b) AFM 결과, 스텝번칭의 높이는 약 100 nm (W와 H 스텝의 넓이와 높이를 표시한다.) (c) 약 100 $\mu\text{m/h}$ 의 높은 성장률을 가지는 SiC 에피텍셀층으로, 마이크로 파이프와 개재물 그리고 얇은 기공을 확인할 수 있다. (d) 에칭된 시편으로 (a)시편의 마이크로 파이프, 조개모양의 에피펫 그리고 육각형과 둥근 에치펫을 볼 수 있다. 450 $^{\circ}\text{C}$ KOH 용액으로 화학적 에칭을 하여 결함을 관찰하였다.

Fig. 3. Surface morphologies of SiC epitaxial layer grown with low growth rate (30 $\mu\text{m/h}$) observed (a) by optical microscope in Nomarski mode, (b) by AFM. The height of bunched step is approximately 100 nm (W and H denote the step width and the step height). Optical microscope image in Nomarski mode of (c) SiC epitaxial layer with high growth rate (above 100 $\mu\text{m/h}$), included a micropipe, an inclusion and a swallow pore, and (d) etched surface of sample (a) included a micropipe, a shell-like etch pit and hexagonal and rounded etch pits. A chemical etch in molten KOH maintained at 450 $^{\circ}\text{C}$ was used for defect observation.

큰 스텝으로 합쳐지는 현상으로 에피텍셀층의 특성에 영향을 미친다[10]. SiC 에피텍셀 성장층의 성장률에 따른 표면상태와 결함밀도의 연관성을 조사하였다. 그림 3(c)와 같이 높은 성장률(100 $\mu\text{m/h}$)

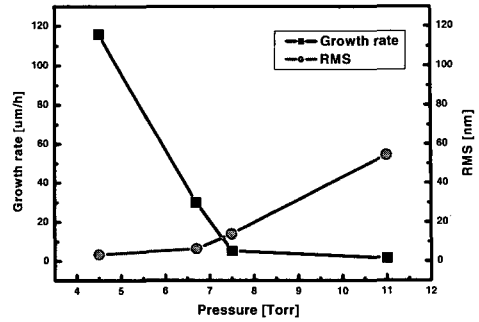


그림 4. 2000 $^{\circ}\text{C}$ 에서 성장 압력을 11에서 4.5 Torr로 줄였을 때, 성장률은 2에서 120 $\mu\text{m/h}$ 였다. 그리고 높은 성장률은 낮은 성장 압력에서 얻을 수 있었으며, 이때 RMS값이 낮은 성장률 보다 낮았다.

Fig. 4. With decreasing the growth pressure from 11 to 4.5 Torr at 2000 $^{\circ}\text{C}$, the growth rate was changed from 2 to 120 $\mu\text{m/h}$. And the high growth rate obtained on low working pressure suppressed the step size of step bunching(decreased RMS value).

을 가지는 SiC 에피텍셀 성장층은 micropipes와 개재물(inclusions) 그리고 기공(swallow pores)등의 결함들이 많이 관찰되었다. 낮은 성장률(30 $\mu\text{m/h}$)을 보인 SiC 에피텍셀 성장층의 에칭(etching)된 표면은 그림 3(d)에 나타내었다. 조개모양(shell)의 etch-pit과 육각모양의 etch-pit을 볼 수 있었으며 이는 (0001)SiC 기판 표면과 교차하는 칼날 전위와 C-axis가 수평인 나선전위로 보여졌다. 전위로부터 근접한 공간에 위치한 etch-pit들은 micropipe와 연결되는 규칙성을 볼 수 있었다. 낮은 성장률(30 $\mu\text{m/h}$)의 SiC 에피텍셀 성장층을 에칭 시 낮은 EPD(Etch Pit Density)(200 / cm^2 이하) 밀도를 보였고 MPD(MicroPipe Density)(2 / cm^2) 역시 낮았다. 높은 성장률(100 $\mu\text{m/h}$)의 SiC 에피텍셀 성장층을 에칭 했을 때에는 3500 / cm^2 이하의 EPD와 500 / cm^2 이하의 MPD를 확인할 수 있었다. 위와 같은 사실은 높은 성장률을 가지는 SiC 에피텍셀 성장층의 경우, 전위와 micropipe가 더욱 생기기 쉽다는 것을 의미한다.

성장 스텝의 흐름에서 비롯되는 step-bunching은 박막두께 측정기(Dektak 3st)와 AFM으로 측정하였다. 에피텍셀층 성장 시 반응로의 압력이 감소할 때, SiC 에피텍셀 성장층에서 step-bunching의

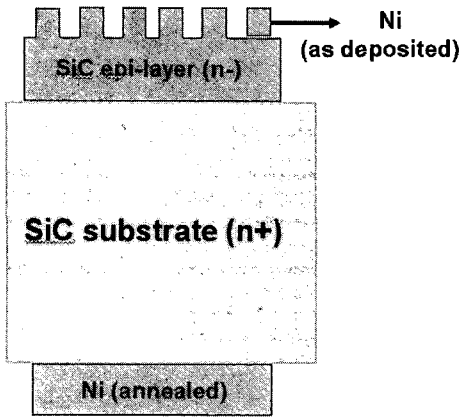


그림 5. SBD 구조.
Fig. 5. SBD(Schottky Barrier Diode) structure.

넓이와 높이는 감소함을 보였다. CST 방법으로 에피택셜층 성장 시, 압력에 따라 SiC 에피택셜 성장층의 성장률과 표면 거칠기(RMS)는 그림 4에서 보듯이, 성장 압력을 7 Torr 에서 4 Torr로 변화시켰을 때, 에피택셜 성장층의 두께가 30 $\mu\text{m}/\text{h}$ 에서 120 $\mu\text{m}/\text{h}$ 로 증가함을 보였다. 성장시 압력이 낮으면, step크기와 step-bunching의 크기가 작아져 RMS 값은 감소하지만 SiC 에피택셜 성장층은 높은 성장률을 보였다. 반대로 압력이 높으면, step-bunching의 크기가 커지고 RMS 값은 증가하지만 성장률은 감소하였다. 이는 성장압력이 낮아질수록 승화하는 소스물질의 평균자유행로가 커지므로 성장 속도가 증가하는 것으로 보인다.

SiC 에피택셜 성장층의 전기적 특성을 측정하기 위하여 반도체 계수분석기(Agilent 5166C)를 이용하여 다이오드 특성을 측정하였다. 그림 5와 같이 SBD(Schottky Barrier Diode)의 구조로 만들기 위해 상부 전극으로 사용할 Ni(as deposited)을 E-beam evaporator를 이용하여 쇼트키 접합(schottky contact)을 시켰고, 하부 전극은 Ni(annealed)을 옴릭 접합(ohmic contact)하기 위해서 E-beam evaporator로 증착 후, RTP(Rapid Thermal Process)를 이용하여 900 $^{\circ}\text{C}$ 에서 열처리 하였다. J. N. Su 등은 SiC 상에 증착시킨 Ni 금속은 열처리 전에는 쇼트키 접합을 보이다가 900 $^{\circ}\text{C}$ 열처리 후에는 옴릭 접합으로 변환됨을 보고 하였다[11]. 고정밀 임피던스 측정기(Agilent 4294A)를 이용하여 정전용량을 측정하였고, 측정된 값을 이용하여 캐리어 밀도와 공핍층의 두께를 계산하였다[12].

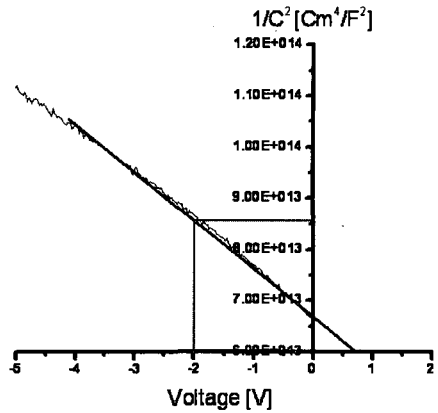


그림 6. SBD구조의 C-V 곡선, 전극의 직경은 180 μm , V_d 값은 0.7 V, N_D 값은 $1.4 \times 10^{18} \text{ cm}^{-3}$.

Fig. 6. C-V curve of SBD structure, Diameter of electrode = 180 μm , V_d (Diffusion Voltage) = 0.7 V, N_D (Concentration) = $1.4 \times 10^{18} \text{ cm}^{-3}$.

$$C = \frac{K_s \epsilon_0 A}{X_n} = \frac{K_s \epsilon_0 A}{\sqrt{\frac{2K_s \epsilon_0}{qN_D} (V_{bi} - V_A)}} \quad (1)$$

(1)과 같은 식으로 C는 정전 용량을 구할 수 있으며, 이 때 K_s 값은 SiC의 유전율이고 A는 전극의 단면적을 나타낸다. (1)의 K_s 와 ϵ_0 로 나누면 (2)와 같은 식이 된다.

$$C = \frac{A}{\sqrt{\frac{2(V_{bi} - V_A)}{qN_D K_s \epsilon_0}}} \quad (2)$$

$V_A=0$ 일때, 정전 용량인 C_0 계산 할 수 있으며, $1/C^2$ 으로 표현하면 (3)과 같은 식을 얻을 수 있다.

$$\frac{1}{C^2} = \frac{2(V_{bi} - V_A)}{qN_D K_s \epsilon_0 A^2} \quad (3)$$

(3)의 식을 이용하여 그림 6과 같은 그래프를 얻었다. 에피택셜 성장층의 두께는 약 2 μm 였고, 전극의 직경은 약 180 μm 이며 V_d (Diffusion region) 값은 -0.7 V, N_D (Concentration) 값은 $1.4 \times 10^{18} \text{ cm}^{-3}$ 이었다.

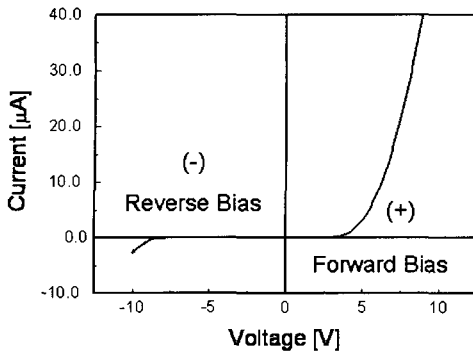


그림 7. I-V SBD 구조의 I-V 곡선.
 Fig. 7. I-V curve of SBD structure, n-value = 1.67.

Nd 값을 구하면 식 (1)에 식 (4)를 대입하여 Xn 값인 공핍층의 두께도 계산 할 수 있다.

$$Xn = \sqrt{\frac{2K_s \epsilon_0}{qN_D} (V_{bi} - V_A)} \quad (4)$$

이로부터 공핍층의 두께(Xn)는 250 nm이었다. 반도체 계수분석기(Agilent 5166C)를 이용하여 I-V를 측정[그림 7]하였고 SiC 에피택셜 층을 이용한 SBD 구조가 전형적인 다이오드 특성을 나타냄을 알 수 있었다[13].

본 연구에서 성장시키는 SiC 에피택셜 성장층을 이용하여 MESFET 소자 적용을 살펴보았다.

MESFET 소자 응용을 위해서는 선택적인 에피택셜 성장층을 이용하여 Schottky(쇼트키) 다이오드를 구현해야 하므로 다음과 같이 단위 소자가 제작되었다. PR(Photoresist)을 4H-SiC(0001) 기판위에 스핀코팅하고 마스크얼라이너(ABM mask aligner)와 5-inch 마스크를 이용하여 UV에 노광시켰다. 이후 develop 공정을 실시하고 RTP 시스템을 이용하여 Ar 분위기에서 PR을 탄화시켜 수 마이크로 패턴의 탄소마스크를 만들고, 이 패턴위에 SiC 에피택셜층을 성장시켰다. 이후 산화로를 이용하여 탄소마스크 패턴을 산화시켜 선택적인 에피택셜 성장층을 얻었고, 그 두께는 1 μm였다[그림 8]. 즉, 두께가 수 마이크로인 탄소마스크를 이용하여 마이크로 패턴위에 선택적인 에피택셜층을 성장시킬 수 있었다. 선택적인 에피택셜 성장층을 이용하여 schottky 다이오드를 구현 할 수 있었고 따라서 이러한 공정을 통해 MESFET 구조에 응용이 가능할 것으로 판단된다.

4. 결 론

조건을 달리한 CST방법으로 승화 증착 시 에피택셜층의 성장률과 특성을 조사하였다. 낮은 성장률(30 μm/h)을 보이는 에피택셜 성장층의 에칭된 표면에서 낮은 EPD(2000 /cm² 이하)와 낮은 MPD(2 /cm²)를 보였고, 높은 성장률을 보이는 SiC 에피택셜 성장층에서는 높은 EPD(3500 /cm² 이하)와 높은 MPD(500 /cm² 이하)를 보였다. Micropipe와 전위들은 높은 성장률의 에피택셜 성장층에서 형성이 촉

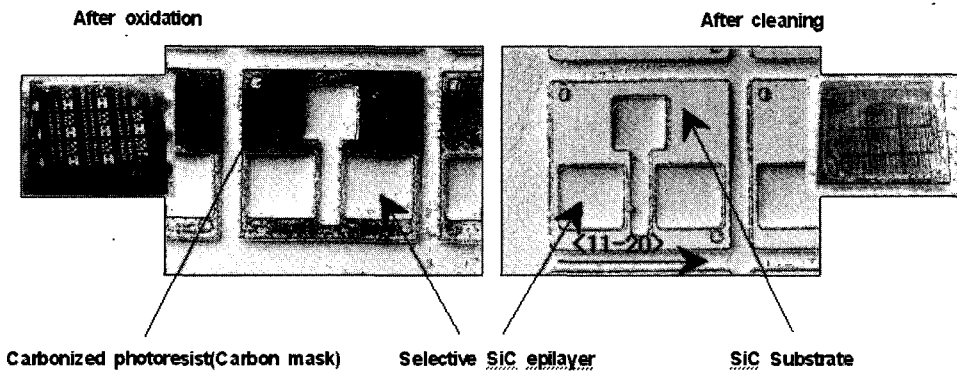


그림 8. 선택적인 SiC 에피택셜층을 얻기 위해 탄소마스크를 이용하여 마이크로 패턴을 얻었다.
 Fig. 8. The micro pattern growth for selective SiC epitaxial layer was successfully demonstrated with a carbon mask(thickness: 1 μm).

진됨을 알 수 있다. 낮은 압력에서 얻을 수 있는 높은 성장률의 SiC 에피텍셀 성장층에서는 step-bunching의 크기와 RMS가 감소하였다. 이와 같은 사실로 미루어 보아 높은 성장률에서는 SiC 에피텍셀 성장층의 분자이동이 활발하여 micropipe 와 pore들을 덮어 가며 성장하는 것으로 판단된다.

SiC 에피텍셀 성장층과 Ni을 이용하여 SBD를 제작하였고, 전형적인 다이오드 폭선과 $1.4 \times 10^{18} \text{ cm}^{-3}$ 의 N_D 값을 얻었다.

두께가 수 마이크로인 탄소마스크를 이용하여 마이크로 패턴위에 선택적인 에피텍셀층을 성장시킬 수 있었다. 선택적인 에피텍셀 성장층을 이용하여 schottky 다이오드를 구현 할 수 있었고 따라서 MESFET 구조에 응용이 가능할 것으로 판단된다.

감사의 글

이 논문은 2004학년도 동의대학교 교내 연구비에 의하여 수행되었음(2004AA175).

참고 문헌

- [1] S.-S. Choi, "Breakthrough in the Evolution of Semiconductor Sic", <http://www.reseat.re.kr>, 2005.
- [2] J.-G. Kim, K.-R. Ku, D.-J. Kim, S.-P. Kim, W.-J. Lee, B.-C. Shin, G.-H. Lee, and I.-S. Kim, "SiC crystal growth by sublimation method with modification of crucible and insulation felt design", *Mater. Sci. Forum*, Vol. 483-485, p. 47, 2005.
- [3] M. Tuominen, R. Yakimova, M. Syvajarvi, and E. Janzen, "Domain misorientation in sublimation grown 4H SiC epitaxial layers", *Mater. Sci. Eng.*, Vol. 1, p. 168, 1999.
- [4] A. S. Segal, A. N. Vorob'ev, S. Yu. Karpov, E. N. Mokhov, M. G. Ramm, M. S. Ramm, A. D. Roenkov, Yu. A. Vodakov, and Yu. N. Makarov, "Growth of silicon carbide by sublimation sandwich method in the atmosphere of inert gas", *J. Cryst. Growth*, Vol. 208, p. 431, 2000.
- [5] Lilov, D. S. K., Tairov, Y. M., Tsvetkov, V. F., and Chernov, M. V., "Structural and morphological peculiarities of the epitaxial layers and monocrystals of silicon carbide highly doped by nitrogen", *Phys. Status Solidi*, A.37, p. 143, 1986.
- [6] T. Yoshida, Y. Nishio, S. K. Lilov, and S. Nishino "Epitaxy of high quality SiC layers by CST", *Mater. Sci. Forum*, Vols. 264~268, p. 155, 1998.
- [7] A. Kakanakova-Georgieva, M. F. MacMillan, S. Nishino, R. Yakimova, and E. Janzén, "The effects of growth conditions on dislocation density in SiC epi-layers produced by the sublimation epitaxy technique", *Mater. Sci. Forum*, Vol. 264-268, p. 147, 1998.
- [8] S. Nishino, T. Yoshida, and Y. Nishio, "Epitaxial growth of high quality SiC by sublimation close space technique", *Mat. Res. Soc. Symp. Proc.*, Vol. 483, p. 307 1998.
- [9] S. Yoneda, T. Furusho, H. Takagi, S. Ohta, and S. Nishino, "Homepitaxial growth on 4H-SiC(03-38) face by sublimation close space technique", *Mater. Sci. Forum*, Vol. 483-485, p. 129, 2005.
- [10] M. Syvajarvi, R. Yakimova, T. Iakimov, and E. Janzen, "Characterization of anisotropic step-bunching on as-grown SiC surface", *Mater. Sci. Forum*, Vol. 338-342, p. 375, 2000.
- [11] J. N. Su and A. J. Steckl, "Fabrication of high voltage SiC schottky barrier diodes by Ni metallization", *Inst. Phys. Conf. Ser.*, No. 142, Chap. 4, p. 697, 1996.
- [12] Gerold W. Neudeck, "Modular series on solid state devices Vols II. The PN Junction Diode Second Edition", p. 127, 1998.
- [13] A. Itoh, T. Kimoto, and H. Matsunami, "Low power-loss 4H-SiC schottky rectifiers with high blocking voltage", *Institute of Physics Conference Series No 142 chapter 4*, p. 689, 1996 *Mater. Sci.*, Vol. 15, No. 1, p. 10, 2001.