

## 저온공정 실리콘 산화막의 질소 패시베이션 효과

### Passivation of Silicon Oxide Film Deposited at Low Temperature by Annealing in Nitrogen Ambient

김준식<sup>1,a</sup>, 정호균<sup>2</sup>, 최병덕<sup>2</sup>, 이기용<sup>2</sup>, 이준신<sup>1</sup>

(Jun-Sik Kim<sup>1,a</sup>, Ho-Kyoon Chung<sup>2</sup>, Byoung-Deog Choi<sup>2</sup>, Ki-Yong Lee<sup>2</sup>, and Jun-Sin Yi<sup>1</sup>)

#### Abstract

Poly silicon TFT requires high quality dielectric film; conventional method of growing silicon dioxide needs highly hazardous chemicals such as silane. We have grown high quality dielectric film of silicon dioxide using non-hazardous chemical such as TEOS and ozone as reaction gases by APCVD. The films grown were characterized through C-V curves of MOS structures. Conventional APCVD requires high temperature processing where as in the process of current study, we developed a low temperature process. Interface trap density was substantially decreased in the silicon surface coated with the silicon dioxide film after annealing in nitrogen ambient. The interface with such low trap density could be used for poly silicon TFT fabrication with cheaper cost and potentially less hazards.

**Key Words** : Nitrogen, Silicon oxide, TEOS, APCVD

#### 1. 서론

정보화 사회의 실현을 앞당기고 있는 기억소자 중심의 반도체 제작 기술은 현재 정보통신 기술의 발전과 더불어 고집적화, 고속 동작, 저 소비전력을 위한 소자의 극 미세화에 대한 연구가 주류를 이루고 있다[1]. 극 미세화 기술은 일체화된 전자 시스템 구현을 목표로 하며, 이러한 새로운 기술의 요구에 따라 고품위의 다결정 실리콘 박막 트랜지스터(Poly silicon Thin Film Transistor, TFT)를 이용하여 기존의 비정질실리콘(Amorphous silicon) TFT를 대체하려는 연구들이 활발하게 진행되고 있다[2].

향후 기술 발전의 진보가 이루어져 양질의 디스플레이 구동소자의 핵심인 다결정 실리콘 TFT를 제작할 수 있다면, 고 정세화, 저 소비전력화, 고속

동작 등의 특성을 가지는 디스플레이 소자의 개발이 가능할 것이다. 다결정 실리콘 TFT의 경우 결정화의 어려움을 가지지만 활성층(Active layer)으로 사용할 경우 비정질 실리콘에 비하여 높은 이동도를 가진다[3]. 그러나 이럴 경우 게이트 절연층은 다결정 실리콘과 계면상태를 우수하게 할 수 있는 절연층이 필수적으로 필요하게 된다[4].

비정질 실리콘 TFT는 대부분 실리콘 질화 막을 사용하여 제작하게 되는데 그 이유는 증착 온도가 400 °C 이하에서는 실리콘 질화 막의 특성이 산화막에 비하여 경계특성이 우수하기 때문이다. 제조 공정에서 유입되는 불순물의 거동, 여러 공정변수와 관련되어 생성되는 재료 및 계면 특성에 대한 평가와 이들이 최종적으로 디바이스에 미치는 영향들이 규명되어야 양질의 디바이스를 구현할 수 있다. 특히, 문턱 전압의 저하, 게이트 산화막의 항복전압 저하 등 소자의 특성 저하는 산화막과 실리콘 계면에서의 계면트랩(Interface trap)에 의해 좌우된다. 계면트랩은 Si-SiO<sub>2</sub> 사이에 국부적으로 위치하여 캐리어 밀도와 이동도를 낮추게 되는데 이러한 게이트 절연막의 특성과 계면 특성이 박막 트랜지스터의 성능을 결정하게 된다.

1. 성균관대학교 전자전기공학과  
(경기도 수원시 장안구 천천동 300)

2. (주) 삼성SDI  
a. Corresponding Author : g7j3746@skku.edu

접수일자 : 2006. 2. 14

1차 심사 : 2006. 3. 2

심사완료 : 2006. 3. 7

본 연구에서는 400 °C 이하의 공정에서 유해 가스인 SiH<sub>4</sub> 대신에 유기 실리콘 반응 물질인 TEOS(Tetraethyl Orthosilicate, Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>)를 이용하여 APCVD(Atmospheric Pressure Chemical Vapor Deposition)법으로 실리콘 산화막을 증착하고 박막의 조성과 특성을 조사하였고, 질소 패시베이션(Nitrogen passivation)을 통해 계면특성 개선을 확인하였다. 그리고 온도에 따른 질소 패시베이션 처리 후 계면 전위 에너지(Surface potential energy)와 계면 트랩 밀도(Interface trap density)의 변화를 비교하고, 분석하였다.

## 2. 실험

실리콘 산화막 증착을 위해 그림 1과 같은 APCVD 반응장치를 구성하였다. 실험에 사용된 TEOS는 에틸기가 포함되어 있는 실리콘 소스로서 비 부식성, 비 열분해성으로 취급이 용이하고, 고분자로서 균일성 향상이 가능하다. 그리고 1 um이하의 단 분산 입자들을 합성하는데 있어 유도물질로서 아주 용이한 물질이며 Step coverage가 좋아 절연막으로서 활용성이 크다[5-7]. 박막 증착의 반응성을 돕고, 좋은 절연특성을 갖기 위해 오존(Ozone) 반응가스를 사용하였다.

반응원료인 TEOS(98 %)는 버블러에 담겨 항상 75~80 °C 사이를 유지하도록 하였다. 실험에 사용된 기체는 고순도 산소가스와 고순도 질소가스이고, 이중 산소는 오존발생기를 통해 오존생성을 위해 공급되었다. 질소는 버블러에 들어있는 TEOS

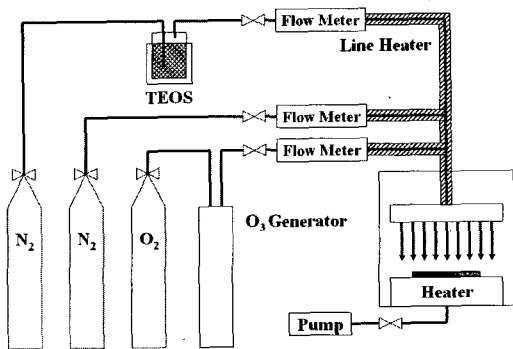


그림 1. 실리콘 산화막 성장을 위한 APCVD 장비.  
Fig. 1. Schematic diagram for deposited silicon oxide of the APCVD system.

소스를 챔버로 유입시키는 운반 기체와 초기 챔버 Purging 및 대기압 조절을 위한 가스로 사용되었다. 챔버로 유입되는 TEOS의 양은 Flow meter를 사용하여 질소 가스의 주입 시에 조절하였고, 챔버 안에서 원활한 반응이 일어나도록 오존 반응가스와 TEOS 소스가 챔버 내로 유입되기 전에 혼합이 되도록 하였다. 챔버로 유입된 TEOS와 오존 가스는 챔버 안에서 고른 분사를 위해 질소 캐리어를 사용하였고, Shower Header를 통해 반응 영역으로 도입되었으며 기판과의 거리는 1 Cm를 유지하였다. 또한, TEOS가 버블러에서 챔버까지 이동하는 동안 응축을 방지하기 위해 Line Heater로 예비 가열시켜 주었다.

산화막 증착에 사용된 기판은 10~20 Ω-cm의 비저항을 가진 P-type Si(100)을 사용하였으며, 본 실험에서는 챔버에 시편을 넣기 전에 수정된 RCA 법을 통해 사전 세정을 수행하였다. 본 실험에서는 표 1과 같이 700 °C부터 300 °C까지 공정온도를 다양하게 변화시키며 실리콘 산화막 증착을 하였고, 박막 특성평가를 위해 MOS(Metal Oxide Semiconductor) Capacitor를 제작하여 MDC CSM/WIN 장비를 이용, 전기적 특성을 분석하였다.

이렇게 제작한 산화막을 다양한 온도로 질소 패시베이션을 통해 전기적 특성변화와 계면 특성변화 등을 관찰하였다. 질소 패시베이션 실험은 박막 증착 온도보다 더 높은 온도인 500 °C부터 800 °C 까지 각각 1 분간 질소 분위기에서 RTA(Rapid Thermal Annealing) 장비를 통해 패시베이션을 수행하였다. 증착 된 박막의 전기적 특성을 평가하기 위해 MOS Capacitor를 제작하였으며, 후면 알루미늄 전극을 Evaporator를 사용하여 증착하였고, 상부 전극은 Dot 형태로 실리콘 산화막을 성장시킨 후 하부 전극과 동일한 방법으로 성장시켰다.

표 1. 실리콘 산화막 증착 공정 조건.  
Table 1. Deposition process condition silicon oxide.

Parameter	Condition
Ozone Flow rate	250 mlpm
Nitrogen Flow rate	4 lpm
Source Flow rate	8 lpm
Deposition time	15 min
Distance	1 Cm
Substrate temperature	300~700 °C

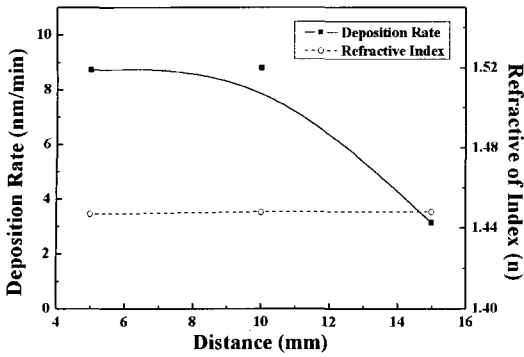


그림 2. 기판거리에 따른 굴절률과 증착두께.  
 Fig. 2. Thickness, refractive index as a function of substrate distance.

### 3. 결과 및 고찰

TEOS 소스를 이용한 산화막 증착 실험을 통해 온도와 기판거리에 따른 증착속도 및 굴절률 변화를 각각 살펴보았다. 그림 2는 기판거리에 따른 실리콘 산화막의 증착 두께 및 굴절률 변화의 그래프이다. 그림에서 보듯이 박막 성장속도는 1 Cm 이후로 감소하였는데, 이는 동일 증착온도에서 기판과의 거리가 감소함에 따라 기상반응의 감소로 인하여 기판에 도달하는 반응가스의 유량이 증가하는 효과가 나타나서 성장속도의 증가를 이루지만, 일정 거리 이하로 줄어들면 기판과 Shower-Header간의 온도 구배가 증가함에 따라 열 영동 효과가 증가하여 기판에 도달하는 반응가스의 감소로 인해 성장속도가 증가하지 못하는 것으로 생각된다. 또한 기판과의 거리가 감소함에 따라 동일한 양의 주입가스를 사용하더라도 주입가스에 의한 기판 표면온도의 변화가 일어나므로, 기판거리와 함께 기판온도의 영향을 함께 고려하여야 최적의 성장조건을 얻을 수 있을 것으로 판단된다.

그림 3은 온도변화에 따른 실리콘 산화막의 증착 두께 및 굴절률 변화의 그래프이다. 그림에서 보듯이 박막성장이 낮은 온도로부터 점차 증가하다가 감소하고 다시 증가하는 경향을 보인다. 이는 오존의 영향과 관계가 깊은데, 오존은 매우 불안정한 분자로서 열에너지가 가해지면 해리되어 화학적 반응력이 강한 산소기를 발생시킨다. 오존은 25 °C에서 반감기가 약 86시간이며, 온도가 증가할수록 반감기는 기하급수적으로 줄어 400 °C가 되면

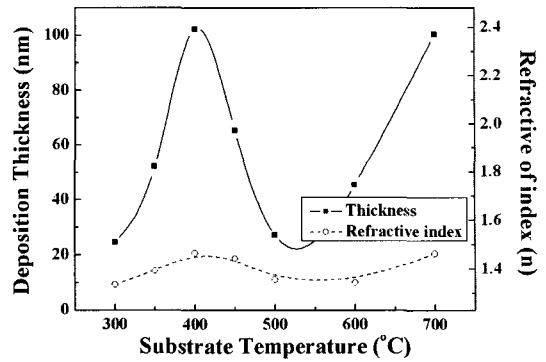


그림 3. 기판온도에 따른 굴절률과 증착두께.  
 Fig. 3. Thickness, refractive index as a function of substrate temperature.

msec이하의 반감기를 갖게 되고, 빠르게 해리되어 산소기가 생성된다. 때문에 오존은 반응기체로서 400 °C의 웨이퍼 표면에 도달하면 빠르게 산소기를 생성시켜 이 부근에서 높은 증착률을 보이게 되는 것으로 보인다. 이후의 증착률 감소는 TEOS 분자들이 표면에 물리적으로 흡착되기 때문에 400 °C이후의 온도 증가는 흡착률을 감소시키고 탈착률을 증가시켜 박막 증착률의 감소를 가져오는 것으로 해석된다[8-10]. 그러나 700 °C 이상의 고온에서는 이러한 오존의 영향보다는 기판에서의 온도 때문에 다시 성장 속도가 증가하는 것으로 사료된다.

가장 안정적인 반응성을 보이는 온도 400 °C에서 산화막을 성장시키고 질소를 주입하는 동시에, 다양한 온도 변화를 가하며, 급속열처리장치(Rapid Thermal Annealing, RTA)를 이용하여 패시베이션 처리 후에 MOS 샘플을 만들어 플랫폼 전압과 계면트랩 변화를 관찰하였다. 그림 4는 질소 분위기에서 열처리 후 MOS 구조의 샘플을 제작하고 용량 값을 측정된 Capacitance-Voltage 그래프이다. 낮은 온도에서 점점 고온 처리를 할수록 계면의 트랩들이 감소하여 플랫폼 전압이 오른쪽으로 이동하고 Capacitance의 변화도 이상적으로 변화하는 것을 알 수 있었다. 이는 실리콘과 산화막 사이의 Interface간에 Dangling Bond들이 질소 열처리를 통해 감소되었다는 것을 간접적으로 확인할 수 있다.

그림 5는 High Frequency (1 MHz)에서 MOS Capacitor의 Surface potential과 Voltage간의 그래

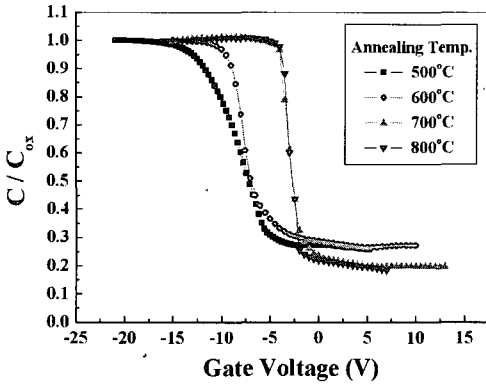


그림 4. 패시베이션 온도에 따른 Capacitance-voltage.

Fig. 4. Capacitance-voltage as a function of passivation temperature.

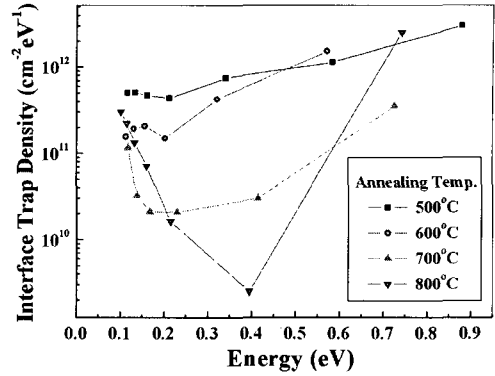


그림 6. 패시베이션 온도에 따른 Interface trap density.

Fig. 6. Interface trap density as a function of passivation temperature.

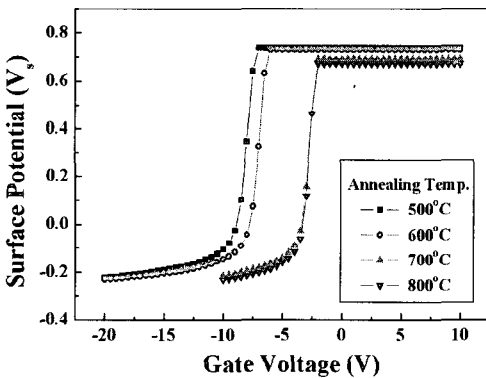


그림 5. 패시베이션 온도에 따른 Surface potential.

Fig. 5. Surface potential as a function of passivation temperature.

프로세서 Capacitance-Voltage의 그래프와 더불어 플랫폼 전압 등의 변화를 확인할 수 있다. 여기서 계면 전위는 반도체와 산화막 사이에 발생하게 되는데, 일반적으로 반도체 상으로부터 계면에 전자가 모이게 되며, 이에 따라 축적과 반전 현상이 일어나게 된다. 500 °C 처리 후 -9 V 정도의 플랫폼 값을 가지던 박막이 700~800 °C 이후에는 -3 V 가까이 변화되는 것을 확인할 수 있었다. 이를 통해 계면의 트랩들이 확실히 감소하였다는 것을 확인하였고, 이를 뒷받침하기 위해 Interface trap density를 측정하였다.

그림 6이 Interface trap density를 측정한 것으로서 C-V,  $V_s$ -V의 그래프들과 같이 패시베이션 온도가 증가할수록 실리콘과 산화막 사이의 계면에 Trap들이 현저히 줄어드는 모습을 확인할 수 있었고, 이를 통해 계면특성이 좋아지고 있다는 것을 알 수 있었다.

#### 4. 결 론

본 연구는 다결정 실리콘 트랜지스터 제작을 위하여 좋은 유전 특성을 갖는 산화막 개발을 목표로 유해 가스인  $\text{SiH}_4$  가스 대신에 유기 사일렌 반응 물질인 TEOS를 이용하여 APCVD법으로 실리콘 산화막을 증착하고 막의 조성과 특성을 조사하였다. 기존에 고온에서 증착이 가능하던 APCVD를 이용한 산화막 증착을 TEOS 소스와 오존 반응 가스를 이용하여 비교적 낮은 온도 400 °C에서도 성장이 가능함을 확인하였고, 성장시킨 박막을 이용하여 실리콘과 산화막 사이에 국부적으로 위치하여 캐리어 밀도와 이동도를 낮추게 되는 Interface trap을 줄이기 위한 방법으로 질소 패시베이션을 수행하였다. Capacitance-Voltage 분석과 Surface potential, Interface trap density 그래프 분석을 통하여 계면특성이 확실히 개선된 것을 확인하였다. TEOS와 오존을 이용하여 저온에서 박막을 성장시키고, 질소 패시베이션을 통해 계면의 트랩들을 감소시킨다면 다결정 실리콘 트랜지스터 제작에서의

다결정 실리콘과 계면상태를 우수하게 할 수 있는 게이트 절연층의 활용으로도 충분한 가치가 있을 것으로 사료된다.

### 감사의 글

본 연구는 산업자원부의 차세대 정보 디스플레이 개발 사업(ASD-1) 연구비 지원에 의해 이루어진 것으로 이에 감사드립니다.

### 참고 문헌

- [1] 송영주, 김상훈, 이내용, 강진영, 심규환, "저온 래디컬 산화법에 의한 고품질 초박막 게이트 산화막의 성장과 이를 이용한 고성능 실리콘-게르마늄 이중구조 CMOS의 제작", 전기전자재료학회논문지, 16권, 9호, p. 756, 2003.
- [2] K. Nakazawa, "Recrystallization of amorphous silicon films deposited by low-pressure chemical vapour deposition from  $\text{Si}_2\text{H}_6$  gas", J. Appl. Phys., Vol. 69, No. 3, p. 1703, 1991.
- [3] A. Pecora, M. Schillizzi, G. Tallarira, G. Fortunato, C. Reita, and P. Migliorato, "Off-current in polycrystalline silicon thin film transistor: an analysis of the thermally generated component", Solid State Elect., Vol. 38, Iss. 4, p. 845, 1995.
- [4] 이인찬, 마대영, "Oxide-nitride-oxide 막을 게이트 절연막으로 사용하여 제조한 다결정 실리콘 박막트랜지스터의 특성", 전기전자재료학회논문지, 16권, 12호, p. 1065, 2003.
- [5] Y. Nishimoto, N. Tokumasu, K. Fujino, and K. Maeda, "Dielectric film deposition by atmospheric pressure and low temperature CVD using TEOS, ozone, and new organo-metallic doping sources", IEEE VMIC Conf., p. 382, 1989.
- [6] K. Fujino, Y. Nishimoto, N. Tokumasu, and K. Maeda, "Silicon dioxide deposition by atmospheric pressure and low-temperature CVD using TEOS and ozone", J. Electrochem., Soc, No. 137, p. 2883, 1990.
- [7] Y. Ikeda, Y. Numasawa, and M. Sakamoto, "Ozone/organic-source APCVD for conformal doped oxide films", J. Electronic Material, No. 19, p. 45, 1990.
- [8] H. Kotani, M. Matsuura, A. Fujii, H. Genjou, and S. Nagao, "Low-temperature APCVD oxide using TEOS-OZONE chemistry for multilevel interconnections", IEEE IEDM, p. 669, 1989.
- [9] H. Xiao, "Introduction to Semiconductor Manufacturing Technology", Prentice Hall, p. 419, 2001.
- [10] 황호정, "반도체 공정기술", 생능출판사, p. 62, 2003.