

## Stacked Single Crystal Silicon TFT Cell의 적용에 의한 SRAM 셀의 전기적인 특성에 관한 연구

### Electrical Characteristics of SRAM Cell with Stacked Single Crystal Silicon TFT Cell

강이구<sup>1</sup>, 김진호<sup>2</sup>, 유장우<sup>2</sup>, 김창훈<sup>2</sup>, 성만영<sup>2,a</sup>  
(Ey Goo Kang<sup>1</sup>, Jin Ho Kim<sup>2</sup>, Jang Woo Yu<sup>2</sup>, Chang Hun Kim<sup>2</sup>, and Man Young Sung<sup>2,a</sup>)

#### Abstract

There have been great demands for higher density SRAM in all area of SRAM applications, such as mobile, network, cache, and embedded applications. Therefore, aggressive shrinkage of 6 T Full CMOS SRAM had been continued as the technology advances. However, conventional 6 T Full CMOS SRAM has a basic limitation in the cell size because it needs 6 transistors on a silicon substrate compared to 1 transistor in a DRAM cell. The typical cell area of 6 T Full CMOS SRAM is 70~90 F<sup>2</sup>, which is too large compared to 8~9 F<sup>2</sup> of DRAM cell. With 80 nm design rule using 193 nm ArF lithography, the maximum density is 72 Mbits at the most. Therefore, pseudo SRAM or 1 T SRAM, whose memory cell is the same as DRAM cell, is being adopted for the solution of the high density SRAM applications more than 64 M bits. However, the refresh time limits not only the maximum operation temperature but also nearly all critical electrical characteristics of the products such as stand\_by current and random access time. In order to overcome both the size penalty of the conventional 6 T Full CMOS SRAM cell and the poor characteristics of the TFT load cell, we have developed S<sup>3</sup> cell. The Load pMOS and the Pass nMOS on ILD have nearly single crystal silicon channel according to the TEM and electron diffraction pattern analysis. In this study, we present S<sup>3</sup> SRAM cell technology with 100 nm design rule in further detail, including the process integration and the basic characteristics of stacked single crystal silicon TFT.

**Key Words** : TFT load cell, S<sup>3</sup> cell, Pull down n-MOS, Load p-MOS, Pass n-MOS, I-V characteristics

#### 1. 서 론

현재 모바일(mobile), 네트워크(network), 캐쉬(cache), 임베디드(embedded) 같은 SRAM(Static Random Access Memory) 응용에 있어서 고집적 SRAM의 수요가 증가하고 있는 실정이다. 그래서

6 T Full CMOS SRAM의 설계기준의 축소가 진행되어 왔다[1]. 그러나 6 T Full CMOS SRAM은 실리콘 기판에 1개의 트랜지스터로 셀을 구현하는 DRAM(Dynamic Random Access Memory)과 달리 셀을 구현하기 위하여 6개의 트랜지스터가 필요하기 때문에 셀 크기에 있어서 근본적인 한계가 있기 때문에 80 nm 선폭을 적용하여 제작된 최고의 고집적 SRAM은 72 Mbits 정도이며 이러한 집적도는 모바일이나 캐쉬 응용에도 부족한 용량이고 특히 모바일 응용에 있어서 멀티미디어 기능을 지원하려면 256 Mbits 이상이 필요하다. 그래서 DRAM 셀과 비슷한 유사(pseudo) SRAM 또는 하

1. 극동대학교 정보통신학부  
(충북 음성군 감곡면 왕장리 산5)  
2. 고려대학교 전기공학부  
a. Corresponding Author : semicad@korea.ac.kr  
접수일자 : 2005. 11. 8  
1차 심사 : 2005. 12. 12  
심사완료 : 2006. 2. 20

나의 트랜지스터 SRAM(1 T SRAM)이 64 Mbits 이상의 고집적 SRAM 응용에 적용되고 있지만 이러한 SRAM은 리프레쉬 기능이 필요하고 이로 인해서 대기전류와 랜덤 접근시간과 데이터 접근시간이 증가하는 문제점을 내포하고 있다[2].

본 논문에서는 6 T Full CMOS SRAM의 셀 크기 한계와 TFT 부하 SRAM의 저전압 동작의 취약한 특성을 극복하기 위하여 S<sup>3</sup>(Stacked Single Crystal Silicon) SRAM 셀을 제안하였다. 제안한 S<sup>3</sup> SRAM 셀은 부하 pMOS와 패스 nMOS를 평면 폴 다운 nMOS 위에 수직으로 쌓아 올려 제작하기 때문에 셀 크기를 획기적으로 감소시킬 수 있었으며 부하 pMOS와 패스 nMOS의 채널영역이 단결정 실리콘이기 때문에 평면 트랜지스터와 같은 특성을 얻을 수 있었으며, 이로 인하여 저전압 동작 및 고집적 SRAM을 구현할 수 있었다.

## 2. SRAM 셀의 기본 동작원리

DRAM과 달리 SRAM은 “column” 어드레스, “row” 어드레스가 따로 있으며 어드레스의 조합에 의해 셀을 선택하게 되며, 자세한 동작 원리를 알아보면 다음과 같다. 64 bit SRAM 셀을 예를 들어서 설명하면, 셀을 64개 선택하려면 어드레스는 2진 동작하므로 총 어드레스 개수는 6개 필요하다. 어드레스 6개만 있으면 64개의 경우의 수가 존재하므로 64개 셀을 지정 가능하며, 64 bit SRAM으로 돌아가, “row” 어드레스를 3개와 “column” 어드레스를 3개일 경우, 이것은 셀 배열 구성에 따라 변경 가능하다. 그림 2.1은 SRAM 셀의 기본 동작에 대한 블록 다이어그램을 나타낸다. 그림 2.1에서 나타난 바와 같이 “row” 어드레스와 “column” 어드레스의 조합에 의해 특정한 셀을 선택하게 되고, 외부 신호에 의해서 선택된 특정한 셀에 데이터를 쓰고, 읽는 동작이 이루어짐을 나타내고 있다.

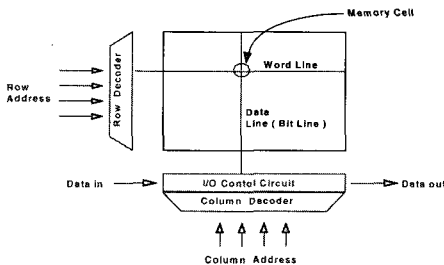


그림 2.1. SRAM 셀의 블록 다이어그램.  
Fig. 2.1. The block diagram of SRAM cell.

## 3. S<sup>3</sup> SRAM 셀의 설계 및 제작

### 3.1 S<sup>3</sup> SRAM 셀의 설계 파라미터

표 3.1은 S<sup>3</sup> SRAM 셀의 주요 설계 및 공정 파라미터를 나타낸다.

P형 기판 위에 단일 우물 구조를 채택하였으며 소자간의 분리를 위하여 STI(Shallow trench isolation) 공정을 적용하여 공정을 단순화 시켰고 평탄화는 CMP 공정을 적용하였다. 게이트 산화막 두께는 35 Å을 적용하여 트랜지스터의 특성을 최적화 시켰으며, 게이트의 구조는 N+/P+ 듀얼 폴리 게이트 구조를 사용하여 트랜지스터의 채널을 표면 채널 구조로 형성하여 전류-전압 특성을 최적화 시켰다.

### 3.2 폴 다운 n-MOS 트랜지스터의 제작

트랜지스터간의 분리를 위해 193 nm 파장의 ArF 리소그래피를 사용하여 감광막 및 실리콘나이트라이드(Si<sub>3</sub>NH<sub>4</sub>) 마스크 구조를 형성한 후 RIE(Reactive Ion Etching) 공정으로 실리콘 기판을 식각하여 트렌치를 형성한 후 PECVD 산화막으로 채웠으며, CMP로 평탄화를 진행하여 트랜지스터가 형성되는 활성영역과 트랜지스터들의 분리영역을 형성하였다. 그림 3.2는 활성영역과 분리영역을 형성한 결과를 SEM 장비를 이용하여 단면을 분석하여 나타낸 것이다.

폴리 실리콘을 증착한 후 193 nm 파장의 ArF 리소그래피 및 RIE 식각 공정을 적용하여 게이트 폴리를 형성하였다. 그림 3.3은 게이트 폴리를 형성한 결과를 SEM 장비를 이용하여 평면을 분석하여 나타낸 것이다.

표 3.1. S<sup>3</sup> SRAM 셀의 설계 및 공정 파라미터.

Table 3.1. The design and process parameter of S<sup>3</sup> SRAM cell.

Design and process parameter	Specification
Operation Voltage	2.0 V
Substrate type	P-substrate
Well type	Single well structure
Isolation type	Shallow trench isolation
Gate length	0.10 μm
Gate oxide thickness	35 Å
Gate material	N+/P+ dual poly
Source/drain	Poly
Metalization	2-level Al metal
Lithography	DUV, I-line

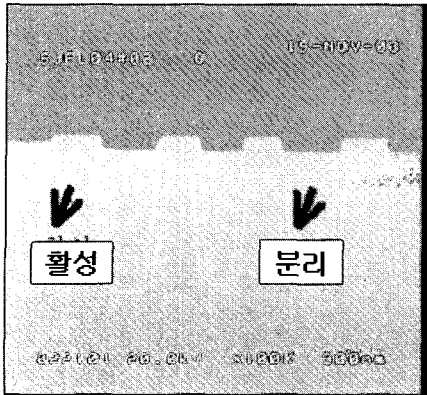


그림 3.1. 활성영역 형성 후 SEM 단면의 분석사진.  
 Fig. 3.1. The SEM photograph after active region formation.



그림 3.3. 측벽 스페이서 형성 후 SEM 분석사진.  
 Fig. 3.3. The SEM photograph of side wall spacer.

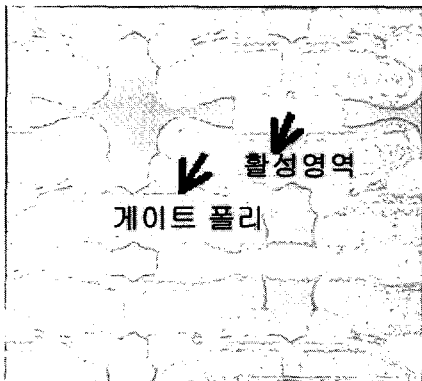


그림 3.2. 게이트 폴리 형성 후 SEM 분석사진.  
 Fig. 3.2. The SEM photograph of gate poly formation.

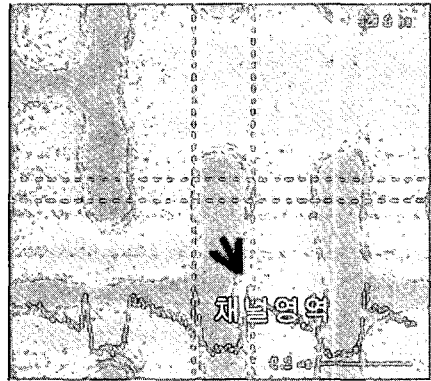


그림 3.4. 부하 p-MOS 트랜지스터 채널 영역의 SEM 평면 분석 사진.  
 Fig. 3.4. The SEM photograph of load p-MOS transistor channel region.

게이트 폴리 형성 후에 셀과 페리의 트랜지스터에 LDD(Lightly Doped Drain) 이온주입과 소오스와 드레인 영역 간의 Short Channel Effect 개선을 위해 포켓 이온주입을 진행하였으며, 실리콘나이트라이드 막을 적층한 후, 게이트 폴리 측벽에 스페이서를 형성하고, 측벽 스페이서를 마스크로 이용하여 소오스와 드레인에 고농도 이온주입을 진행하였으며, 동시에 n-MOS와 p-MOS 트랜지스터의 듀얼 게이트 구조를 구현하였다. 그림 3.4은 측벽 스페이서를 형성한 결과를 SEM 장비를 이용하여 단면을 분석하여 나타낸 것이다.

### 3.3 부하 p-MOS 트랜지스터의 제작

부하 p-MOS 트랜지스터의 제작을 위해서 채널로 사용되는 비정질 실리콘을 저압 화학적 기상증착을 이용하여 증착 하였다. 증착된 비정질 실리콘을 벌크 실리콘과 동일한 단결정 실리콘으로 전환시키기 위한 공정으로 고상 결정화를 진행하였다. 그림 3.4 은 부하 p-MOS 트랜지스터의 채널 영역을 SEM 장비를 이용하여 평면을 분석 하여 나타낸 것이다.

폴리 실리콘을 증착한 후 193 nm 파장의 ArF 리소그래피 및 RIE 식각 공정을 적용하여 게이트

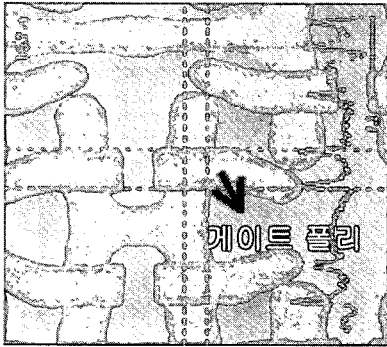


그림 3.5. 부하 pMOS 트랜지스터 게이트 폴리의 SEM 평면 분석 사진.  
Fig. 3.5. The SEM photograph of load p-MOS transistor gate poly.

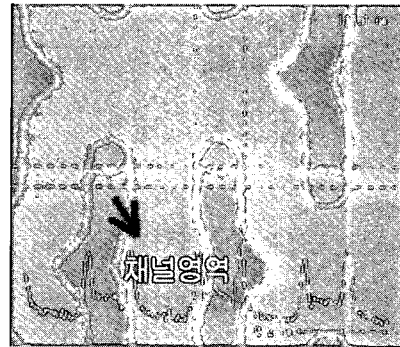


그림 3.7. 패스 n-MOS 트랜지스터 채널 영역의 SEM 평면 분석 사진.  
Fig. 3.7. The SEM photograph of pass n-MOS transistor channel region.

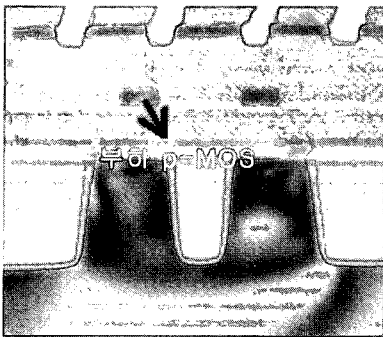


그림 3.6. 제작된 부하 pMOS 트랜지스터의 SEM 평면 분석 사진.  
Fig. 3.6. The SEM photograph of load p-MOS transistor.

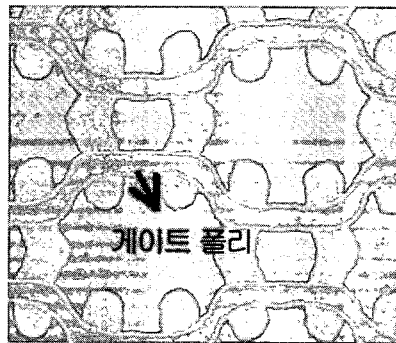


그림 3.8. 패스 nMOS 트랜지스터 게이트 폴리의 SEM 평면 분석 사진.  
Fig. 3.8. The SEM photograph of load n-MOS transistor gate poly.

폴리를 형성하였으며 그림 3.5은 게이트 폴리를 형성한 결과를 SEM 장비를 이용하여 평면을 분석하여 나타낸 것이다.

게이트 폴리 형성 후에 셀과 페리의 트랜지스터에 LDD 이온주입과 소오스와 드레인 영역 간의 Short Channel Effect 개선을 위해 포켓 이온주입을 진행하였으며, 실리콘 질화막을 적층한 후 게이트 폴리 측벽에 스페이서를 형성하고, 측벽 스페이서를 마스크로 이용하여 pMOS 트랜지스터의 게이트 및 소오스와 드레인에 고농도 이온주입을 진행하였다. 부하 트랜지스터와 패스 트랜지스터 사이의 기적 분리를 위하여 고밀도 플라즈마 화학적 기상증착 산화막을 층간 절연막으로 증착하였으며

후속 평탄화를 위해 CMP를 진행하였다. 그림 3.6은 부하 pMOS 트랜지스터 형성 후의 결과를 SEM 장비를 이용하여 단면을 분석하여 나타낸 것이다.

#### 3.4 패스 n-MOS 트랜지스터의 제작

패스 n-MOS 트랜지스터 제작과정은 부하 p-MOS 제작과정과 동일하며, 그림 3.7은 패스 n-MOS 트랜지스터의 채널영역을 SEM 장비를 이용하여 평면을 분석하여 나타낸 것이고, 그림 3.8은 게이트 폴리를 형성한 결과를 SEM 장비를 이용하여 평면을 분석하여 나타낸 것이다. 그림 3.9는 제작된 패스 nMOS 트랜지스터를 SEM 장비를 이용하여 단면을 분석하여 나타낸 것이다.

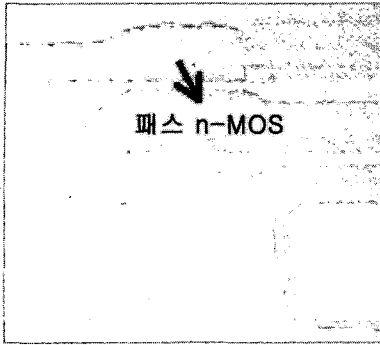


그림 3.9. 제작된 패스 n-MOS 트랜지스터의 SEM 평면 분석 사진.

Fig. 3.9. The SEM photograph of load n-MOS transistor.

#### 4. S<sup>3</sup> SRAM 셀의 특성 및 고찰

##### 4.1 채널 실리콘의 결정성 평가

제작된 부하 pMOS와 패스 nMOS 트랜지스터의 채널 실리콘의 결정성을 평가하기 위하여 전자 회절패턴(Electron Diffraction Pattern) 분석과 TEM 분석 결과, 그림 4.1에서 보듯이 벌크 실리콘과 동일한 회절패턴이 나왔다. 이로 미루어 보아 부하 p-MOS와 패스 n-MOS 트랜지스터의 채널 실리콘은 벌크 실리콘과 동일한 단결정 실리콘임을 알 수 있었다.

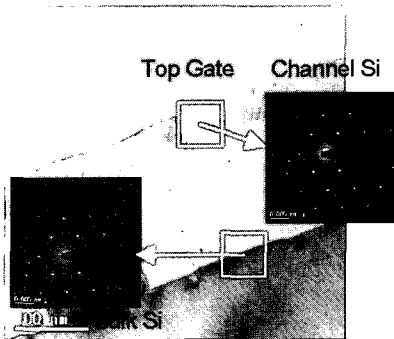


그림 4.1. 벌크 실리콘과 채널 실리콘의 전자회절 패턴 및 TEM 분석 사진.

Fig. 4.1. EDP and TEM analysis of bulk and channel silicon.

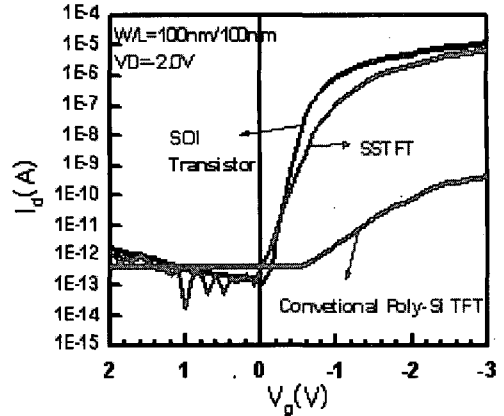


그림 4.2. Load p-MOS와 SOI p-MOS 트랜지스터의 Id-Vg 특성 곡선.

Fig. 4.2. The Id-Vg characteristics of load and SOI p-MOS transistor.

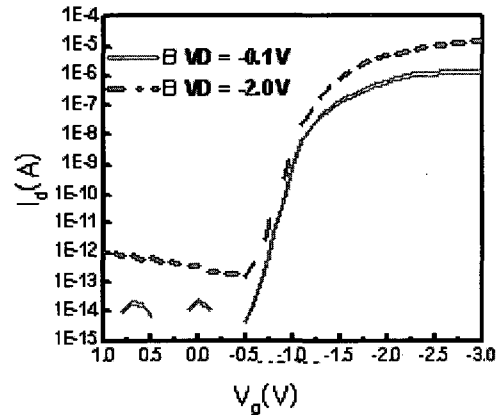


그림 4.3. 부하 pMOS 트랜지스터의 Id-Vg 특성 곡선.

Fig. 4.3. The Id-Vg characteristics of load p-MOS transistor.

##### 4.2 부하 p-MOS 트랜지스터의 특성 및 고찰

제작한 부하 pMOS 트랜지스터와 TFT 부하 셀에서 사용 하였던 폴리 실리콘 TFT 및 SOI p-MOS 트랜지스터간의 전기적 특성 측정 결과, 그림 4.2의 Id-Vg 특성 곡선에서 보는 바와 같이, 스윙과 문턱전압 특성 측면에서 SOI p-MOS 트랜지스터와 비슷한 특성을 보였으며, 문턱 전압은 부하 p-MOS 트랜지스터는 0.7 V 이고 SOI p-MOS 트랜지스터는 0.6 V로 저전압에서 충분히 동작할

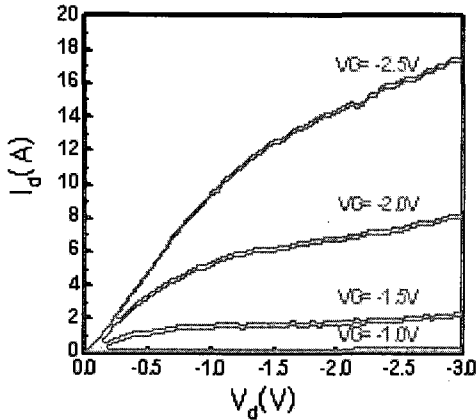


그림 4.4. 부하 pMOS 트랜지스터의  $I_d$ - $V_d$  특성 곡선.

Fig. 4.4. The  $I_d$ - $V_d$  characteristics of load p-MOS transistor.

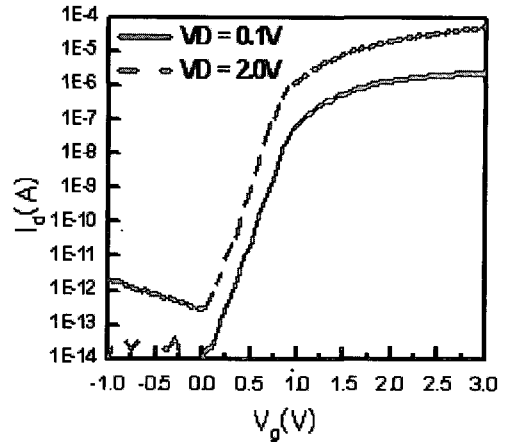


그림 4.6. 패스 n-MOS 트랜지스터의  $I_d$ - $V_g$  특성 곡선.

Fig. 4.6. The  $I_d$ - $V_g$  characteristics of pass n-MOS transistor.

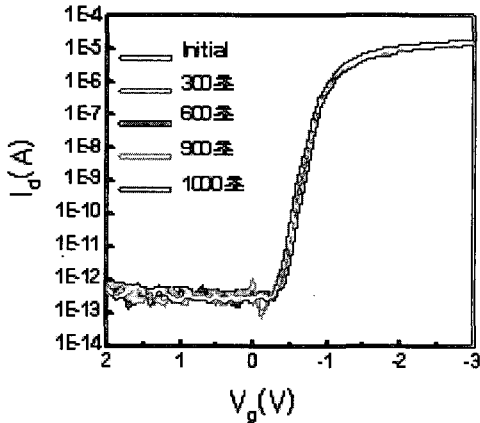


그림 4.5. 부하 p-MOS 트랜지스터의 NBTI 특성 곡선.

Fig. 4.5. NBTI characteristics of load p-MOS transistor.

수 있으며, 스윙 역시 큰 차이가 나지 않는 것으로 보아 채널의 결정 상태가 단결정 실리콘임을 유추할 수 있었다.

제작한 부하 pMOS 트랜지스터의 드레인 전압이  $-0.1$  V,  $-2.0$  V 일 때, 각각의  $I_d$ - $V_g$  특성 곡선은 그림 4.3과 같고,  $I_d$ - $V_d$  특성 곡선은 그림 4.4와 같다. 측정 결과, 드레인 오프 누설전류는  $250$  fA 이고 스윙은  $94$  mV/dec이며, 온/오프 비는 약  $\sim 10^7$ 로서 벌크 p-MOS와 비교해 보면 유의차가 없

다. 이러한  $I_d$ - $V_g$  특성 곡선 및 특성 값으로 볼 때 부하 pMOS 트랜지스터의 채널 실리콘은 단결정 실리콘임을 알 수 있었다.

기초적인 신뢰성 특성을 확인하기 위하여 제작한 부하 p-MOS 트랜지스터를 가지고 "on" 상태에서 NBTI 특성을 측정하였다.  $85$  °C에서, 15분간, 게이트에  $-4.5$  V의 스트레스를 인가한 후  $I_d$ - $V_g$  특성 측정 결과, 그림 4.5에서 보는 바와 같이 스트레스 시간의 증가에 따라  $I_d$ - $V_g$  특성 곡선에서 게이트에 양이 전압이 인가되는 축적영역에서 누설전류의 어떠한 변화도 일어나지 않았다. 이러한 결과는 부하 p-MOS 트랜지스터가  $-1.8$  V에서 동작 시 충분한 신뢰성을 가질 수 있을 것으로 판단할 수 있었다.

### 4.3 패스 n-MOS 트랜지스터의 특성 및 고찰

제작한 패스 n-MOS 트랜지스터의 드레인 전압이  $0.1$  V,  $2.0$  V 일 때, 각각의  $I_d$ - $V_g$  특성 곡선은 그림 4.6과 같고,  $I_d$ - $V_d$  특성 곡선은 그림 4.7과 같다. 측정 결과, 드레인 오프 누설전류는  $1$  pA 이고 스윙은  $113$  mV/dec이며, 온/오프 비는 약  $\sim 10^7$ 로서 벌크 n-MOS와 비교해 보면 유의차가 없다. 이러한  $I_d$ - $V_g$  특성 곡선 및 특성 값으로 볼 때 패스 n-MOS 트랜지스터의 채널 실리콘은 단결정 실리콘임을 알 수 있었다.

그림 4.8은 패스 nMOS 트랜지스터의 문턱전압의 산포 특성 곡선을 나타내고 그림 4.9는 오프 누

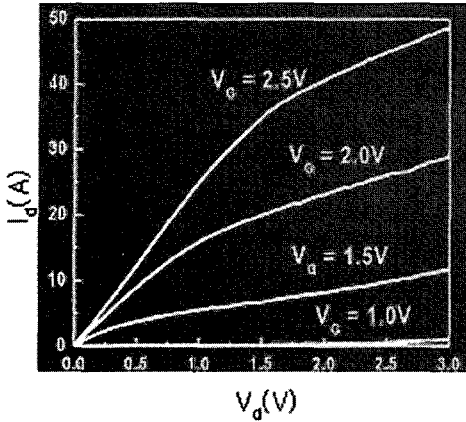


그림 4.7. 패스 n-MOS 트랜지스터의  $I_d$ - $V_d$  특성 곡선.

Fig. 4.7. The  $I_d$ - $V_d$  characteristics of pass n-MOS transistor.

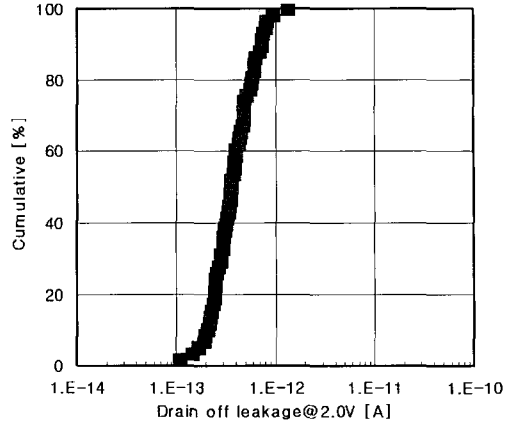


그림 4.9. 패스 n-MOS 트랜지스터의 오프 누설 전류의 산포특성곡선.

Fig. 4.9. Off leakage current cumulative characteristics of pass n-MOS transistor.

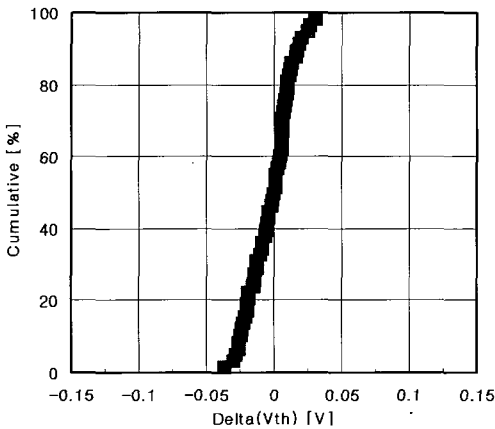


그림 4.8. 패스 n-MOS 트랜지스터의 문턱전압의 산포특성곡선.

Fig. 4.8. Threshold voltage cumulative characteristics of pass n-MOS transistor.

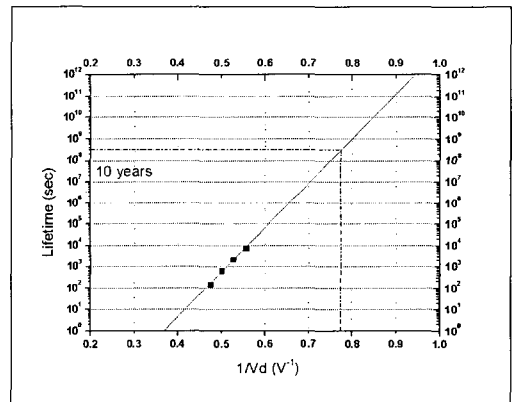


그림 4.10. 패스 n-MOS 트랜지스터의 핫 캐리어 Immunity 특성 곡선.

Fig. 4.10. Hot carrier immunity characteristics of pass n-MOS transistor.

설전류의 산포 특성 곡선을 나타내고 있다. 그림 4.8에서 보는 바와 같이 문턱전압의 산포는  $\pm 10\%$  내외로 잘 조정되어 있으며, 그림 4.9에서 보는 바와 같이 가장 큰 오프 누설전류가 1 pA 정도로 SRAM 셀에 적용하기에 충분하다.

일반적으로 핫 캐리어에 의해 트랜지스터의 문턱전압이 변화 될 때까지의 시간을 수명시간이라고 하고 보통 10년을 기준으로 설정하고 있다. 이러한 핫 캐리어 Immunity 측정 결과, 드레인 전압 2.0 V

에서 수명시간이 10년을 초과하는 결과를 얻었으며, 이러한 결과는 패스 nMOS 트랜지스터가 1.8 V 동작 시 충분한 신뢰성을 가질 수 있을 것으로 판단할 수 있었다. 그림 4.10은 패스 nMOS 트랜지스터의 핫 캐리어 Immunity 특성 곡선을 나타낸다.

## 5. 결론

본 논문에서는 6 T Full CMOS SRAM의 셀 크

기 한계와 TFT 부하 SRAM 셀의 저전압 동작에 있어서의 취약한 특성을 극복하기 위하여 S<sup>3</sup> SRAM 셀과 SSTFT를 제안하였다. 제안된 S<sup>3</sup> SRAM 셀은 부하 pMOS와 패스 nMOS를 평면 풀 다운 nMOS 위에 수직으로 쌓아 올려 제작하였기 때문에 셀 크기를 약 70 % 정도 감소시킬 수 있었으며 부하 pMOS와 패스 nMOS가 단결정 실리콘 채널을 사용하는 트랜지스터이기 때문에 평면 트랜지스터와 같은 전압-전류 특성을 얻을 수 있었으며, 이로 인하여 저전압 동작 및 고집적 SRAM을 구현할 수 있었다.

본 논문에서 제안한 S<sup>3</sup> SRAM 셀의 설계와 제작기법을 적용하여, 6 T Full CMOS SRAM 셀과 비교하여 셀 크기를 1/3 이상 축소할 수 있었으며, 이때의 셀 크기는 0.16  $\mu\text{m}^2$  이고, 현재 상용화된 193 nm 파장의 포토 리소그래피 공정을 적용하여 256 Mbit 저전력 SRAM을 제작할 수 있었다. 이러한 성과는 Pseudo SRAM 또는 모바일 DRAM 이 주류를 이루고 있는 고집적 모바일 메모리 시장에서 S<sup>3</sup> SRAM 셀의 경쟁력을 확보하는 데에 가능성을 열어 주었다. 본 논문에서 제안한 S<sup>3</sup> SRAM 셀은 SRAM의 고집적 제품에 있어서 새로운 시작을 의미하고, 2005년 이후에 256 Mbit 이상의 고집적 저전력 및 고속 SRAM 제작에 크게 기여할 것으로 판단된다.

## 감사의 글

본 논문은 2005 산업자원부 표준화 기술개발사업 및 2004 정보통신부 기초기술연구지원사업의 지원에 의해 이루어졌음.

## 참고 문헌

- [1] Jang, J. H., "Novel 3-dimensional 46 F<sup>2</sup> SRAM technology with 0.294  $\mu\text{m}^2$  S<sup>3</sup> (stacked single-crystal Si) cell and SSTFT (stacked single-crystal thin film transistor)", Proc. of ESSDERC, p. 445, 2004.
- [2] H. Kato, "Consideration of poly-si loaded cell capacity limits for low power and high-speed SRAMs", IEEE JSCC, p. 683, 1992.
- [3] T. Ohzone, "Ion-implanted Ti poly crystalline-silicon high value resistor for high density poly load static RAM application", IEEE Trans. ED., Vol. 32, p. 1749, 1985.
- [4] J. H. Friedrich, "A coincident-select MOS storage array", IEEE JSCC, p. 280, 1968.
- [5] Y. Tarui, "A 40 ns 144 bit n-channel MOS LSI memory", IEEE JSCC, p. 271, 1969.
- [6] R. M. Jecmen, "HMOS II Static RAMs overtake bipolar competition", Electronics, Vol. 52, p. 124, 1979.