
공통모드 전압 보정기능을 갖는 LCD 드라이버용 듀얼모드 LVDS 전송회로

Dual-Level LVDS Circuit with Common Mode Bias Compensation Technique for LCD Driver ICs

김두환, 김기선, 조경록
충북대학교 정보통신공학과

Doo-Hwan Kim(dhkim@hbt.chungbuk.ac.kr), Ki-Sun Kim(kskim@hbt.chungbuk.ac.kr),
Kyoung-Rok Cho(krcho@chungbuk.ac.kr)

요약

본 논문은 LCD driver IC의 전송선 당 데이터 전송률을 2배로 하기 위한 이중 저전압 차동신호 전송(DLVDS) 회로를 제안한다. 제안된 회로에서는 2-비트 데이터를 하나의 송신기에서 입력 받고, 2-비트 데이터를 듀얼레벨을 갖는 차동신호로 전송한다. 따라서 기존의 저전압 차동신호 전송기법(LVDS)의 특징을 유지하면서 2-비트 데이터를 2개의 전송선을 통하여 전송할 수 있다. 제안된 송신기는 전류원 피드백 회로를 이용하여 출력의 공통모드 바이어스 흔들림을 보상했다. 그리하여 기존의 회로의 입력 바이어스와 기준 바이어스 전압 차이로 출력의 공통모드 바이어스 흔들림이 발생하는 문제가 해결되었다. 수신기에서는 디코드 회로를 통해 원래의 2-비트 입력 데이터를 복원할 수 있다. 제안된 회로는 0.25 μ m CMOS 공정으로 설계하였고, 시뮬레이션 결과 1-Gbps/2-line의 전송률을 갖고, 2.5V의 전원에서 35-mW의 전력소모를 나타냈다.

■ 중심어 : | LVDS | 저전력 | 저전압 | 차동신호 | 입출력회로 |

Abstract

A dual-level low voltage differential signalling (DLVDS) circuit is proposed aiming at reducing transmission lines for a LCD driver IC. We apply two data to the proposed DLVDS circuit as inputs. Then, the transmitter converts two inputs to two kinds of fully differential signals. In this circuit, two transmission lines are sufficient to transfer two inputs while keeping the LVDS feature. However, the circuit has a common mode bias fluctuation due to difference of the input bias and the reference bias. We compensate the common mode bias fluctuation using a feedback circuit of the current source bias. The receiver recovers the original input data through a level decoding circuit. We fabricated the proposed circuit using 0.25 μ m CMOS technology. The simulation results of proposed circuit shows 1-Gbps/2-line data rate and 35mW power consumption at 2.5V supply voltage, respectively.

■ keyword : | LVDS | Low Power | Low Voltage | Differential Signal | I/O Circuit |

* 본 논문은 2004년도 충북대학교 학술연구 지원사업과 산자부 한국산업기술재단 지역혁신인력사업의 연구비 지원에 의하여 연구되었습니다.

접수번호 : #060215-001
접수일자 : 2006년 02월 15일

심사완료일 : 2006년 03월 13일
교신저자 : 조경록, e-mail : krcho@chungbuk.ac.kr

I. 서론

저전압 차동신호 전송기법(LVDS: Low Voltage Differential Signaling)은 디스플레이를 사용하는 시스템에서 판넬과 시스템 사이의 데이터를 고속으로 전송하기 위해 제안된 기술이며, 저전력, 고속 동작, 높은 잡음 면역성, 저비용 면에서 우수하여 데이터 통신의 표준으로 사용되고 있다.

칩 외부의 데이터 전송은 칩 내부에 비해 많은 잡음원이 존재하기 때문에 잡음에 강한 차동신호 전송기법은 필수적이다. 그러나 기존의 차동신호 전송기법은 하나의 데이터를 전송하기 위하여 2개의 핀과 전송선을 사용하여야 하는 단점을 갖고 있다. 또한 그에 따른 비용 증가가 갈수록 심화되고 있다. 이러한 단점을 개선하기 위하여 전송선 공유 기법을 사용하여 전송선 개수를 줄이는 기법이 제안되었다[1]. 이 기법은 많은 데이터를 병렬로 전송할 때 병렬로 배치된 각 버퍼의 2개의 전송선 쌍을 서로 인접한 버퍼와 공유하면서 n개의 데이터 전송을 위하여 n+1개의 전송선과 핀을 사용하는 기법으로 많은 수의 전송선을 줄일 수 있다. 그러나 수신기에서 데이터 복호 알고리즘이 병렬로 전송되어오는 다른 데이터 출력에 의존성을 갖기 때문에 완전한 병렬 전송기법이라고 할 수 없는 단점을 갖고 있었다.

본 논문에서 제안된 기법은 2-bit 데이터를 2개의 전압차 레벨을 갖는 2쌍의 차동 신호로 변환하여 전송하는 새로운 방식을 사용함으로써 전송선당 데이터 전송률이 2배가 된다. 또한 송신기는 출력의 공통모드 전압의 흔들림을 보상하는 기능을 갖는다. 제안된 기법은 기존의 LVDS가 갖는 차동신호 전송기법의 원천적인 단점을 개선하고, 이전의 제안된 기법이 할 수 없었던 완전 병렬 전송이 가능한 기법이다.

II. DLVDS 회로의 구성

[그림 1(a)]는 송신부, 수신부 그리고 2개의 전송과

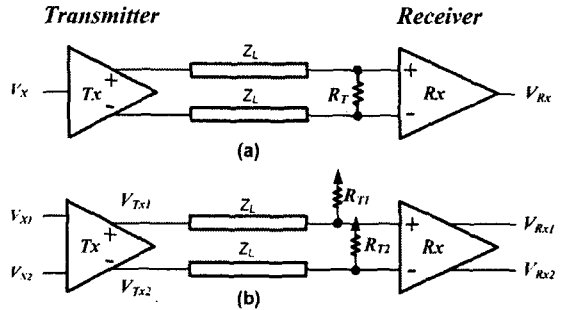


그림 1. 차동 입출력 신호 전송 시스템 (a) 일반적인 차동신호 전송 시스템 (b) 제안된 2비트 입력을 사용하는 전송 시스템

인으로 구성된 기존의 차동 입출력 전송시스템을 나타낸다. 각각의 1-bit 데이터는 차동 신호로 변환되어 2개의 전송선을 통해 수신단에 전송된다. 반면에 [그림 1(b)]에 제안된 데이터 전송 시스템은 기존의 2개의 전송선을 사용하여 2-bit 데이터를 동시에 전송 할 수 있다. 이러한 시스템은 같은 전송선, 입출력 회로, pin을 사용해 기존 시스템의 2배의 데이터를 전송할 수 있다.

1. 제안된 DLVDS의 개념

[그림 2]는 제안된 DLVDS 개념을 나타내고 있다. [그림 1(b)]의 2-bit 입력 데이터는 차동신호로 전송된다. 송신기의 2-bit 입력 데이터가 01과 10일 때, 송신기는 ±0.45V의 전압차를 갖는 차동신호를 출력한다. 일반적인 차동신호 전송기법은 1-bit 입력 데이터가 차동신호로 변환된 후 송신기의 2-bit 입력으로 입력되기 때문에, 이 경우는 일반적인 차동신호 전송기법과 동일하다. 그러나 입력 데이터가 00과 11일 때 즉, 송신기의 2-bit 입력 신호가 서로 같을 때, 송신기는 ±0.25V의 차동신호를 출력한다. 기존의 LVDS 방식은 2개의 전송선으로 1-bit의 데이터를 전송하는데, 제안된 DLVDS는 2개의 전송선으로 2-bit의 데이터를 전송할 수 있는 것이 특징이다. 2-bit의 데이터는 항상 2개의 차동 레벨로 전송된다. 수신기에서는 전송된 2개의 레벨을 갖는 각각의 차동신호를 구분한 후 복원하여 원래의 2-bit 데이터를 얻는다.

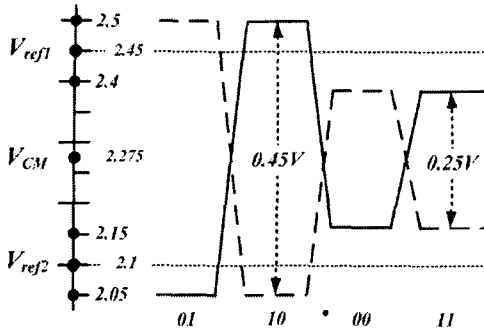


그림 2. 제안된 이중 차동신호 전송 개념

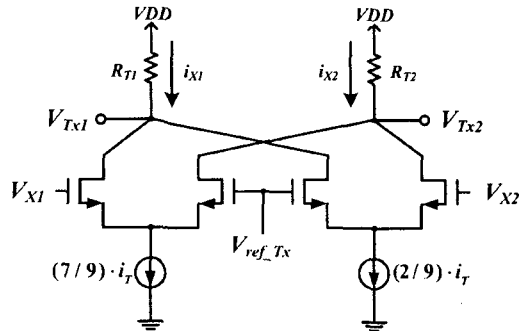


그림 3. 송신기 구조

2. DLVDS 송신기

[그림 3]은 제안된 DLVDS 송신기를 나타낸다. 송신기 회로는 드레인의 출력 전류 경로를 교차시킨 2개의 차동 트랜지스터 쌍으로 구성된다. 이 회로는 입력에 따른 전류의 합과 차를 형성하여 00, 11의 공통모드 입력에 대해서도 차동 신호를 생성할 수 있다. 기준 전압 V_{ref_Tx} 가 $VDD/2$ 이상으로 설정되면 한 쪽 입력이 0일 때 모든 전류가 충분히 다른 쪽 경로로 흘러간다. 입력이 01, 10의 차동모드일 때는 50Ω 의 종단 저항 R_{T1} 이나 R_{T2} 로 모든 전류 $i_T (=9mA)$ 가 흐른다. 따라서 출력 V_{Tx1} 과 V_{Tx2} 에는 저항으로 흐르는 전류의 양 만큼의 전압 강하가 형성되어 2.5V 전원을 사용할 때, 2.275V를 기준으로 $\pm 0.45V$ 전압차를 형성한다. 입력이 00, 11의 공통모드일 때는 입력에 따라 종단 저항 R_{T1} 과 R_{T2} 에 전류 $(2/9) \cdot i_T$ 또는 $(7/9) \cdot i_T$ 가 번갈아 흘러 $\pm(5/7) \cdot i_T$ 의 전류 차이가 발생한다. 따라서 출력에는 $\pm 0.25V$ 의 전압차가 발생한다. 제안된 회로는 입력 조합에 따라 서로 다른 크기의 전류를 흘려 DLVDS의 전송 신호를 생성할 수 있다.

3. 공통모드 전압 보정 DLVDS 송신기

기존의 DLVDS 송신기는 두 출력전압의 공통모드 전압이 일정하지 않고 미세한 진폭 오차가 발생한다. 이러한 오차는 송신기 출력의 잡음 면역성을 떨어뜨려 전체 시스템의 잡음 면역성을 감소시킨다. 오차의 원인은 각 NMOS 차동쌍의 공통소스 전압 V_S 가 일정하지 않기 때

문이다. NMOS V_G 가 $VDD (=2.5V)$ 일 때는 MOS 특성저항이 작아져 NMOS 양 단의 전압 강하 V_{DS} 가 작고 V_S 가 높다. 반면에 NMOS V_G 가 $V_{ref_Tx} (=2V)$ 일 때는 V_{DS} 가 크고 V_S 가 낮다. 이러한 NMOS 차동쌍의 공통소스 전압 변화는 전류원 NMOS의 전류의 V_{DS} 변화가 되어 채널 길이 변조(CLM)효과와 함께 전류 변화를 일으킨다. 아래의 채널 길이 변조를 고려한 NMOS의 포화영역 전류식(1)에서의 V_{DS} 와 I_D 의 관계를 살펴보면 출력저항이 낮아 λ 가 크고 전류가 V_{DS} 변화에 영향을 받는 것이다.

$$I_D = \frac{1}{2} \cdot \mu_n C_{ox} \cdot \frac{W}{L} (V_{GS} - V_{THN})^2 \cdot (1 + \lambda \cdot V_{DS}) \quad (1)$$

[그림 4]는 출력저항을 높이기 위하여 능동 캐스코드 전류원을 사용한 공통모드 전압 보정 송신기 회로이다. 여기서 사용되는 차동 증폭기는 입력 공통모드 범위가 Ground까지 포함해야 하므로 PMOS 차동쌍 입력단 회로를 사용한다. 출력저항은 증폭기의 전압이득 A만큼 증가하여 전류의 V_{DS} 의존성을 현저히 감소시킨다.

4. DLVDS 수신기

[그림 5]의 수신기는 2개의 전압차 비교기(DM1, DM2), 3개의 D-플립플롭(FF1, FF2, FF3), XOR 게이트, 그리고 2개의 MUX로 구성된다. 일반적인 차동증폭기 구조를 DLVDS 수신기로 사용할 경우, 2개의 레벨을 갖는 차동신호를 모두 증폭해 출력을 같은 레벨로 만들기

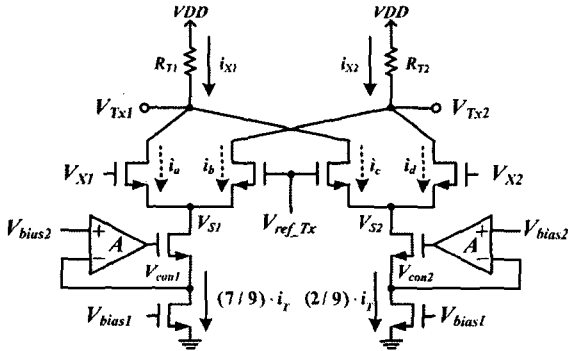


그림 4. 개선된 송신기 구조

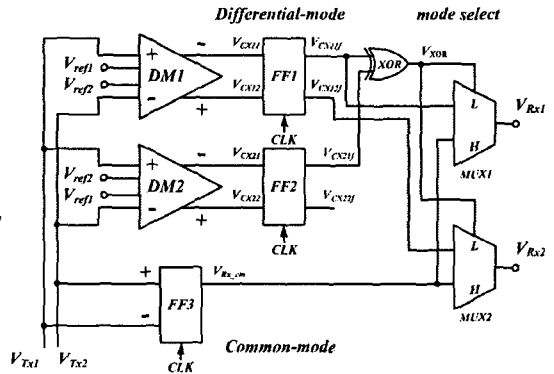


그림 5. 수신기 구조

때문에 2-bit 데이터를 복원할 수 없다. 따라서 우선적으로 서로 다른 전압차를 발생시키는 2-bit 입력의 모드를 구분하는 동작이 필요하다. 모드 구분을 위해 사용되는 전압차 비교기의 출력은 아날로그 신호로 SAFF (Sense-Amplifier Based Flip-Flop)를 사용해 디지털 데이터로 변환한다.

[그림 5]에서 모드선택(mode select) 부분은 DM1, DM2, FF1, FF2로 구성되고, 차동신호와 공통신호를 구분한다. 모드선택 동작은 V_{CX11} 와 V_{CX21} 신호를 입력 받은 XOR gate를 통하여 수신기 입력신호 전압차가 $\pm 0.25V$ 인지 $\pm 0.45V$ 인지를 구분해 송신기의 2-bit 입력이 공통모드일 때와 차동모드일 때를 판단한다. 송신기 입력이 차동모드일 경우, DM1과 FF1로 수신기 입력신호를 원래의 차동모드 2-bit 입력데이터로 복원한다. 송신기 입력이 공통모드일 경우, FF3은 수신기 입력신호를 원래의 공통모드 2-bit 입력데이터로 복원한다.

MUX는 모드선택 신호 V_{XOR} 를 통하여 공통모드(H)와 차동모드(L)중 하나를 선택한다. 따라서 입력 데이터가 01, 10의 차동모드 일 경우에는 FF1에서 출력된 신호 V_{CX11} , V_{CX12} 를 선택하고, 입력 데이터가 00, 11의 공통모드 일 경우에는 FF3에서 출력된 신호 $V_{Rx,cm}$ 를 선택한다.

[그림 6]은 차동신호로 전송되어 오는 신호를 전압차를 이용하여 차동모드와 공통모드를 구분하는 알고리즘을 나타낸다. 전송신호 V_{Tx1} 과 V_{Tx2} 의 전압차 절대값 $|V_{Tx1} - V_{Tx2}|$ 이 기준전압 V_{ref1} 과 V_{ref2} 의 차인

ΔV_{ref} ($\pm 0.35V$)의 절대값보다 크면 입력신호는 차동 모드이고, 작으면 공통모드로 판단할 수 있다.

III. 실험결과

제안된 DLVDS 회로는 $0.25\mu m$ CMOS 공정을 이용하여 설계하고 시뮬레이션 했다. [그림 7]은 송신단의 출력에 5pF의 부하 커패시터를 연결했을 때의 시뮬레이션 결과를 나타낸다. [그림 7]의 입력 데이터 V_{x1} 과 V_{x2} 의 데이터 전송률은 각각 500Mbps, 250Mbps이다. [그림 7(b)]는 송신기 출력 전압이다. 입력 데이터가 01, 10의 차동모드 일 때 송신기의 출력 전압차가 $\pm 0.45V$ 인 차동신호를 출력하고, 입력데이터가 00, 11인 공통모드 일 때는 송신기의 출력전압차가 $\pm 0.25V$ 인 차동신호를 출력한다. [그림 2]에서 보인 개념과 같이 항상 차동으로 동작하고 2개의 차동 전압 레벨을 갖는 것을 확인할 수 있다. 또 기준전압인 V_{ref1} ($=2.45V$)과 V_{ref2} ($=2.1V$)에 의해 수신기 신호를 구분할 수 있다. [그림 7(b)]는 개선된 송신기의 출력 전압이다. 두 차동 출력의 공통모드 전압이 안정된 것과 각 입력모드에서 전압차가 일정한 것을 볼 수 있다. 송신단의 전력 소모는 23mW이다.

[그림 8]은 수신기의 출력에 1pF의 부하 커패시터를 연결했을 때의 시뮬레이션 결과를 나타낸다. V_{XOR} 값이 high 일 때는 $V_{Rx,cm}$ 값이 V_{Rx1} 과 V_{Rx2} 로 출력돼

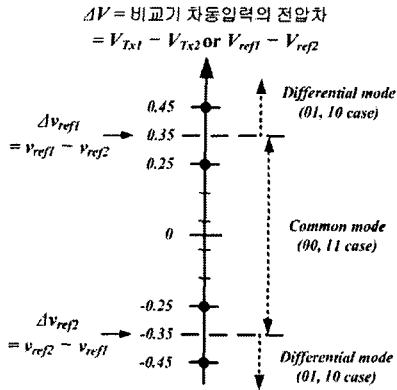


그림 6. 복호화 알고리즘

고 V_{XOR} 값이 low일 때는 V_{CX1f} , V_{CX2f} 가 각각 V_{Rx1} , V_{Rx2} 로 출력된다. 클럭은 500MHz를 사용하였고, 50%의 duty cycle 설정과 glitch 감소를 위하여 최종 출력에 D-플립플롭을 추가하여 시뮬레이션 하였다. 그러므로 수신기 최종 출력의 결과는 2클럭 후에 출력됨을 알 수 있다.

[그림 9(a)]는 신호가 전송되는 채널의 모형이다. 시뮬레이터(Hspice)의 W-model을 이용하여 0.3m 차동 전송 마이크로스트립 케이블과 칩에서 케이블 사이의 package + board trace(=microstrip) + SMA connect or 를 모형화했다. [그림 8(b)]는 그라운드 바운싱(Ground bouncing)으로 인한 공통모드 잡음이 있을 때를 시뮬레이션하기 위하여 pin과 VDD or Ground pad 사이의 lead frame을 모형화한 것이다.

[그림 10]은 전송선 길이에 따른 공통모드 전송(00, 11)과 차동모드 전송(01, 10)의 각각의 경우에 수신기 입력 신호의 전압차를 나타낸 그래프이다. 정상동작을 위해서는 2개의 전송 모드가 ΔV_{ref} 의 절대값인 점선의 위, 아래로 구분되어야 한다. 따라서 제안된 모형을 사용할 경우, 시뮬레이션으로는 전송선의 길이가 1m에 이를 때까지 정상 동작가능 했다. 단, 이는 전송채널이 종단저항으로 완전히 종단되어 반사나 산란이 전혀 없다고 가정한 경우의 시뮬레이션이다.

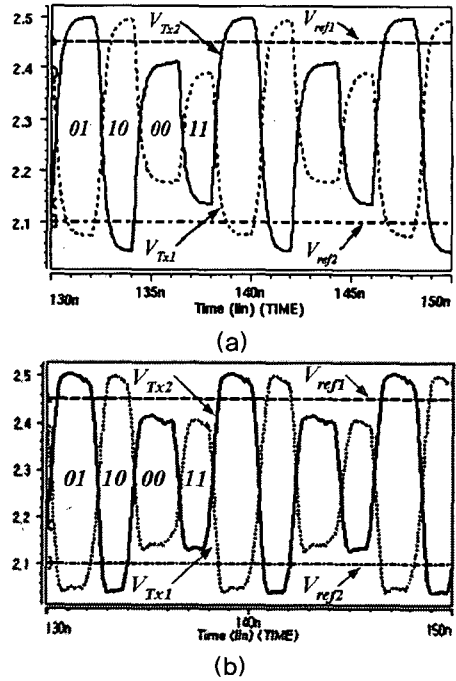


그림 7. 송신기의 시뮬레이션 결과 (a) 송신기의 출력 신호 (b) 개선된 송신기의 출력 신호

[그림 11]은 송신단과 수신단 회로의 칩 레이아웃을 보여준다. [그림 11]의 레이아웃으로부터 기생성분을 포함한 회로를 추출하여 시뮬레이션을 하였다.

[그림 12(a)]는 [그림 9(a)]의 채널 모형화만을 적용

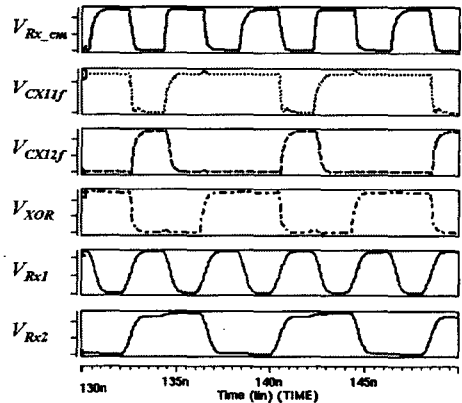


그림 8. 수신기의 시뮬레이션 결과

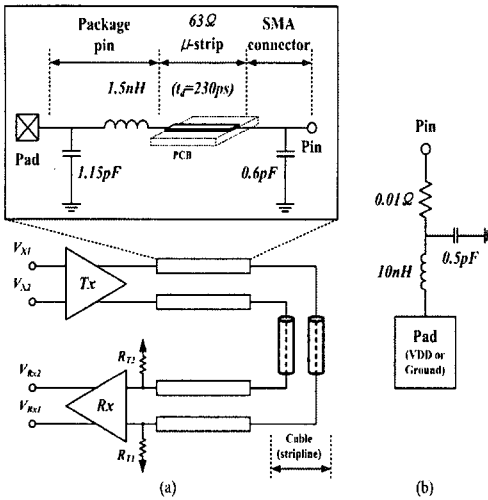


그림 9. 전송선 모델 (a) 데이터 라인 전체 연결 모형 (b) Ground와 VDD 본딩 패드 모형

한 송신단 출력이며, [그림 12(b)]는 [그림 9(a)]와 [그림 9(b)]를 모두 적용한 공통모드 잡음이 있을 때의 시뮬레이션 결과 파형이다.

[그림 13]은 [그림 12(b)]의 송신단의 출력이 전송되었을 때 수신단 출력 파형이다. VDD와 Ground에 [그림 9(b)]의 그라운드 바운싱이 적용된 파형이기 때문에 잡음 성분을 볼 수 있으며 [그림 7]의 결과와 일치하는 것을 알 수 있다. 시뮬레이션 결과 파형을 통하여 제안된 구조의 입출력 회로가 차동신호 전송의 특성인 공통모드 잡음에 강하다는 특성을 잃지 않았음을 알 수 있다.

[표 1]은 제안된 DLVDS 회로와 기존의 LVDS회로 회로를 비교한 결과이다. 데이터 1개당 필요한 전송선 수 Data/Line을 보면, 2개의 data를 보낼 때 회로 [4]는 4-line, 회로 [1]은 3-line, 제안된 DLVDS회로는 2-line을 필요로 한다. Maximum C_L (부하 커패시터)에서 회로 [4]는 송신단 출력에 10pF의 C_L 이 저항양단에 연결되기 때문에 유효 C_L 는 5pF이 된다. 제안된 DLVDS의

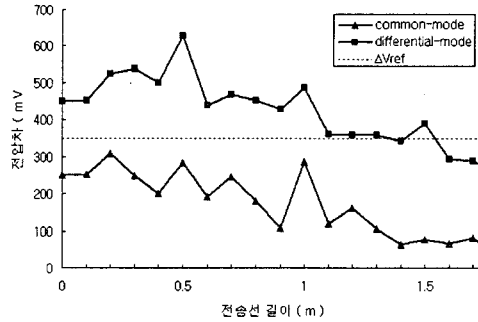


그림 10. 전송선 길이에 따른 수신기 입력의 차동 전압차

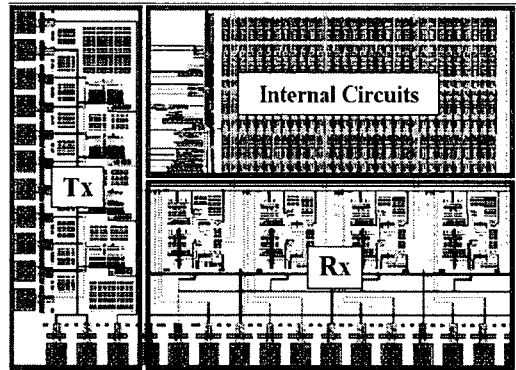
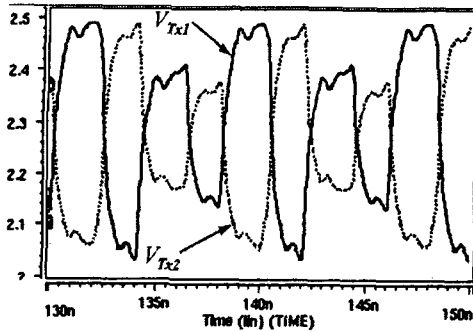


그림 11. 칩 레이아웃

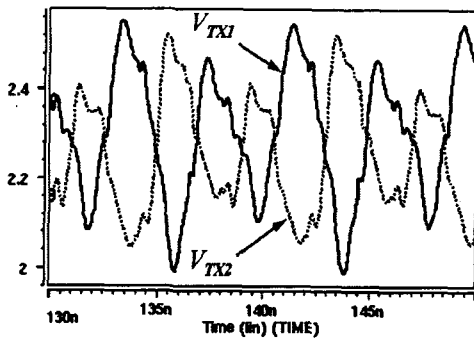
더욱 민감하다.

제안된 구조는 수신단에서 2개의 D-플립플롭을 거치기 때문에 데이터는 CLK 2주기(=4n) 만큼 지연 되어 출력된다. 전력 소모를 파악할 때는 속도와 전송되는 데이터의 수를 고려해야 한다.

개념은 차동신호의 특성을 유지하므로 공통모드 잡음에는 같은 장점을 갖지만 전송되는 신호의 진폭을 나눠서 정보를 나타내므로 기존의 LVDS의 개념보다 전송선 길이가 증가할 경우에 따른 신호의 감쇠에 따른 잡음에는



(a)



(b)

그림 12. 그림 9의 송신기와 전송선 모형을 포함한 시뮬레이션 결과
 (a) 그림 9(a)를 적용한 송신기 출력
 (b) 그림 9(a)와 (b)를 모두 적용한 송신기 출력

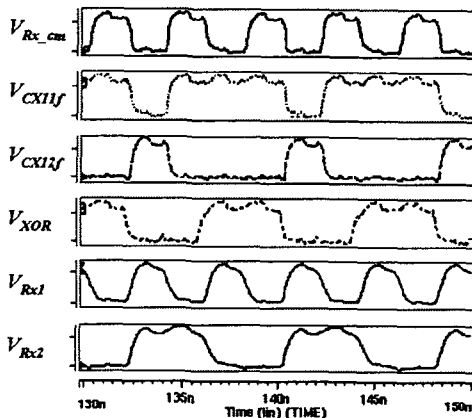


그림 13. 그림 9의 전송선 모형까지 적용된 수신기 시뮬레이션 결과

참고문헌 [4]의 회로는 1개의 신호를 1쌍으로 전송하지만, 제안된 회로는 2개의 신호를 1쌍으로 전송한다. 따라서 실제로 비교할 때는 [4]의 회로가 2개씩 있어야 비교대상이 되며, 전송 속도의 차이도 고려해야 하므로 기존 [4]의 LVDS보다 제안된 DLVDS 회로는 대등한 전력소모로 Data/Line 전송률이 2배임을 알 수 있다. 또한 회로 [1]과 비교 시에도 동등한 전송률을 가지면서 배선 복잡도가 감소됨을 알 수 있다.

IV. 결론

제안된 DLVDS는 기존의 LVDS가 갖는 특징인 고속 저전력 차동모드 특징을 유지하면서, 2개의 전송선을 통해 2-bit 데이터를 동시에 전송하여 전송라인에서의 데이터 속도가 입력 데이터의 1/2로 감소하여 최대전송 속도를 증가시킬 수 있고, 면적 및 전력소모를 감소시켰다. 또한 제안된 송신기는 송신기 출력의 공통모드 잡음 변동을 보상했다. 수신단에서는 디코딩 회로를 통해 입력 데이터를 복원할 수 있다. 제안된 회로는 0.25 μ m CMOS 공정으로 설계 되었고, 1-Gbps /2-line 으로 전송률을 가지며, 2.5V 전원에서 35mW의 전력소모를 나타냈다.

표 1. 기존 기법과의 성능 비교

	Conventional[4]	Shared line[1]	Proposed DLVDS
Process	CMOS 0.35- μ m	CMOS 0.25- μ m	CMOS 0.25- μ m
Data/Line	1-data /2-line	n-data / (n+1)-line	2-data /2-line
Data rate	1.2Gbps/2-line	1.1Gbps/2-line (@ 0.3m T-line)	1-Gbps/2-line (@ 0.3m T-line)
DC current consumption	Tx:13mA Rx:10mA	Tx: 5mA Rx: -mA	Tx: 9mA Rx: 5.5mA
power consumption	Tx:43mW Rx:33mW	Tx: 12.5mW Rx: -mW	Tx: 23mW Rx: 12mW

참고 문헌

- [1] F. Hatori, S. Kousai, and Y. Unekawa, "Shared data line technique for doubling the data transfer rate per pin of differential interfaces," in Proc. CICC 2001, pp.501-504, 2001.
- [2] IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI), 1596.3 SCI-LVDS Standard, IEEE Std. 1596.3, 1996.
- [3] Electrical characteristics of low-voltage differential-signaling (LVDS) interface circuits, TIA/EIA-644, National Semiconductor Corp., ANSI/TIA/EIA, 1996.
- [4] A. Boni, A. Pierazzi, and D. Vecchi, "LVDS I/O interface for Gb/s-per-pin operation in 0.35- μ m CMOS," IEEE J. Solid-State Circuits, Vol.36, pp.706-711, Apr. 2001.
- [5] T. Gabara, W. Fischer, W. Werner, S. Siegel, M. Kothandaraman, P. Metz, and D. Gradl, "LVDS I/O buffers with a controlled reference circuit," in Proc. ASIC Conf., pp. 311-315, 1997.
- [6] B. Young, "An SOI CMOS LVDS driver and receiver pair," in Proc. Int. Symp. VLSI Circuits, pp.153-154, 2001.

저자 소개

김 두 환(Doo-Hwan Kim)

정회원



- 2003년 2월 : 충북대학교 정보통신공학과(공학사)
- 2005년 2월 : 충북대학교 정보통신공학과 (공학석사)
- 2005년 3월~현재 : 충북대학교 정보통신공학과 박사과정

<관심분야> : LVDS I/O 회로, 아날로그 필터 설계, OLED 드라이버 설계

김 기 선(Ki-Sun Kim)

준회원



- 2005년 2월 : 충북대학교 정보통신공학과(공학사)
- 2005년 3월~현재 : 충북대학교 정보통신공학과 석사과정
- <관심분야> : LVDS I/O 회로, OLED 드라이버 설계, RFID

조 경 록(Kyoung-Rok Cho)

정회원



- 1977년 : 경북대학교 전자공학과(공학사)
- 1989년 : 일본 동경대학교 전자공학과(공학석사)
- 1992년 : 일본 동경대학교 전자공학과(공학박사)

- 1979년~1986년 : (주)금성사 TV연구소 선임연구원
- 1999년~2000년 : Oregon State University 객원교수
- 1992년~현재 : 충북대학교 전기전자공학부 교수
- <관심분야> : 통신시스템 LSI설계, 저전력 고속회로 설계, Platform 기반의 SoC 설계