

논문 2006-43IE-3-2

고속 샘플링 8bit 100MHz DAC 설계

(8bit 100MHz DAC design for high speed sampling)

이 훈 기*, 최 규 훈**

(Hun-Ki Lee and Kyu-Hoon Choi)

요 약

이 논문은 100MHz 수준의 고속 신호 샘플링을 위해 글리치 최소화 기법을 적용한 8비트 100MHz CMOS D/A 변환기 (Digital to Analog Converter : DAC) 회로를 제안한다. 제안하는 DAC는 0.35 μm Hynix CMOS 공정을 사용하여 설계 및 레이아웃을 하였으며, 응용되는 시스템의 속도, 해상도 및 면적 등의 사양을 고려하여 전류 모드 구조로 적용되었다. D/A 변환기의 선형 특성은 설계한 Spec. 과 유사하였으며, $\pm 0.09\text{LSB}$ 정도의 DNL과 INL오차가 측정되었다. 제작된 칩 테스트 결과에 대한 오동작의 원인을 분석하였으며, 이를 통하여 칩 테스트를 위한 고려사항 등을 제안하였다.

Abstract

This paper described an 8bit, 100Msamples/s CMOS D/A converter using a glitch-time minimization technique for the high-speed sampling rate of 100MHz level. The proposed DAC was implemented in 0.35 μm Hynix CMOS technology and adopts a current mode architecture to optimize sampling rate, resolution, chip area. The DAC linear characteristics was similar to the proposed specification and the prototype error between DNL and INL is less than $\pm 0.09\text{LSB}$ respectively. Also, the manufactured DAC chip was analyzed the cause of error operation and proposed the field considerations for chip test.

Keywords : CMOS DAC, glitch-time minimization, Current mode, DNL, INL

I. 서 론

고속도 고해상도 D/A 변환기는 오디오, TV, 비디오 등의 응용분야에서 통상 6~8비트의 분해능과 수십 MHz정도의 변환 속도를 가지는 고성능 영상 신호 시스템의 출력단에서 필수적으로 사용 되는 인터페이스 회로 중의 하나이다.

D/A 변환기는 대개 2개 정도의 적은 가짓수의 정의

된 수준이나 상태를 가지는 신호, 즉 디지털 신호를 이론적으로는 무한한 가짓수의 상태를 가지는 아날로그 신호로 변경해 주는 과정, 또는 장치를 말한다. 보편적인 예로 모뎀에 의해 이루어지는 처리를 들 수 있는데, 컴퓨터 데이터를 전화회선을 통해 전송될 수 있는 주파수 톤으로 바꾸어 주는 것을 말한다.

이진 디지털 임펄스는 아주 긴 0과 1의 스트링처럼 보이며, 사람들이 외견상 보기에는 아무런 의미를 갖지 않는다. 그러나 이진 디지털 신호를 번역하기 위해 DAC가 사용되었을 때, 의미 있는 출력이 나타나는데, 그 예로 목소리나 그림 음악선율 또는 기계 동작 등이 될 수 있다. D/A 변환기는 DSP(Digital Signal Processor) 응용분야에서 중요성을 가지며, 아날로그 신호의 명료도나 충실도는 아날로그 신호를 A/D 변환기를 이용해

* 정회원, 셀로코(주)
(SELOCO, Inc.)

** 평생회원, 전주비전대학 의료기정보과
(Dept. of Medical Equipment Information, VISION College of Jeonju)

※ 이 논문은 반도체설계교육센터(IDECE)의 지원에 의하여 제작되었습니다.

접수일자: 2006년5월23일, 수정완료일: 2006년8월31일

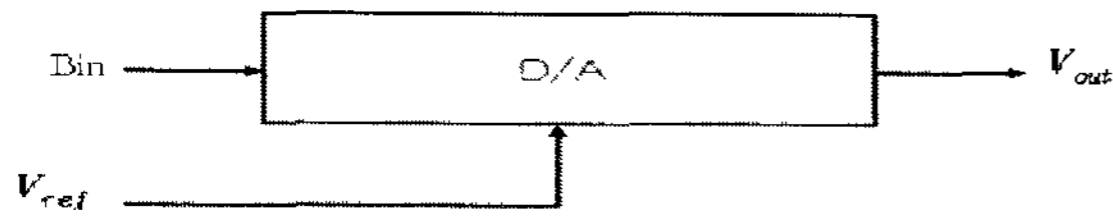


그림 1. 이상적인 DAC 블록도
Fig. 1. Ideal DAC Block diagram.

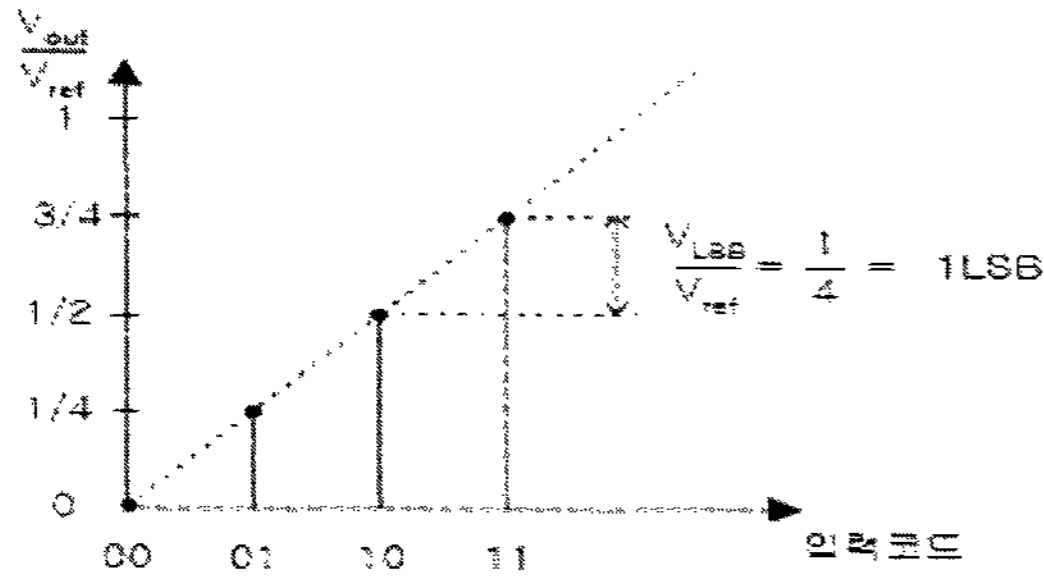


그림 2. 이상적인 DAC 입력과 출력 특성
Fig. 2. Ideal DAC input and output characteristics.

디지털 신호로 변환함으로써 개선될 수 있고, 그 다음 개선된 디지털 신호를 다시 D/A 변환기를 이용해 아날로그 형태^[1]로 바꾸게 된다.

1. Ideal data conversion

그림 1은 N-비트의 디지털입력 신호 Bin에 대해 기준전압 V_{ref} 을 갖고 V_{out} 의 아날로그 신호를 출력하는 이상적인 DAC의 블록다이어그램이다.

$$Bin = b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n} \quad (1)$$

그림 1의 식 (1)과 같이 b_1 은 MSB(Most Significant Bit) 이고 b_n 은 LSB(Least Significant Bit)으로 표현이 가능하다.

그림 2는 이상적인 2비트 D/A 변환기의 디지털 입력 신호에 대한 아날로그 출력 신호의 특성곡선을 나타내고 있다. 모든 D/A 변환기는 디지털 입력 신호에 대응되는 아날로그 출력 값들의 수는 한정되어 있기 때문에 실제적인 회로에서는 최종 출력 단에 저 대역 통과 필터를 추가하여 아날로그 신호를 연속적으로 만들어야 한다. 특히 주의해야 할 점은 V_{out} 의 최대값은^[1] V_{ref} 와 같거나 넘을 수 없다.

II. 본 론

1. 제안한 DAC 사양 및 특성

표 1은 D/A 변환기를 설계하는데 필요한 조건들을 설정한 것이다. 8비트의 해상도를 가지며 전원 전압은

표 1. DAC 사양

Table 1. Specification of DAC.

Resolution	8 bit
Supply Voltage	3.3 Volt
INL	± 1 LSB 이내
DNL	± 1 LSB 이내
Speed	약 100MHz
Output Resistance	37.5 Ω
Output Capacitance	10pF
Voltage Swing	1v
Tech	Hynix 0.35 μ m 공정

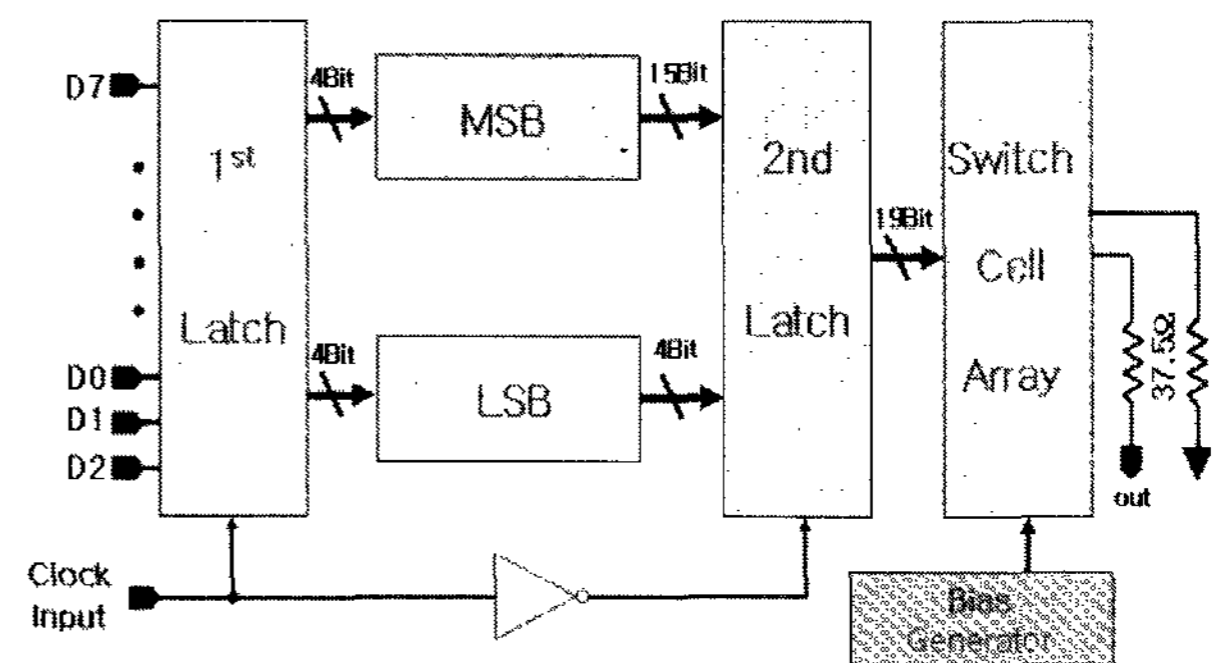


그림 3. 제안한 DAC 블록도
Fig. 3. Proposed DAC Block diagram.

3.3V로 하였으며, INL, DNL의 오차 범위는 1LSB이내로 설정하였다.

통신 응용이나 DSP분야에 활용되어 빠른 스피드가 필요하기 때문에 동작 주파수는 100MHz로 하였고, 출력 스윙폭은 1V미만으로 설계하였다. 그리고 공정으로는 Hynix 0.35 μ m공정기준으로 사양을 결정하였다.

그림 3은 D/A 변환기의 블록도로서 구조로는 여러 가지가 있지만 여기서는 디코더를 이용한 thermometer 코드기법과 Binary weighted array 기법으로 설계를 하였다. 8비트이기 때문에 최상위 비트(MSB), 최하위 비트(LSB)를 각각 4bit 씩 나누어 최상위 비트 부분에 4 입력-15출력 의 디코더를 이용하였다.

이 디코더는 온도계의 눈금처럼 하나씩 1이 증가되는 회로로 표 2처럼 15개의 값을 표현하기 위해 이진 코드는 4개의 디지털 입력이면 충분하나 Thermometer 코드는 15개의 디지털 출력이 필요하다. 최하위 비트는 최상위 비트와는 달리 Delay cell들을 이용하여 최상위 비트에 있는 4입력-15출력의 디코더로 인한 신호지연시간을 동기화^{[2][3]}시켜 클리치를 최소한으로 줄일 수 있다.

Thermometer 코드는 복잡하기만 할 뿐 아무런 장점

표 2. 2진 코드와 thermometer코드의 비교
Table 2. Binary code and thermometer code comparison.

	I ₁	I ₂	I ₃	I ₄	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	D ₈	D ₉	D ₁₀	D ₁₁	D ₁₂	D ₁₃	D ₁₄	D ₁₅
1	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	0	0	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
3	0	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
4	0	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0
5	0	1	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0
6	0	1	1	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0
7	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
9	1	0	0	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0
10	1	0	1	0	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0
11	1	0	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0
12	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0
13	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
14	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0
15	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

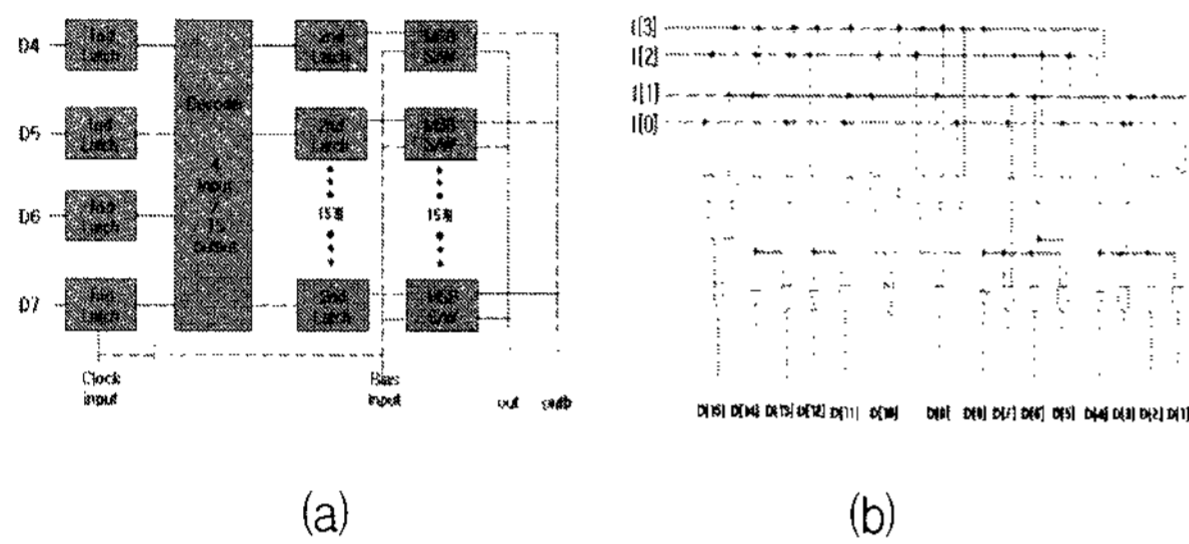


그림 4. (a)Thermometer 블록도
(b)Thermometer 디코더

Fig. 4. (a) Thermometer Block diagram.
(b) Thermometer decoder.

도 보이지 않을 수 있으나 정확한 아날로그 출력, 적은 DNL에러, 정확한 단조 증가성 및 아주 적은 글리치 잡음 등을 요구하는 D/A 변환기에서는 중요한 역할을 한다. 그리고 Thermometer 코드 비트가 좌우하는 출력 변화량이 Binary weighted array 기법의 변화량 보다 훨씬 크기 때문에 4입력-15출력 디코더를 사용하여 세분화 하였다. 반면 최하위 비트는 Binary weighted array 기법으로 Thermometer 기법과는 달리 이름과 같이 출력단 MOS에 1X, 2X, 4X, 8X 식으로 적절한 가중치를 부여한 후, 이를 배열하여 원하는 아날로그 신호를 얻는 기법이다.

그림 4(a)는 Binary weighted array 블록도로서 4비트의 이진 코드가 D0~D3으로 디지털 입력이 되면 1st, 2nd 래치를 거쳐 LSB 스위치로 전달되게 된다. 이때 LSB 스위치에는 1X, 2X, 4X, 8X 식으로 적절한 가중치를 부여하면 4비트의 아날로그 신호가 출력된다. 최하위 비트는 반복적으로 0000~1111 까지 계속 LOOP를 돌게 되고 이때 1111~0000으로 넘어갈 때 최상위 비트는 한 칸 즉 1비트가 상승하게 된다. 이런 방법으로 최하위 비트에서 LOOP가 반복하면은 최상위 비트가 1비트씩 증가하여 8비트의 아날로그 출력^[4]을 얻을 수 있다.

2. 시뮬레이션 실험

설계 사양을 토대로 하여 비트수는 8비트, 구조는 Binary weighted array 기법과 Thermometer 코드 기법을 이용하여 4비트, 4비트로 각각 나누었고, 전원 전압은 3.3V, 전원 스윙폭 즉 V_{ref} 는 모든 디스플레이 시스템의 출력 스윙폭이 1V 미만이기 때문에 설계 사양을 1V미만으로 하였다.

따라서 출력단에 출력 저항을 37.5 Ohm, 1LSB를 3.9mV로 하였고, INL과 DNL은 각각 ±1LSB 이내로 설정하였다. 동작 주파수는 100MHz, 공정은 Hynix 0.35µm 공정 설계 규칙에 맞게 설계 하였다.

(1) Binary weighted array type

그림 5(a)에서 입력 부분에 디지털 신호가 인가되면 NMOS와 PMOS로 구성된 상보형 스위치를 거쳐 래치를 지나 PMOS로 구성된 Cell array 스위치로 디지털 신호가 입력된다. 이때 Cell array 스위치는ON/OFF동작을 함으로써 전류원으로부터 흐르는 전류가 ON일 때는 도통되고, OFF일 때는 차단된다.

이때 흐르는 전류는

$$I_{DS} = \frac{\beta}{2} (V_{GS} - V_{TH})^2 \quad (2)$$

(2)식으로 계산 할 수 있다.

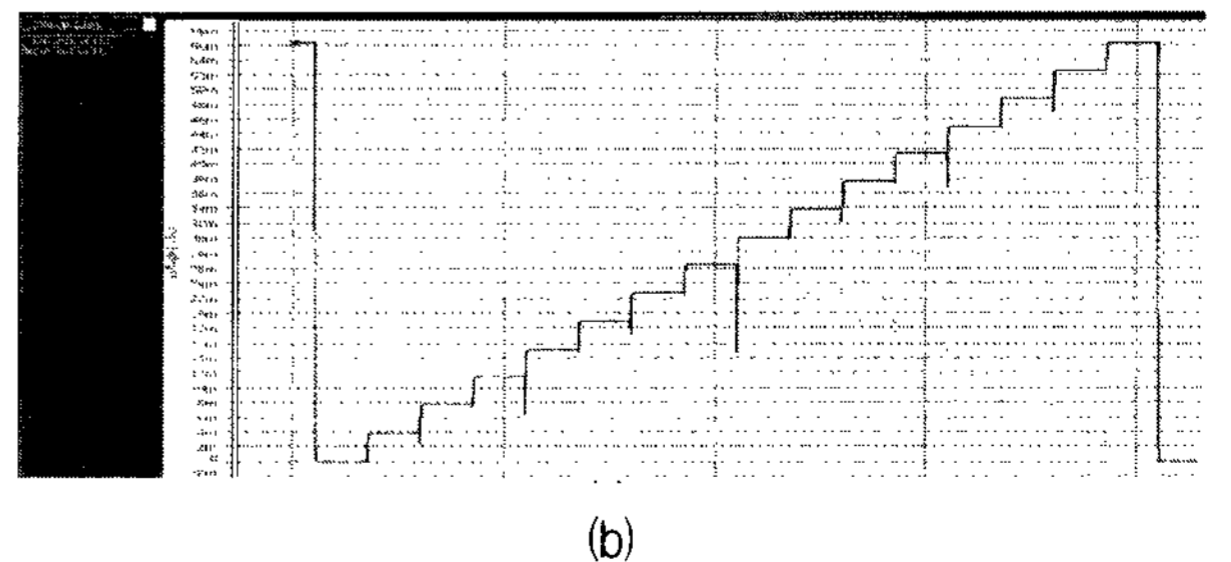
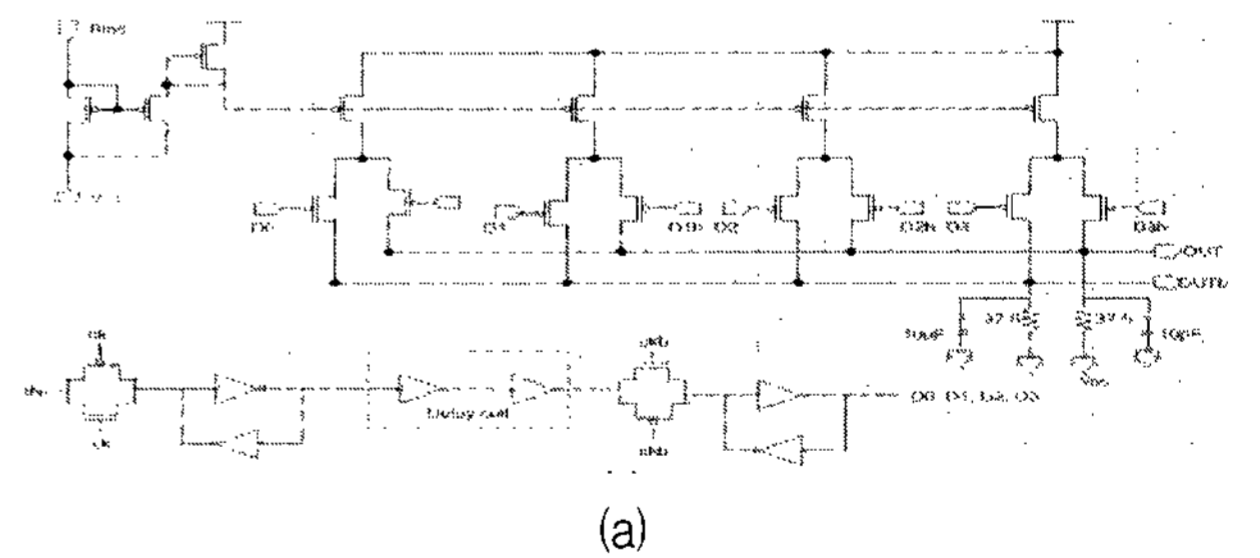


그림 5. (a) Binary weighted array 회로도,
(b) 시뮬레이션

Fig. 5. (a) Binary weighted array type schematic circuit,
(b) Simulation.

이때 β 는 $U_o C_{ox} \frac{W}{L}$ 이다.

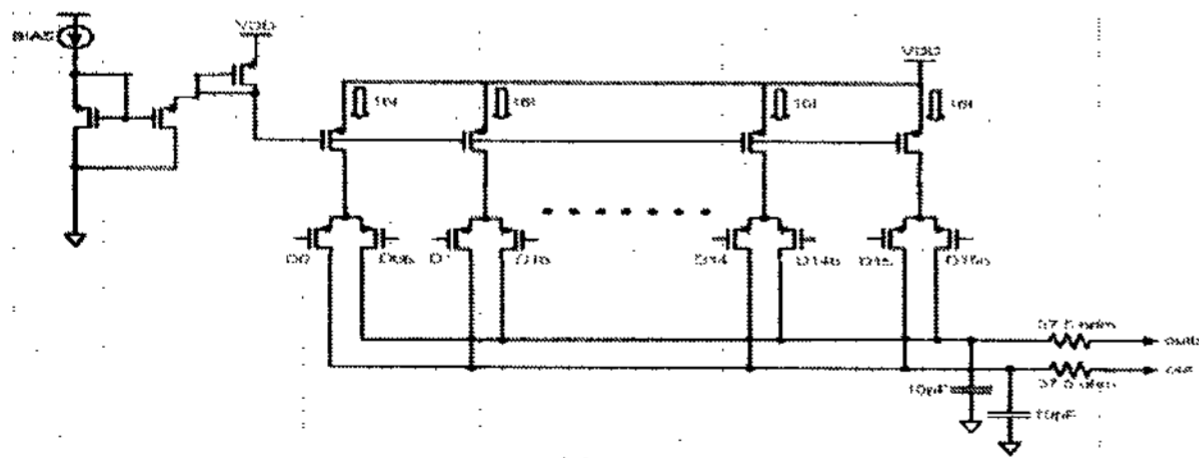
식을 토대로 계산을 해보면 나머지 값들은 전부 정해져 있는 값들이지만 유일하게 W와 L사이즈는 조절할 수 있다. 즉, W(Width)와 L(Length)을 조절함으로써 가중치를 부여할 수 있음을 알 수 있다.

그림 5(b)는 그림 5(a)의 시뮬레이션 결과이다. 디지털 신호가 0000~1111까지 순차적으로 증가하였을 때 출력이 계단식으로 저항을 통해서 전압으로 바뀌어 나오는 것을 확인할 수 있다.

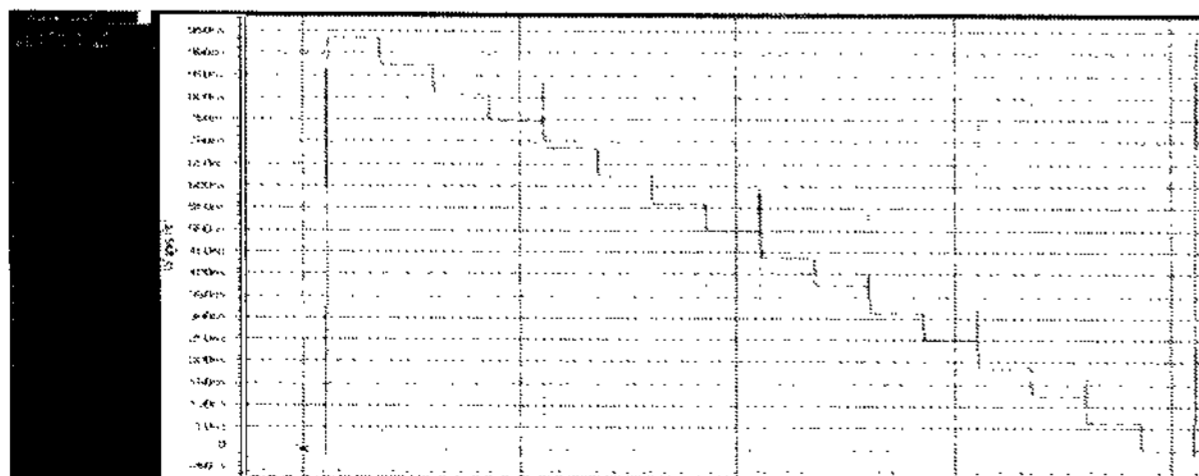
(2) Thermometer code type

그림 5(a)에서 입력 부분에 디지털 신호가 인가되면 NMOS와 그림 6(a)는 입력에 디지털 신호가 인가되면 1st 래치를 지나 4입력 15출력의 디코더로 인가된다. 디코더에서 나온 출력은 Binary weighted type과 같이 PMOS로 구현된 Cell array 스위치로 신호가 인가되어 ON/OFF에 따라 전류가 흘렀다 차단되었다 한다. 그러나 Thermometer code type은 Binary weighted type보다 출력이 커야 한다.

그림 5(a)에서 Binary weighted type은 최대 출력 전압이 약 56mV이다. 그러나 Thermometer code type의 전류는 전류원의 16배가 흐르게 설계 하여야 하므로 Thermometer code type은 이보다 3.9mV가 많은 약 59.9mV이어야 한다. 그리하여 최대1V 미만의 출력 전압 결과를 얻어 Specification에 만족한다.



(a)



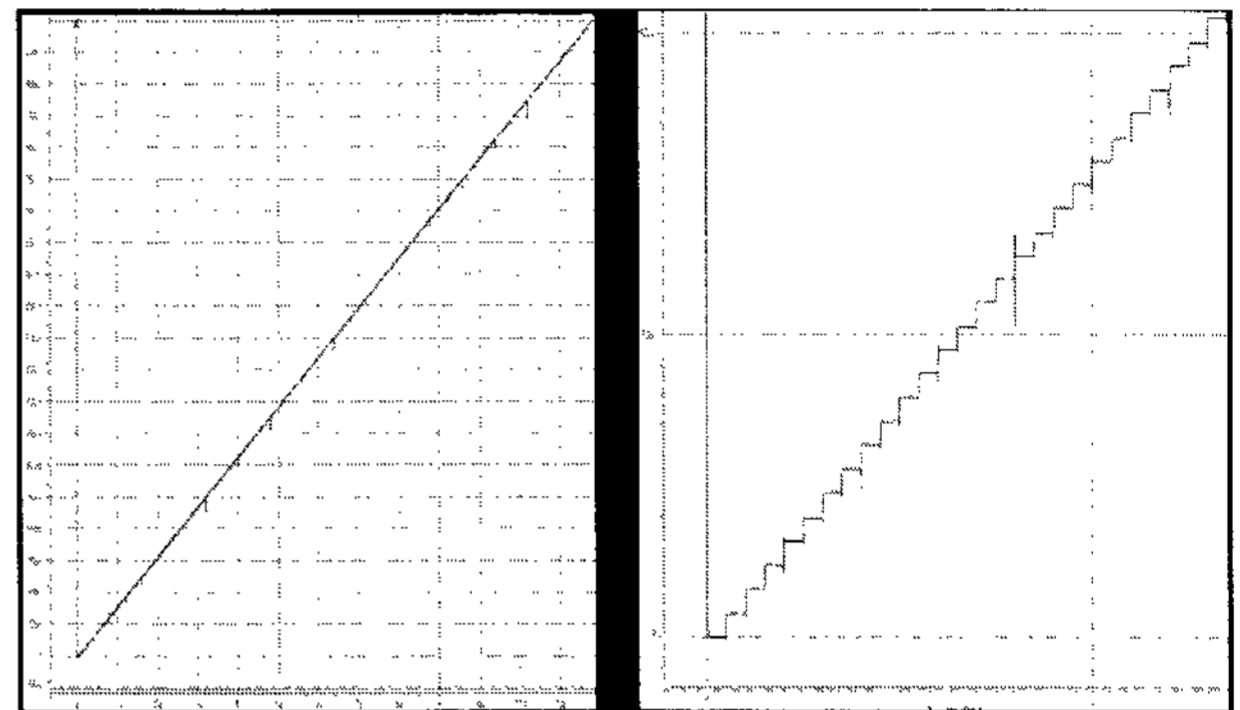
(b)

그림 6. (a) Thermometer code type 회로도
(b) 시뮬레이션
Fig. 6. (a) Thermometer code type schematic.,
(b) Simulation.

(3) 전체 시뮬레이션

그림 7은 전체 회로를 합쳐 시뮬레이션 한 결과이다. 00000000~11111111 까지 순차적으로 디지털 신호를 인가 했을 때 그림 7(b)의 그림처럼 계단식으로 전압이 상승하는 모습을 볼 수 있다.

표 2는 이상적인 출력전압과 실제 회로도 출력 전압을 비교한 도표이다. 최대 오차 범위는 $\pm 0.9mV$ 로 1LSB 이상의 범위를 벗어나지 않아 거의 정확한 출력값을 얻어 낼 수 있었다.



(a)

(b)

그림 7. (a) 전체 시뮬레이션, (b) 확대
Fig. 7. (a) Total simulation., (b) extension.

표 2. 이상적인 출력 전압과 실제 회로의 출력 전압
Table 2. Ideal output voltage and Design schematic output voltage.

CODE	Ideal	check	CODE	Ideal	check
00000000	0	0	00001001	35.1	35.7
00000001	3.9	3.92	00001010	42.9	39.7
00000010	7.8	7.87	00001011	42.9	43.6
00000011	11.7	11.8	00001100	46.8	47.5
00000100	15.6	15.6	00001101	50.7	51.4
00000101	19.5	19.6	00001110	54.6	55.4
00000110	23.4	23.5	00001111	58.5	59.3
00000111	27.3	27.7	00010000	62.4	61.5
00001000	31.2	31.8	단위	mV	

3. 제안된 DAC 레이아웃

그림 8은 설계한 회로와 시뮬레이션을 토대로 레이아웃을 한 그림들이다. (a)는 코어 셀에 관한 그림이며 (b)는 전체레이아웃의 결과를 보여준다.

신호 지연으로 인한 글리치를 최대한 줄이기 위하여 디지털 신호를 위에서 아래로 흐르게 하였고, 디지털단과 아날로그단의 거리를 최소화시키기 위해 상, 하에 위치시켰다.

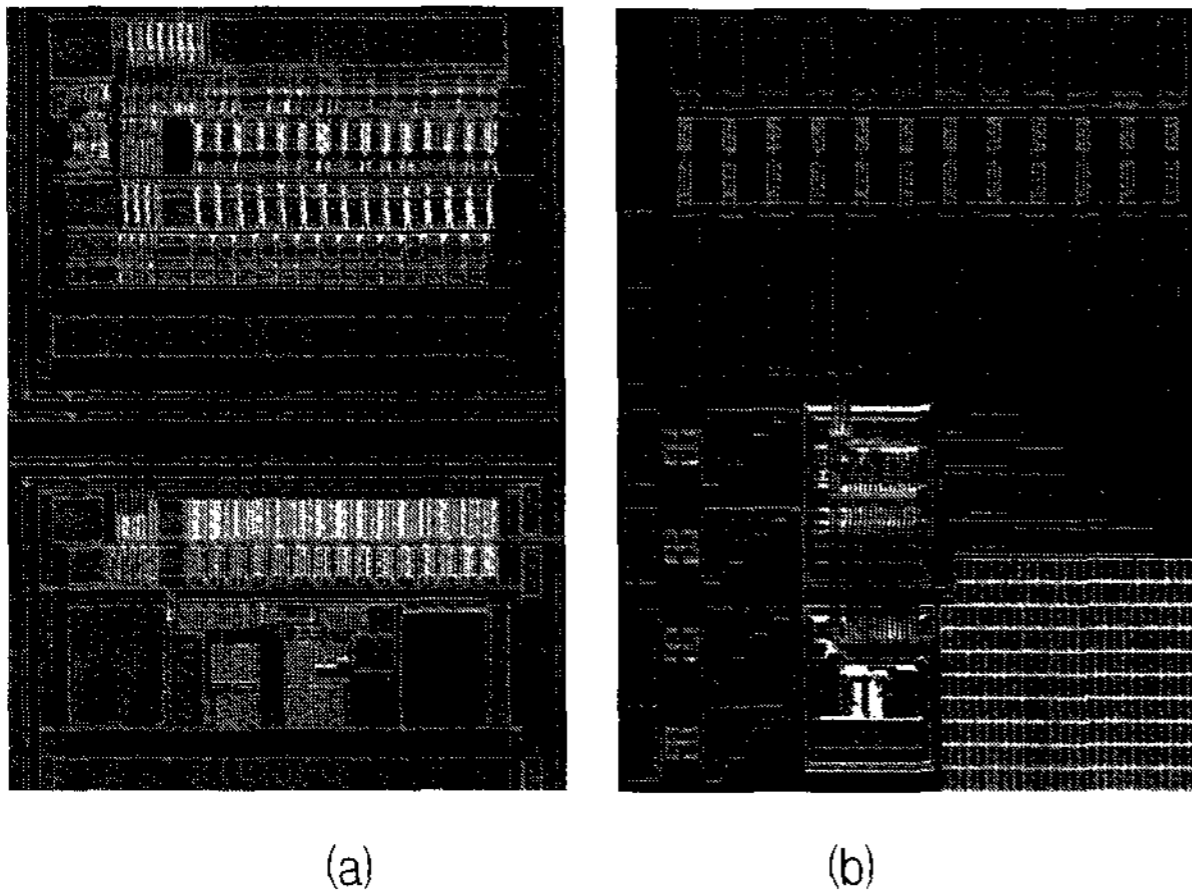


그림 8. (a) Core cell 레이아웃 (b) 전체 레이아웃
Fig. 8. (a) Core cell Layout. (b) Total Layout.

4. 칩 테스트

그림 9의 (a)는 칩을 테스트하기 위한 보드와 (b)는 파형의 결과를 제시하고 있다.

그림 9(b)는 Chip test를 하여 얻은 결과 파형으로써 MAX PLUS 프로그램을 통해 00000000~11111111까지 순차적으로 증가하는 카운터를 다운로드를 하여 D/A

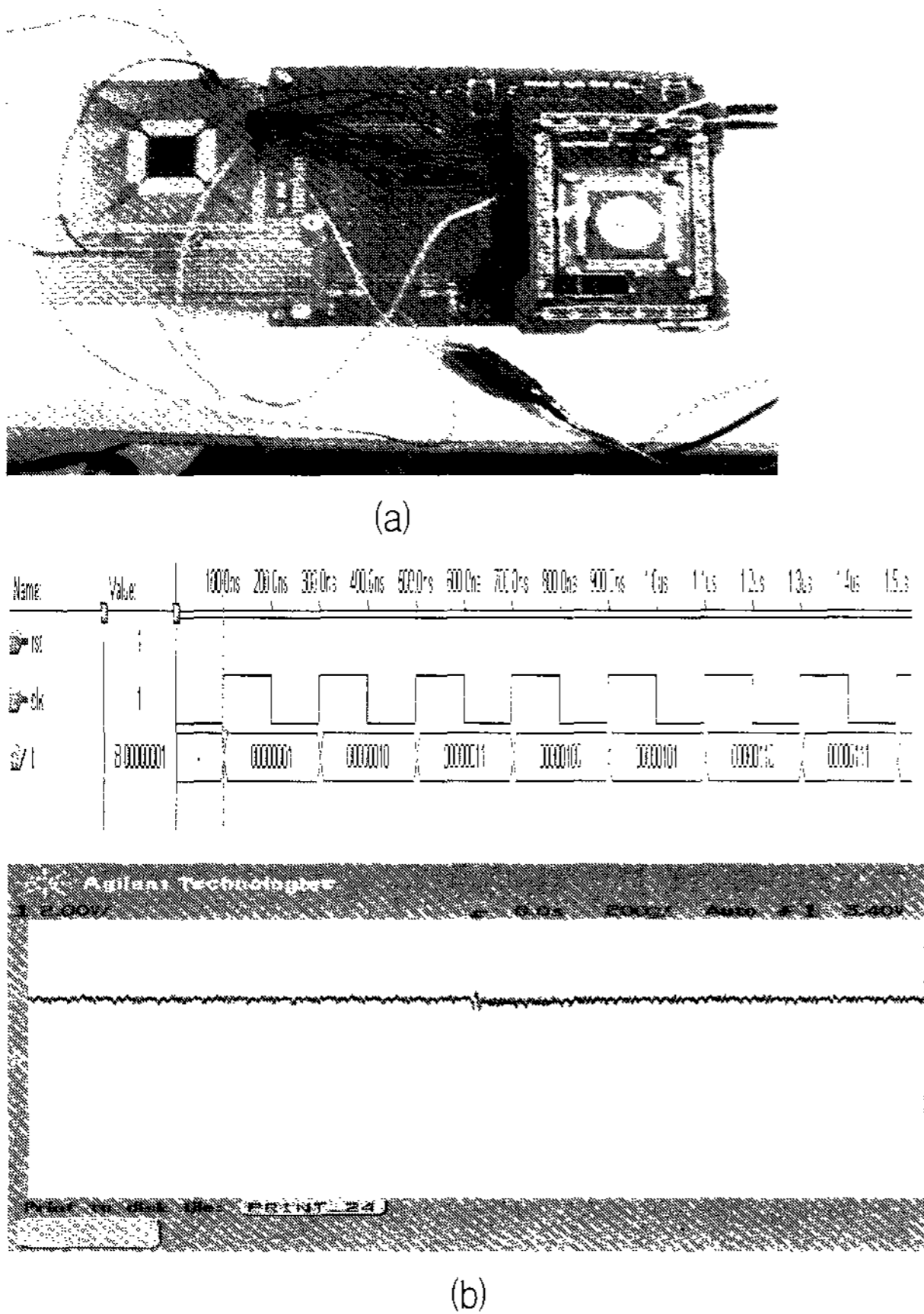


그림 9. (a) Chip test 과정 (b) Chip test 파형
Fig. 9. (a) Chip test procedure, (b) Chip test waveform.

컨버터 입력에 신호들을 인가해 주었다.

하지만 시뮬레이션과는 달리 어느 일정한 파형만을 유지하는 출력 결과를 얻었다. 이밖에 여러 조건을 고려한 Chip test를 해보았지만 똑 같은 결과파형만을 유지하여 Chip이 오동작하는 모습을 볼 수 있다.

따라서 오동작의 여러 가지 가능성 있는 원인을 병행하여 분석하였다.

5. 오동작 원인 분석

그림 10는 ERC error명과 좌표를 표시하고 있다. Error명은 PATHCHK Errors로써 이것의 뜻은 전원전압이 Diffusion에 제대로 인가가 되지 않았을 때에 발생하는 메시지다. DB를 제출 할 때 까지 ERC에 대한 확인을 거의 하지 않은 상태가 원인이 될 수 있다. 이런 Cell들은 전체 도면에서 차지하는 메탈의 비율이 DRC에 명시된 비율로 정해줘야 하기 때문에 Metal density error를 줄이기 위한 과정에서 발생한 것으로 추측된다. 하지만 이러한 Cell들로 인해 Chip의 동작율과 밀접한 관계가 있는지 단정짓기가 매우 어렵다. 이유는 그림 10와 같은 Cell이 있는 위치는 회로와 전혀 연결이 되지 않고 독립적인 Cell들이기 때문이다.

Chip이 동작이 되지 않는 원인으로 크게 두 가지를

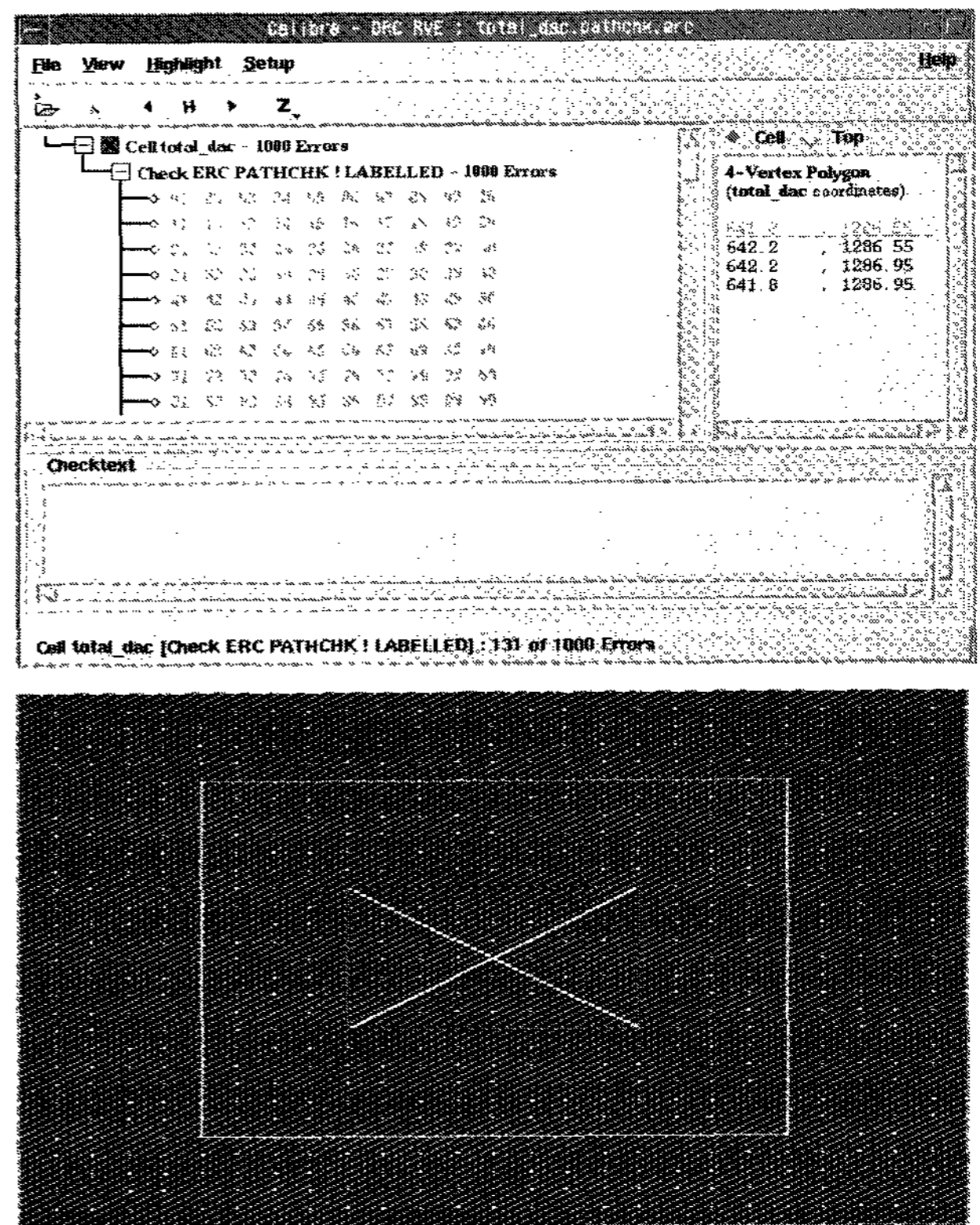


그림 10. ERC error 좌표와 Error cell
Fig. 10. ERC error coordinates & Error cell.

2-3.2. Drawing Rules for 3.3V I/O

MICRON

PT1. P-transistor minimum total channel width	420
PT2. P-transistor minimum width of single finger	25
PT3. P-transistor minimum gate length	0.45
NT1. N-transistor minimum total channel width	210
NT2. N-transistor minimum width of single finger	17.5
NT3. N-transistor minimum gate length	0.45
PL1. Minimum extension of poly over active(end cap)	0.45
PL2. Poly minimum spacing to unrelated active	0.4

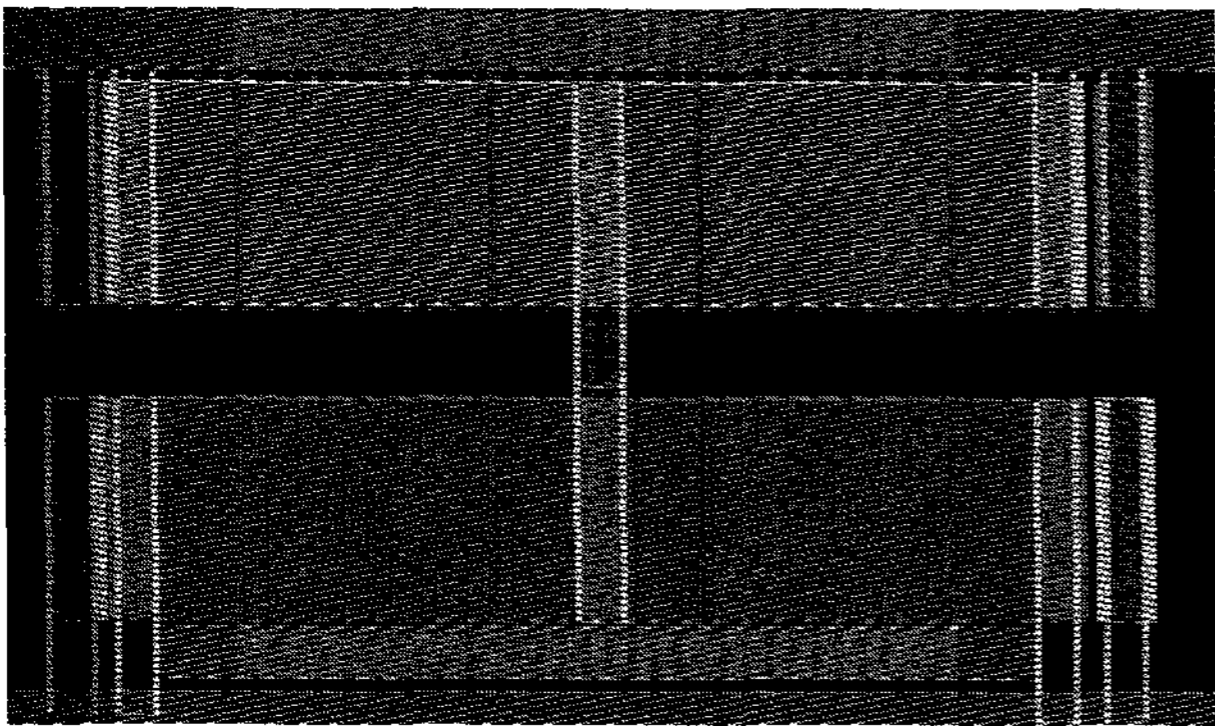


그림 11. ESD Design rule 과 Layout
Fig. 11. ESD Design rule & Layout.

분류하였다. 첫 번째는 ERC검증 과정을 볼 수 있다.

두 번째 원인으로는 ESD 크기 결정에 원인이다. ESD는 정전기 방지용 회로이며 PMOS와 NMOS로 구성된 Diode connection으로 설계 하였으며, 그림 11의 설계규칙에서와 같이 PMOS와 NMOS 폭이 최소 420 μ m와 210 μ m로 설정되어 있지만, 실제의 Layout에서는 40 μ m로 설계한 것으로 판명되었다.

Layout그림처럼 크기를 작게 설정을 하면 순간적인 수만 볼트의 정전기를 방지 할 수 없어 내부에 직접적으로 영향을 미쳐 회로가 파손되는 일이 발생할 수 있어 Chip이 원하는 동작을 하지 않을 확률이 높아진다.

6. 실험결과 고찰

해상도는 8비트의 원하는 출력값이 나왔고 전원 전압은 3.3V로 하였으며, INL, DNL은 오차 범위가 0.9mV로 1 LSB 보다 훨씬 작은 값이 나와 사양을 만족한다. 그리고 최종 출력 전원 스윙폭은 1V 미만(약 990mV)으로 나와 이론상으로도 크게 벗어남이 없다. 하지만 글리치에 대한 문제점이 지적되고 있는데 최소한의 글리치를 얻기 위하여 CMOS사이즈들을 최소사이즈로 설정하였지만 이것은 신호가 원활하게 흐르기 위해서는 걸림돌로 작용할 가능성이 크다.

설계된 D/A 컨버터의 장점은 크기에 두었다. 즉 레

이아웃의 크기를 줄여 칩 사이즈를 최소한으로 줄였는데 이는 동일 8비트 DAC보다 작은 회로가 되었다. 칩 면적을 줄이기 위해 아날로그, 디지털 단을 각각 나눠 신호가 위에서 아래로 흐르게 하고 신호에 대한 지연시간을 줄여 신호의 잡음 및 글리치를 최소화 하는데 목적을 두었다.

그러나 Chip test결과 Design rule에 대한 정확한 파악이 되지 않아 오동작 하는 결과를 얻었다. 레이아웃하기 전에 설계규칙에 대한 정확한 이해와 숙지가 필요하고 공정변화에 따른 상황과 Chip test여건을 고려하여야만 칩의 정상적인 동작 수율을 높일 수 있을 것이다.

III. 결 론

Video display용 D/A 변환기(DAC)를 설계 하였다. 저 전력 소모특성을 얻기 위해 공급 전원 전압은 디지털, 아날로그 단에 각각 3.3V씩 사용하였으며, 레이아웃 면적을 줄이면서 좋은 특성을 얻기 위해 Length 사이즈를 최소화 하였고 사양을 만족하도록 설계 하였다. 설계된 D/A 변환기는 Hynix 0.35 μ m CMOS공정용 설계규칙에 맞게 Synopsys의 Hspice로 시뮬레이션 하였고 CADENCE Tool을 사용하여 레이아웃 하였다. 또한 LVS(Layout-versus-schematic)을 통해 레이아웃과 회로를 비교 검증하였다. 현재 칩은 Chip test를 끝낸 상태이며, 설계 된 칩 사이즈는 약 0.2mm \times 0.2mm 이다.

이렇게 설계된 D/A 컨버터는 Video display 용으로 디지털 카메라, TV, LCD, PDP 등 초고화질 해상도를 가진 Display에 많이 응용될 수 있으며, 고속 샘플링 성능의 개선을 통하여 보다 정확도 높은 DAC셀을 이용할 수 있을 것으로 기대된다.

참 고 문 헌

[1] 이승훈, 김범섭, 송민규, 최중호, "CMOS 아날로그/혼성모드 집적시스템 설계(下)", 시그마프레스, pp. 62-99, 1999년 9월.
 [2] Dongwon Seo, Andrew Weil, and Milton Feng, "A 14Bit, 1GS/s Digital-to-Analog Converter with improved dynamic performance", pp. 28-31, Geneva Switzerland, May 2000.
 [3] Mika P. Tiilikainen, "A 14Bit 1.8V 20mw/ mm^2 CMOS DAC", IEEE Journal of solid-state circuit, Vol.36, No.7, July 2001.

- [4] Yijun Zhou and Jiren Yuan, "An 8Bit 100-MHz CMOS linear interpolation DAC", IEEE Journal of solid-state circuit, Vol.38, No.10, October 2003.

저 자 소 개



이 훈 기(정회원)
 2005년 전북대학교 실리콘밸리
 교육센터 수료
 2006년 전주비전대학 전자정보과
 전문학사
 2006년 8월~현재 셀로코(주) 재직

최 규 훈(평생회원)
 대한전자공학회 논문지 제41권 TE편 제2호 참고
 (2004년 6월)

<주관심 분야: 아날로그 집적회로, 신호처리>