

---

# UHF RFID 태그 칩용 저전력 EEPROM 설계

이원재\* · 이재형\* · 박경환\*\* · 이정환\*\*\* · 임규호\* · 강형근\* · 고봉진\* ·  
박무훈\* · 하판봉\* · 김영희\*

## A Low-power EEPROM design for UHF RFID tag chip

Won-Jae Yi\* · Jae-Hyung Lee\* · Kyung-Hwan Park\*\* · Jung-Hwan Lee\*\*\* · Gyu-Ho Lim\* ·  
Hyung-Geun Kang\* · Bong-Jin Ko\* · Mu-Hun Park\* · Pan-Bong Ha\* · Young-Hee Kim\*

### 요 약

본 논문에서는 플래쉬 셀을 사용하여 수동형 UHF RFID 태그 칩에 사용되는 저전력 1Kb 동기식 EEPROM을 설계하였다. 저전력 EEPROM을 구현하기 위한 방법으로 다음과 같은 4가지 방법을 제안하였다. 첫째, VDD(=1.5V)와 VDDP(=2.5V)의 이중 전원 공급전압 방식을 사용하였고, 둘째, 동기식 회로 설계에서 클럭(clock) 신호가 계속 클럭킹(clocking)으로 인한 스위칭 전류(switching current)가 흐르는 것을 막기 위해 CKE(Clock Enable) 신호를 사용하였다. 셋째, 읽기 사이클에서 전류 센싱(current sensing) 방식 대신 저전력 소모를 갖는 clocked inverter를 사용한 센싱 방식을 사용하였으며, 넷째, 쓰기 모드시 Voltage-up 변환기(converter) 회로를 사용하여 기준전압 발생기(Reference Voltage Generator)에는 저전압인 VDD를 사용할 수 있도록 하여 전력 소모를 줄일 수가 있었다.  $0.25\mu\text{m}$  EEPROM 공정을 이용하여 칩을 제작하였으며, 1Kb EEPROM을 설계한 결과 읽기 모드와 쓰기 모드 시에 소모되는 전력은 각각  $4.25\mu\text{W}$ 와  $25\mu\text{W}$ 이고, 레이아웃 면적(layout area)은  $646.3 \times 657.68\mu\text{m}^2$ 이다.

### ABSTRACT

In this paper, a low-power 1Kb synchronous EEPROM is designed with flash cells for passive UHF RFID tag chips. To make a low-power EEPROM, four techniques are newly proposed. Firstly, dual power supply voltages : VDD(1.5V) and VDDP(2.5V), are used. Secondly, CKE signal is used to remove switching current due to clocking of synchronous circuits. Thirdly, a low-speed but low-power sensing scheme using clocked inverters is used instead of the conventional current sensing method. Lastly, the low-voltage, VDD for the reference voltage generator is supplied by using the Voltage-up converter in write cycle. An EEPROM is fabricated with the  $0.25\mu\text{m}$  EEPROM process. Simulation results show that power dissipations are  $4.25\mu\text{W}$  in the read cycle and  $25\mu\text{W}$  in the write cycle, respectively. The layout area is  $646.3 \times 657.68\mu\text{m}^2$ .

### 키워드

RFID, EEPROM, Low-power, Sense amplifier

---

\* 창원대학교  
\*\* 한국전자통신연구원  
\*\*\* 매그너칩반도체

접수일자 : 2005. 12. 29

## I. 서 론

RFID(Radio Frequency Identification)는 사물에 부착된 태그(Tag)로부터 전파를 이용하여 사물의 정보 및 주변 정보를 수집, 저장, 수정 및 추적함으로써 다양한 서비스를 제공하는 무선 주파수 인식 기술이다.

RFID 태그는 배터리(battery) 내장 유무, 읽기(read), 쓰기(write) 및 통신기능에 따라 표 1에서와 같이 분류되며 [1], 전자상품 코드(Electronic product code)를 국제 표준화(Global standardization)하는 단체인 EPCglobal에서 규격화된다. 현재 RFID는 사용하는 분야가 점점 넓어지면서 능동형 보다 저가격, 소형화에 유리한 수동형 태그 칩 개발에 많은 노력을 기울이고 있다[2]. Class1의 Generation2는 class0과 Class2와 같은 수동형(passive) 태그로 소형화와 가격 면에서 유리한 이점을 가지고 있다. 또한 Class0과 Class2에 비해 읽기, 쓰기 기능뿐만 아니라 사용자에 의한 보안 기능을 강화한 lock기능, 태그 칩의 사용을 하지 못하도록 한 kill과 같은 부가적인 기능을 탑재하고 있어 물류, 교통, 재고관리와 같은 응용분야에서의 활용이 예상되기 때문에 최근 많은 연구가 진행되고 있다.

표 1. RFID 태그 분류  
Table. 1 Classification of RFID tags

Tag Class	Capabilities	Type	Battery	Memory
Class0	Read only (제조 공정 중 EPC 번호 부여)	Passive	NO	64 bits
Class1	Read, Write once(제조 중 번호 부여) → Write Many (Gen.2)	Passive	NO	96 bits 128/256 bits Gen.2
Class2	Read, Write	Passive	NO	large memory
Class3	Class 2에 파워소스 추가, 통신거리 증가 및 기능 추가	semi-passive	Yes	
Class4	Class 3에 통신기능강화, 다른 active tag의 통신 가능	Active	Yes	
Class5	Class 4에 통신기능강화, 다른 Passive tag의 통신 가능	Active	Yes	

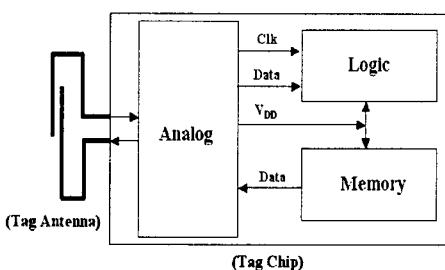


그림 1. RFID 태그 칩의 구조  
Fig. 1 Architecture of RFID tag chip

수동형 UHF RFID 태그는 그림 1과 같이 안테나와 태그 칩으로 구성되고, 태그 칩은 아날로그 회로, 로직 회로, 메모리 회로로 구성되어 있다[3]. 아날로그 회로는 안테나에서 받은 주파수를 사용 가능한 데이터로 변환하는 복조기(Demodulator), 데이터를 주파수 신호로 바꾸어주는 변조기(Modulator), 리더에 의해서 안테나에 공급받은 에너지를 공급전압으로 만들어주는 전압배율기(Voltage multiplier)로 구성되어 있다. 로직회로는 프로토콜, CRC(Cyclic Redundancy Check) 확인, 에러검사, 및 아날로그 회로의 동작모드를 조절하는 역할을 한다. 메모리 회로는 읽기/쓰기(read/write)가 가능하고 파워다운(power-down) 시 저장된 정보를 유지할 수 있는 비휘발성 메모리인 EEPROM이 사용되고 있다. 수동형 태그 칩에서는 UHF 신호를 받아서 아날로그 블록의 전압배율기에서 만들어진 power로 ID를 확인하고 데이터를 리더기에 전송하기 위해서는 저전력 회로 설계가 요구된다[4].

본 논문에서는 플래쉬 셀(Flash cell)을 사용하여 RFID 태그 칩용 저전력 1Kb 동기식 EEPROM(synchronous EEPROM)을 설계하였다. 저전력 EEPROM을 구현하기 위해 다음 4가지 기술을 제안하였다. 첫째, 읽기와 쓰기 모드시 전류를 줄이기 위해 VDD(=1.5V)와 VDDP(=2.5V)의 Dual Power Supply Voltage 방식을 사용하였다. 둘째, 동기식 회로 설계에서 클럭(clock) 신호가 계속 클럭킹하여 클럭 버퍼(clock buffer)에서의 스위칭 전류가 흐르는 것을 막기 위해 CKE(Clock Enable) 신호를 사용하였다. CKE 신호는 명령어(command)를 인가하는 사이클(cycle)을 제외한 시간에는 클럭 버퍼를 프리징(freezing) 시켜 스위칭 전류를 줄였다. 셋째, 읽기 시 전류를 줄이기 위해 읽기 사이클에서 전류 바이어스 회로를 필요로 하는 전류 센싱(current sensing) 방식 대신 센싱 속도는 느리지만 저전력 소모를 갖는 clocked inverter를 사용한 센싱 방식을 사용하였다. 넷째, 쓰기 사이클에서 전력 소모를 줄이기 위해 전압상승 변환기(Voltage-Up Converter) 회로를 사용하여 기준전압 발생기(Reference Voltage Generator)에는 저전압인 VDD를 사용할 수 있도록 하였다. 0.25μm EEPROM 공정을 이용하여 제작하였으며, 1Kb EEPROM을 설계한 결과 읽기 모드와 쓰기 모드 시에 소모되는 전력은 각각 4.25μW와 25μW 이었고, 레이아웃 면적(layout area)은 646.3×657.68μm<sup>2</sup>이다.

## II. 회로설계

EPCglobal Class1 UHF Generation2 표준으로 설계된 RFID 태그 칩의 주요 특징은 표2에서 보는 바와 같이 860MHz ~ 960MHz의 UHF 주파수 대역을 사용한다.

표 2. EPCglobal Class 1 Generation2 규격의 RFID 태그 칩의 주요 특징

Table. 2 Main feature of RFID tag chip by EPCglobal Class 1 Generation2

Parameters	Values
Frequency	860MHz ~ 960MHz(UHF)
Memory Capacity	1Kb
Data Rate	Down : 40, 80, 160 kbps Up : 16, 32, 64, 40, 80, 160, 320, 640 kbps
Power dissipation	Analog < 5μW
	Logic < 5μW
	Memory(Read) < 20μW
	Memory(Write) < 40μW

메모리 용량은 Class1 Generation2 Version1.04에서는 reserved와 OID(Object IDentification) 공간을 위한 메모리 맵으로 이루어져 있다. Reserved 공간에는 locked(32bits), killed(32bits), password (32bits)로 할당이 되어 있고, OID(Object IDentification) 공간에는 PC(16bits), CRC (16bits), Object IDentifier(32bits), 사용자 부분을 위한 공간으로 할당이 되어 있지만, 여분의 공간을 고려해 1Kb의 기억용량을 가지도록 설계하였다.

태그 칩 내 데이터를 주고받는 데이터 전송률(data transfer rate)은 다운(Down)시 최대 160kbps이고 업(Up)시 최대 640kbps이다. 태그 칩은 전력 소모에 따라 태그의 인식 거리가 5~10m 정도 되도록 하기 위하여 아날로그와 디지털은 각각 5μW 이내, 메모리 회로에서는 읽기 모드의 경우 20μW, 쓰기 모드의 경우 40μW 이내로 제한을 두었다.

1Kb 동기식 EEPROM의 블럭도는 그림 2에서 보는 바와 같이 32 rows × 32 columns의 EEPROM 셀 어레이(cell array), Row 디코더(Decoder), Column 디코더와 데이터 버퍼, 동작모드에 따라 제어 신호를 발생시키는 Control Logic 및 EEPROM의 쓰기 기능을 수행하기 위해 필요한 고전압인 VPP, VPPL을 공급해주기 위한 DC-DC 변환기로 구성되어 있다. 인터페이스 신호는 크게 클럭 제어신

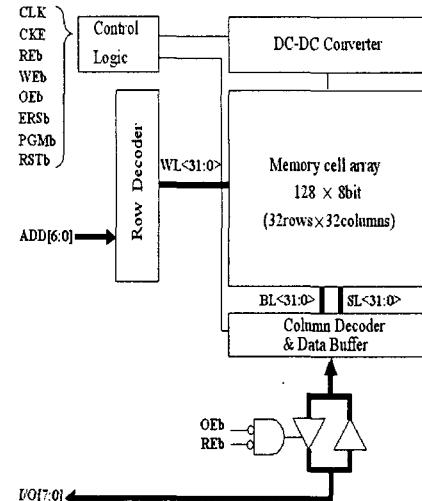


그림 2. 1Kb Synchronous EEPROM의 블록도  
Fig. 2 Block diagram of 1Kb synchronous EEPROM

호, 명령어 제어 신호, 어드레스(Address) 신호, 양방향 데이터 I/O(bidirectional data I/O)가 있다. 클럭 제어 신호는 CLK(clock)과 CKE(clock enable) 신호가 있고, 명령어 제어 신호는 REb(Read Enable), WEb(Write Enable), OEb (Output Enable), ERSb(Erase), PGMb(Program), RSTb(Rest) 신호가 있다. 어드레스는 ADD[6:0]가 있고 I/O로 I/O[7:0]가 있다. 7개의 어드레스에 의해 128 바이트(Byte) 중의 한 바이트가 선택되며, 읽기와 쓰기는 바이트 단위로 수행된다.

EEPROM 메모리의 주요 특징은 표 3과 같다. EEPROM에 사용된 셀은 플래쉬 셀을 사용하였으며, Erase와 program 시 FN 터널링(Fowler-Nordheim tunneling) 방식을 이용한다.

표 3. EEPROM 주요 특징  
Table. 3 Main feature of EEPROM

항목	주요 특징
EEPROM cell type	Flash cell
Operating mode	Erase/Program/Read/Stand-by
Supply voltage	VDD(=1.5V)/VDDP(=2.5V)
Clock buffer	Freezing by CKE signal
BL sensing method	Clocked Inverter
Reference voltage generator	Low power BGR
Charge Pump	Dickson Pump

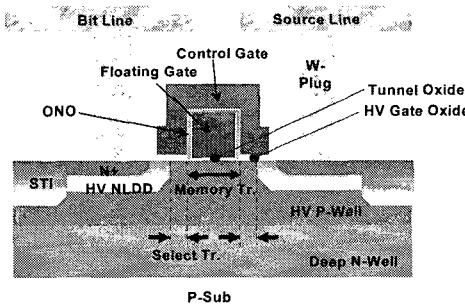


그림 3. EEPROM cell 단면도  
Fig. 3 Cross section view of EEPROM cell

그림 3은 EEPROM cell 단면도이다. control gate와 floating gate 사이의 유전체(dielectric)는 결합률(coupling ratio)을 높이기 위해 ONO(Oxide-Nitride-Oxide)로 되어 있고 triple-well 구조이다[5]. control gate는 Row Decoder의 출력인 WL(Word-Line)에 연결된다.

EEPROM의 동작 모드는 지우기(erase), 프로그램(program), 읽기, 대기모드(Stand-by) 모드로 구분되며, 클럭에 동기화 되도록 하였다. 쓰기 모드는 지우기와 프로그램모드를 포함한다. 읽기와 쓰기에서 전류를 줄이기 위해 VDD( $=1.5V$ )와 VDDP( $=2.5V$ )의 dual power supply voltage를 사용하였다. 동작 모드에 따른 EEPROM 셀의 프로그램과 지우기, 읽기, 대기 모드 시 동작이 이루어지는 바이어스(bias) 전압 레벨은 표 4와 같다. 프로그램 모드에서 선택된 셀의 WL 전압은 16.5V의 VPP(Boosted Voltage) 전압에 연결되고, 지우기 모드에서 BL은 15V의 VPP 전압에 연결된다. 또한 선택되지 않은 셀의 BL은 VPPL 전압에 연결되는데 프로그램 모드에서는 11.5V( $=VPP-5V$ ), 지우기 모드에서는 11V( $=VPP-4V$ )의 전압이다. 만약 항복 전압(Breakdown Voltage)이 낮은 트랜지스터가 Row Decoder와 Column Select 회로에 연결되면 소자의 신뢰성 문제가 있다. 그래서 Row Decoder와 Column Select 회로에 사용되는 트랜지스터 소자는 16.5V의 고전압에 견디도록 설계된 문턱전압(threshold voltage)이 0.87V~1.29V 정도인 고전압용 트랜지스터 소자가 사용된다. 전압 원으로 VDDP만 사용하게 되면 회로 구동에는 문제가 없지만 읽기 모드에서 소모 전력은 증가하게 된다. 반면 VDD만 사용하는 경우에는 VDDP 전압을 사용하는 경우보다 전력소모는 줄어들지만 VDD가 1.2V 정도로 떨어지기 때문에 문턱전압이 1.29V인 경우는 회로 동작이 되지 않는 문제가 있다. 그래서 고전압용 트랜지

스터를 사용하는 회로에는 VDDP, 나머지 회로는 VDD 전압을 사용하는 dual power supply 방식을 이용하여 전력소모를 줄였다.

표 4. EEPROM 셀의 동작모드에 따른 노드별 바이어스 전압 조건  
Table. 4 Bias voltage conditions as operation modes for EEPROM cell

	Program		Erase		Read		Stand-by
	Selected cell	Non-selected cell	Selected cell	Non-selected cell	Selected cell	Non-selected cell	
Word-Line	16.5V	0V	0V	0V	2.5V	0V	0V
Bit-Line	0V	11.5V	15V	11V	1.5V	Floating	Floating
Source-Line	Floating	Floating	Floating	Floating	0V	0V	0V
HV-Pwell	0V	0V	15V	15V	0V	0V	0V
Deep-Nwell	2.5V	2.5V	15V	15V	2.5V	2.5V	2.5V

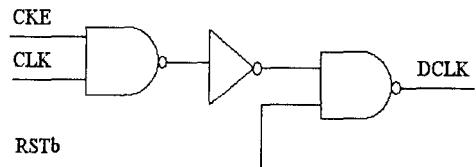


그림 4. D Flip-Flop용 내부 CLK인 DCLK 회로  
Fig. 4 DCLK generate circuit used as internal CLK for the D Flip-Flop

동기식 EEPROM에는 명령어 제어 신호를 래치(latch)하기 위해 명령어 버퍼로 D Flip-Flop을 사용한다. 그림 4는 D Flip-Flop용 클럭인 DCLK을 만드는 회로로 입력신호는 태그 칩의 아날로그 블록에서 나오는 CLK 신호, 로직 블록에서 나오는 RSTb 신호와 클럭 버퍼를 프리징(freezing) 시키거나 enable시키는 CKE 신호가 있다. 만약 CKE 신호가 없다면 CLK이 클럭킹 할 때마다 DCLK 노드의 스위칭 전류가 존재하며 이 전류는  $0.4\mu A$ 이다. 이 전류를 제거하기 위해 CKE를 사용하여 명령어를 인가하는 사이클에서만 DCLK를 클럭으로 사용을 하고 그 이외의 시간에는 클럭 버퍼를 프리징 시켰다. 읽기 모드에서 EEPROM의 셀에 저장된 정보를 읽어내기 위한 새로운 저전력 센싱 방식이 제안이 되었다. 그림 5(a)는 기존의 비휘발성 메모리에 사용되는 전류 센싱 방식의 회로[6]이다. 기존의 방식은 Vref 전압을 만드는데 필요한 전류와 감지 증폭기(Sense Amplifier)에서 흐르는 전류가 태그 칩에서 허용된 메모리 일기 시의 소모 전력보다 더 크기 때문에 사용을 할 수가 없다.

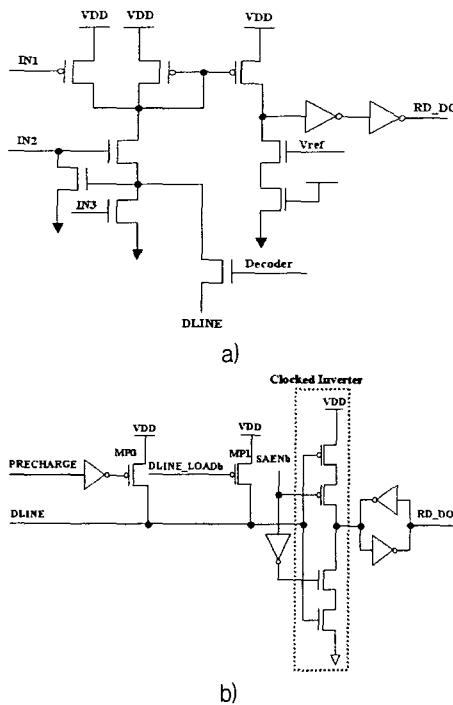


그림 5. a) 전류 센싱 방식  
b) Clocked Inverter 센싱 방식  
Fig. 5 a) Current sensing circuit  
b) Clocked Inverter sensing circuit

따라서 속도는 느리지만 기준전류(reference current) 바이어스 회로가 필요 없는 그림 5(b)의 Clocked Inverter 방식의 RD(Read Data) 감지 증폭기를 사용하였다. 읽기 모드에서는 Column Decoder의 디코딩에 의해 32개의 BL 중 선택된 8개의 BL은 8개의 DLINE에 연결된다. Read 모드에서 EEPROM 셀의 control gate 전압인 WL이 활성화(activation) 되기 이전에 PRECHARGE 신호에 짧은 펄스(Short Pulse)가 인가되어 PMOS 트랜ジ스터인 MP0에 의해 먼저 DLINE을 VDD로 프리차지(Precharge) 시킨 후 WL이 활성화되면서 프로그램 된 셀은 전류가 흐르지 않으므로 DLINE은 VDD를 유지하여 출력으로 나오는 반면, 프로그램 되지 않은 셀은 ON 전류가 흘러 DLINE은 거의 0V의 출력이 나온다. DLINE에 데이터가 충분히 전달되면 Clocked Inverter의 SAENb(Sense Amplifier ENable) 신호가 0V로 enable되어 DLINE의 데이터를 읽어낸다. 부하 트랜지스터(Load Transistor)인 MP1은 WL이 선택되어 있는 동안 활성화되어 EEPROM 셀이 OFF 상태

에서 누설전류(leakage current)에 의해 DLINE이 0V로 떨어지는 것을 방지하기 위한 높은 임피던스의 능동 부하(Active Load) 역할을 한다.

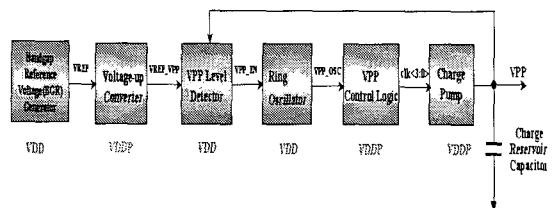


그림 6. DC-DC 변환기의 블록도  
Fig. 6 Block diagram of DC-DC converter

그림 6은 쓰기 모드에서 턱슨 전하 펌프(Dickson Charge Pump)[7]를 사용하여 고전압을 생성하기 위한 DC-DC 변환기의 블록도이다. DC-DC 변환기는 밴드갭 기준전압 발생기(bandgap reference voltage generator), 전압상승 변환기, VPP 레벨 검출기(level detector), 링 발진기(ring oscillator), VPP 제어 로직(control logic)과 전하 펌프(charge pump)로 구성되어 있다. VPP 전압이 VPP 노드의 부하 전류에 의해 목표 전압(target voltage)보다 낮은 경우는 VPP 레벨 검출기의 출력신호인 VPP\_EN이 high가 되어 링 발진기가 발진(oscillation)하여 전하 펌프에 의해 양전하(positive charge)가 VPP 노드로 펌핑 되어 VPP 전압은 올라가게 된다. VPP 전압이 목표 전압 이상이 되면 VPP\_EN 신호가 low가 되어 펌핑이 멈추는 부궤환(negative feedback) 방식을 사용하여 VPP는 목표 전압을 유지하는 방식이다. 쓰기 사이클에서 전력 소모를 줄이기 위해 그림 6에서 보는 바와 같이 VDD를 power로 사용한 블럭은 밴드갭 기준전압 발생기, VPP 레벨 검출기, 링 발진기 회로이고, VDDP를 power로 사용한 블럭은 전압상승 변환기, VPP 제어 로직과 전하 펌프 회로이다. VPP 레벨 검출기 회로는 11개의 고전압용 NMOS 다이오드를 직렬로 연결한 전압 분배기(voltage divider)를 이용하여 분배전압인 VPP/11과 VREF\_VPP을 비교하여 펌프를 제어한다. 그런데 VREF\_VPP의 전압은 표 5에서 보는 바와 같이 프로그램 모드에서 1.5V, Erase 모드에서 1.35V의 전압을 필요로 한다. 전압상승 변환기 없이 VREF\_VPP의 전압은 VDD power로 사용해서는 만들 수 없고, VDDP power를 사용하여 밴드갭 기준전압 발생기 회로에서 만들면 쓰기 모드에서의 전력소모는 증가한다. 그래서 전

력소모가 작은 전압상승 변환기를 추가하여 밴드갭 기준 전압발생기는 VDD를 사용하여 쓰기 모드에서 필요한 VREF\_VPP의 1/2의 전압을 만들고, 전압상승 변환기는 VDDP를 사용하여 VREF 전압을 2배로 승압시킨다. 이렇게 함으로써 쓰기 모드에서의 전력 소모는 줄어든다.

표 5. 동작모드에 따른 VREF, VREF\_VPP, VPP, VPPL의 전압 레벨  
Table. 5 VREF, VREF\_VPP, VPP and VPPL voltage levels at different operating modes

	Program	Erase	Read	Stand-by
VREF	0.75	0.685	0	0
VREF_VPP	1.5	1.35	0	0
VPP	16.5	15	2.5	2.5
VPPL	11.5	11	2.5	2.5

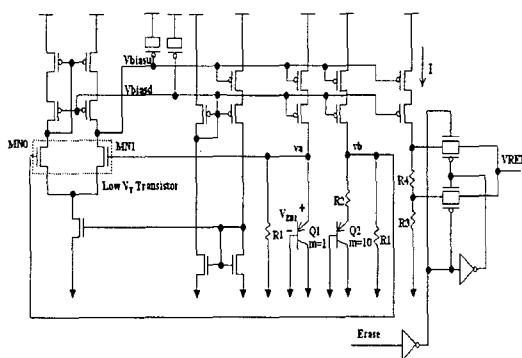


그림 7. 기준전압 발생기 회로

Fig. 7 A bandgap reference voltage generator circuit

그림 7은 PVT (Process-Voltage-Temperature) 변동에 둔감한 밴드갭 기준전압 발생기로써 표 5에서 보는 바와 같이 쓰기 사이클에서 모드 별 기준 전압을 발생시켜 주는 회로이다. 기준전압 발생기 회로는 캐스코드 전류거울 (Cascode current-mirror) 형태의 밴드갭 기준전압발생기를 사용하였다[8]-[10]. 그림7의 NMOS 트랜지스터인 MN0와 MN1은 문턱 전압이 낮은 NMOS 트랜지스터이다. 이 회로의 기준전류(reference current) I는 식(1)과 같다.

$$I = \frac{V_T \ln 10}{R_2} + \frac{V_{EB1}}{R_3} = \frac{V_T \ln 10}{R_2} + \frac{V_{EB1}}{R_1} \quad \text{식(1)}$$

여기서,  $V_T = kT/q$ 는 열 전압(thermal voltage)이고  $V_{EB1}$ 은 PNP BJT(Bipolar Junction Transistor)의 에미터(emitter)와 베이스(base) 사이의 전압이다. 저항  $R_1$ 과  $R_2$ 를 조절하여 기준전류 I는 정전류로 만들 수 있고, 이 전류가 직렬로 연결된  $R_3$ 와  $R_4$ 를 통해 흐르면 PVT 변동에 둔감한 정전압을 얻을 수 있다. 쓰기 모드에서 transmission gate를 이용하여 표 5에서 보는바와 같이 프로그램 모드와 지우기 모드에 따라 VREF 전압을 얻을 수 있다.

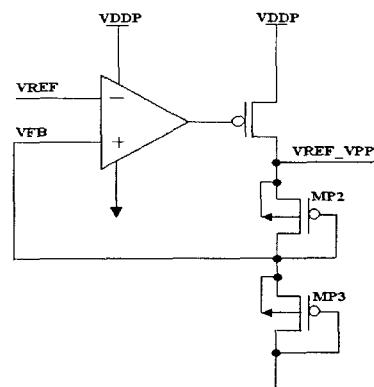


그림 8. Voltage-up 변환기 회로  
Fig. 8 Voltage-up converter circuit

그림 8은 기준전압 발생기에서 만들어진 VREF전압을 2배로 승압시켜 VPP 레벨 검출기의 기준입력전압을 만들어주는 전압상승 변환기 회로로 차동증폭기, common source 증폭기와 PMOS 다이오드를 사용한 전압분배기로 구성되어 있다. 동일한 PMOS 다이오드인 MP2와 MP3를 전압분배기 형태로 연결하여 VFB (feedback voltage)는 VREF\_VPP의 1/2 전압이 나오도록 한다. 전압상승 변환기는 부궤환에 의해 VREF와 VFB(feedback voltage) 전압이 같아지도록 조절되면 VREF\_VPP는 VREF의 2배의 전압이 만들어진다.

그림 9는 DC-DC 변환기에서 전압을 승압시켜 쓰기 모드 시에 필요한 고전압인 VPP와 VPPL을 만들어 주는 Dickson charge pump를 보여준다. Power로 VDDP를 사용하였고 펌핑 캐패시터는 MIM(Metal-Insulator-Metal)을 사용하였다. VPPL은 Dickson Charge Pump의 임의의 출력 노드에 연결하였으며, 프로그램 모드에서는 VPP-5V, 지우기 모드에서는 VPP-4V의 전압이 나온다.

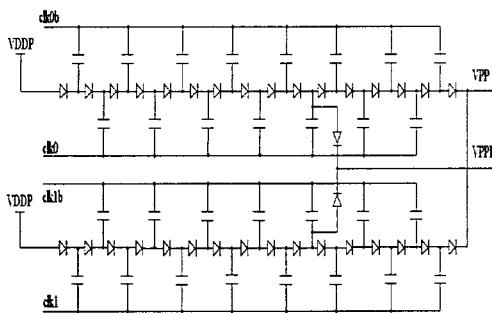


그림 9. Dickson Charge Pump 회로  
Fig. 9 Dickson Charge Pump circuit

### III. 모의실험 결과

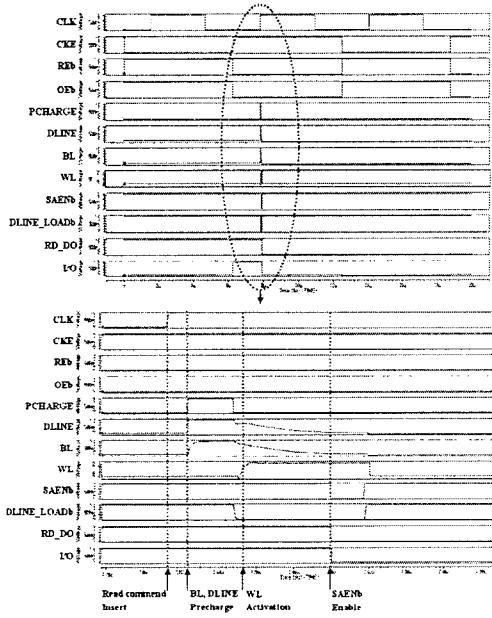


그림 10. 읽기 사이클에서의 critical path에 대한  
모의실험 결과

Fig. 10 Simulation result to critical path in the read cycle

0.25 $\mu$ m EEPROM 공정을 이용하여 UHF RFID 태그 칩 용 저전력 EEPROM을 설계하였다. 대기모드에서 D Flip-Flop용 클럭의 클럭킹에 의한 스위칭 전류를 줄이기 위해 클럭 버퍼에 CKE 신호를 사용한 결과 클럭 버퍼에서의 스위칭 전류에 해당하는 0.4 $\mu$ A 전류를 제거하므로 대기모드에서의 전류는 트랜지스터가 OFF 상태에서의

누설전류(leakage current)만 존재하며, 이 누설전류는 무시할 만큼 작다.

그림 10은 Read 모드시 태그 칩의 아날로그 블록으로 나오는 클럭(CLK) 신호, 로직 블록으로부터 들어오는 명령어 제어 신호(CKE, REb, OEb), 그림 2에서 보는 바와 같이 EEPROM의 콘트롤 로직에서 나오는 PCHARGE, DLINe\_LOADb, SAENb 신호의 타이밍 다이어그램을 보여주고 있다. 클럭의 상승 모서리(rising edge)에서 읽기 명령어가 들어오면 PCHARGE 신호에 의해 DLINE과 BL이 VDD로 프리차지 된다. BL이 프리차지 된 후 WL이 활성화 되면서 BL에 데이터가 전달되면 SAENb 신호에 의해 DLINE의 유효 데이터(valid data)가 RD\_DO를 거쳐 출력 데이터 버퍼(output data buffer)를 통해 I/O로 내 보낸다. 이 때 한 클럭의 반주기 이내에 유효 데이터가 I/O로 나오면 된다.

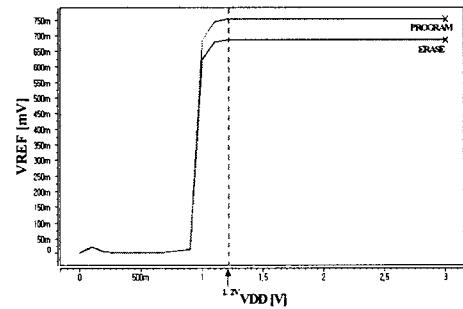


그림 11. VDD 대 한 VREF 출력 파형  
Fig. 11 VREF wave according to VDD

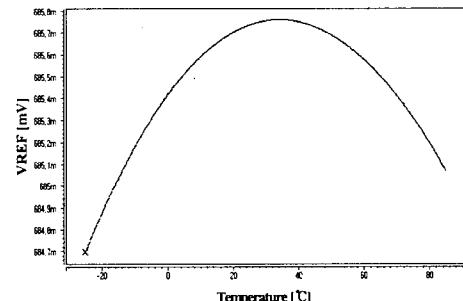


그림 12. 온도에 대한 VREF 출력 파형  
Fig. 12 VREF wave according to temperature

그림 11은 VDD 변동에 대한 VREF 곡선을 보여주며, 최소 VDD 동작 전압은 1.2V이고 VDD변동에 대한 VREF 민감도(sensitivity)는 0.1mV/V이다. 그림12는 온도 변화에 대한 VREF 곡선을 보여주며, VREF 민감도는 30ppm/°C이다.

Single power와 dual power를 사용한 경우 EEPROM의 동작 모드에 따른 전력 소모를 표 6에 비교하여 나타내었다. Dual power를 사용한 경우에는 프로그램 모드시  $25\mu\text{W}$ , 지우기 모드시  $22.9\mu\text{W}$ , 읽기 모드에서  $4.25\mu\text{W}$ 로 표 2에서 보는 바와 같이 메모리에서 요구하는 읽기 모드 시  $20\mu\text{W}$ 와 쓰기 모드 시  $40\mu\text{W}$ 이내의 설계 규격에 적합함을 알 수가 있다.

표 6. Power 사용에 대한 전력 소모 비교  
Table 6. Power dissipation comparison between single and dual power

Mode	Required power	Single Power	Dual Power
Program	< $40\mu\text{W}$	$50.47\mu\text{W}$	$25\mu\text{W}$
Erase	< $40\mu\text{W}$	$46.64\mu\text{W}$	$22.9\mu\text{W}$
Read	< $5\mu\text{W}$	$12.53\mu\text{W}$	$4.25\mu\text{W}$

그림 13은  $0.25\mu\text{m}$  EEPROM 공정을 이용하여 제작한 레이아웃 사진이며, 그림 14는 실제 제작된 RFID 태그 칩의 사진이다. 태그 칩의 아날로그와 로직, EEPROM 메모리 블록이 있으며, 메모리의 면적은  $646.3\mu\text{m} \times 657.68\mu\text{m}$ 이다.

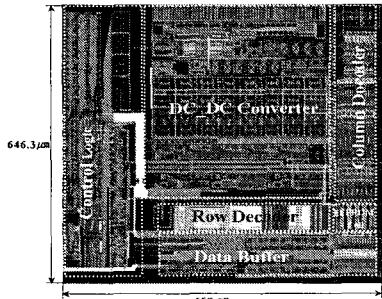


그림 13. EEPROM 레이아웃 사진  
Fig. 13 Picture of EEPROM layout

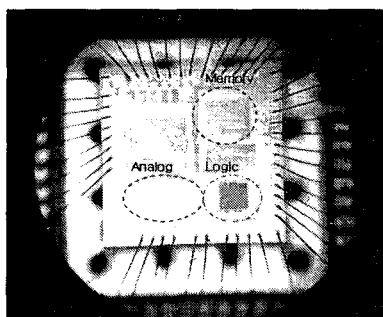


그림 14. RFID 태그 칩의 사진  
Fig. 14 Picture of RFID tag chip

#### IV. 결 론

EEPROM에서의 전력을 최소화하기 위해서 클럭 버퍼에서의 CKE 신호와, dual power supply 사용하였고, clocked Inverter를 이용한 센싱 방법과 VDD를 사용한 기준전압 발생기를 설계하였다.  $0.25\mu\text{m}$  EEPROM 공정을 이용하여 설계한 결과 전력 소모를 프로그램 모드시  $25\mu\text{W}$ , 지우기 모드시  $22.9\mu\text{W}$ , 읽기 모드시  $4.25\mu\text{W}$ 이내로 제한하였다. 전력 소모를 UHF RFID Class1 Generation2에 적합하도록 설계 및 제작하였고 향후 메모리 테스터 장비를 이용한 테스트를 통해 EEPROM IP를 검증할 계획이다.

#### 감사의 글

본 논문은 2005년도 창원대학교 교내연구비에 의해 연구되었으며, 하드웨어/소프트웨어를 지원해준 IDEC(IC Design Education Center) 및 IT-SoC에 감사를 표한다.

#### 참고문헌

- [1] <http://www.epcglobalinc.org>.
- [2] Weinstein, R. "RFID : a technical overview and its application to the enterprise," *IT Professional*, vol.7, Issue 3, pp. 27-33 May-June 2005.
- [3] Udo Karthaus and Martin Fischer, "Fully Integrated Passive UHF RFID Transponder IC with  $16.7\mu\text{W}$  Minimum RF input power," *IEEE Journal of Solid-State Circuits*, vol.38, pp. 1602-1608, Oct. 2003.
- [4] G.Yaron, S.J.Prasad, M.S.Ebel, B.M.K.Leong, "A 16K E2PROM Employing New Array Architecture and Designed-In reliability Features," *IEEE JSSC*, vol. SC-17, pp. 833-840 Oct. 1982,
- [5] Junghwan Lee, Minkyung Ko, "A novel EEPROM cell for smart card application" *Micro electronic Engineering*, vol 71, Issues 3-4, pp. 283-287, May 2004.
- [6] Fei Xu, Xiangqing He, Li Zhang, "Key Design Techniques of A 40ns 16K Bits Embedded EEPROM Memory" *Communications, Circuits and Systems, ICCCAS 2004 International Conference*, vol.2, pp.

1516-1520, Jun. 2004.

- [7] J. F. Dickson, "On-Chip High-Voltage generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique," IEEE Journal of Solid-State Circuits, vol. 11, pp. 374-378, Jun. 1976.
- [8] Y.H.Kim, "A Study on Low-Voltage DRAM Circuit Design" Thesis of the Ph.D in Pohang University of Science and Technology," pp.137-149, May 2000.
- [9] Hironori Banba et al., "A CMOS Bandgap Reference Circuit with Sub-1V Operation," IEEE Journal of Solid-State Circuits, vol.34, pp.670-674, May 1999.
- [10] Gyu-Ho Lim et al., "A CMOS Bandgap Reference Voltage/Current Bias Generator And Its Responses for Temperature and Radiation," IEEK Summer Conference, vol.26, pp.1093-1096, July 2003.

### 저자소개



이 원재 (Won Jae Lee)

2004.2 창원대학교 전자공학과 학사  
2006.2 창원대학교 전자공학과 석사  
2006.1 ~ 현재 LG전자 연구원

※ 관심분야: 저전력 메모리 설계, SoC 설계



이 재형 (Hyung-Jae Lee)

2005.2 창원대학교 전자공학과 학사  
2005.3 ~ 현재 창원대학교 전자공학  
과 석사과정

※ 관심분야: 저전력 EEPROM 설계, SoC 설계



박 경환 (Kyung-Hwan Park)

1991.2 한양대학교 전자공학과 학사  
1993.2 한국과학기술원 전기 및 전자  
자공학과 석사  
1997.2 한국과학기술원 전기및전자  
공학과 박사  
1997.1 ~ 2000.12 데이콤 종합연구소 선임연구원  
2001.1 ~ 현재 한국전자통신연구원 선임연구원  
※ 관심분야: RFID, RFIC, 무선통신시스템, EM Scattering



이 정환 (Jung-Hwan Lee)

1983.2 한양대학교 학사  
1985.2 한국과학기술원 석사  
1996년 미국 Drexel University 박사  
1985년 ~ 1988년 삼성전자 연구원

1989년 ~ 2004년 하이닉스 반도체 수석 연구원  
2005년 ~ 현재 매그나칩 반도체 Director



임 규호 (Gyu-Ho Lim)

2002.2 창원대학교 전자공학과 학사  
2004.2 창원대학교 전자공학과 석사  
2004.3 ~ 현재 창원대학교 전자공학  
과 박사과정

※ 관심분야: CMOS Image Sensor 설계, LCD 구동 칩 설  
계 설계



강형근 (Kang Hyung-Geun)

2005.2 창원대학교 전자공학과 학사  
2005.3 ~ 현재 창원대학교 전자공학  
과 석사과정

※ 관심분야: X-ray Image Sensor 설계, LCD 구동 칩 설  
계 임베디드 시스템



고 봉 진 (Bong-Jin Ko)

1986.2 한국항공대학교 통신공학과 학사  
1988.2 한국항공대학교 전자공학과 대학원 석사  
1995.2 한국항공대학교 전자과대학원 박사  
1994.3-1996.7 인하공업대학 통신과 조교수  
1997 한국전자통신연구원(ETRI) 초빙연구원  
1996.8~현재 창원대학교 전자공학과 교수



하 판 봉 (Pan-Bong Ha)

1981.2 부산대학교 전기공학과 학사  
1983.2 서울대학교 전자공학과 석사  
1993.2 서울대학교 전자공학과 박사

1987.3~현재 창원대학교 전자공학과 교수

※관심분야: 임베디드 시스템, SoC 설계



박 무 훈 (Mu-Hun Park)

1991.2 경북대학교 전자공학과 학사  
1993.3 동북대학교 전기통신공학 연구과 석사  
1996.3 동북대학교 전기통신공학연구과 박사  
1998.8~현재 창원대학교 전자공학과 교수  
※관심분야: 초음파 신호처리, 영상신호처리, 가상현실, SoC 설계



김 영 희(Young-Hee Kim)

1989.2 경북대학교 전자공학과 학사  
1997.2 포항공대 전자전기공학과 석사  
2000.8 포항공대 전자전기공학과 박사

2001.3~현재 창원대학교 전자공학과 교수

※관심분야: 저전압/저전력/고속 메모리 설계, LCD 구동 칩 설계, CMOS Image Sensor 설계