
나노구조 이중게이트 MOSFET에서 터널링이 단채널효과에 미치는 영향

정 학 기*

Influence on Short Channel Effects by Tunneling for Nano structure Double Gate MOSFET

Hak Kee Jung

요 약

이중게이트 MOSFET는 스케일링 이론을 확장하고 단채널효과를 제어할 수 있는 소자로서 각광을 받고 있다. 단채널효과를 제어하기 위하여 저도핑 초박막 채널폭을 가진 이중게이트 MOSFET의 경우, 20nm이하까지 스케일링이 가능한 것으로 알려지고 있다. 이 논문에서는 20nm이하까지 스켈링된 이중게이트 MOSFET소자에 대한 분석학적 전송모델을 제시하고자 한다. 이 모델을 이용하여 서브문턱스윙(Subthreshold swing), 문턱전압변화(Threshold voltage rolloff), 드레인유기장벽저하(Drain induced barrier lowering)와 같은 단채널효과를 분석하고자 한다. 제안된 모델은 열방출 및 터널링에 의한 전송효과를 포함하고 있으며 이차원 포아슨방정식의 근사해를 이용하여 포텐셜분포를 구하였다. 또한 터널링효과는 Wentzel-Kramers-Brillouin 근사를 이용하였다. 이 모델을 사용하여 초박막 게이트산화막 및 채널폭을 가진 5-20nm 채널길이의 이중게이트 MOSFET에 대한 서브문턱영역의 전송특성을 해석하였다. 또한 이 모델의 결과값을 이차원 수치해석학적 모델값과 비교하였으며 게이트길이, 채널두께 및 게이트산화막 두께에 대한 관계를 구하기 위하여 사용하였다.

ABSTRACT

The double gate(DG) MOSFET is a promising candidate to further extend the CMOS scaling and provide better control of short channel effect(SCE). DGMOSFETs, having ultra thin undoped Si channel for SCEs control, are being validated for sub-20nm scaling. A novel analytical transport model for the subthreshold mode of DGMOSFETs is proposed in this paper. The model enables analysis of short channel effects such as the subthreshold swing(SS), the threshold voltage roll-off(ΔV_{th}) and the drain induced barrier lowering($DIBL$). The proposed model includes the effects of thermionic emission and quantum tunneling of carriers through the source-drain barrier. An approximative solution of the 2D Poisson equation is used for the distribution of electric potential, and Wentzel-Kramers-Brillouin approximation is used for the tunneling probability. The new model is used to investigate the subthreshold characteristics of a double gate MOSFET having the gate length in the nanometer range (5-20-nm) with ultra thin gate oxide and channel thickness. The model is verified by comparing the subthreshold swing and the threshold voltage roll-off with 2D numerical simulations. The proposed model is used to design contours for gate length, channel thickness, and gate oxide thickness.

키워드

나노구조, 이중게이트MOSFET, 터널링, 서브문턱스윙, 문턱전압변화, 드레인유기장벽저하

I. 서 론

MOS기술이 발전함에 따라 소자의 크기는 나노미터 까지 감소하였으며 이에 스케일링 이론을 확장할 수 있고 이상적인 서브문턱스윙 및 이동도 향상등 단채널 효과를 제어할 수 있는 이중게이트 MOSFET가 새로운 소자로 주목을 받고 있다.[1-3] 이중게이트구조는 채널내에서 전하커플링을 유도하므로 다른 MOSFET보다 스켈링 이론을 확장할 수 있다. 특히 이중게이트 구조는 기존의 MOSFET에 비하여 두개의 게이트를 이용하여 채널을 제어하므로 전기적으로 더욱 강력한 제어를 할 수 있어 약 두 배의 게이트 길이 스켈링효과를 보이고 있다. 즉, 두 개의 게이트로 인하여 전류가 기존의 MOSFET보다 약 두 배로 유도되어 보다 강한 스위칭전류를 생성할 수 있다. 뿐만아니라 저농도 채널도핑에 의하여 캐리어전송시 산란에 의한 전송저하효과도 감소시킬 수 있다. 그러나 20nm 이하 이중게이트 MOSFET에서 서브문턱스윙(Subthreshold swing ; SS)의 저하, 문턱전압변화(Threshold voltage rolloff; ΔV_{th}), 드레인유기장벽저하(Drain induced barrier lowering; DIBL)등과 같은 단채널효과는 무시할 수 없는 중요한 문제가 되고 있다.

이미 수 많은 논문에서 20nm 이하 게이트길이를 가진 이중게이트 MOSFET에서 양자터널링이 매우 중요하다는 것을 수치해석학적으로 분석하여 보고하고 있다.[5-8] 그러나 이와같은 방법은 매우 복잡한 계산과 단채널효과를 이해하기 힘든 계산과정 등의 문제가 있다. 그러므로 이중게이트 MOSFET소자를 사용한 회로해석 및 집적회로 설계에 사용할 수 있는 물리적 파라미터를 포함한 분석학적 모델이 필요하게 되었다.

결론적으로 이 논문에서 서브문턱전압영역에서 이중게이트 MOSFET의 전송특성을 해석하기 위하여 열방출(thermionic) 및 터널링(tunneling)효과를 포함한 새로운 분석학적 모델을 제시하고자 한다. 새로운 모델에서 게이트길이와 전압에 따른 터널링 전류를 해석하기 위하여 Wentzel-Kramers-Brillouin(WKB) 근사를 사용하였다. 또한 20nm이하 이중게이트 MOSFET의 단채널효과 중 서브문턱스윙을 분석하기 위하여 터널링 전류의 일차미분은 데이터점근법(data fitting)에 의하여 유도한 근사식을 사용하였다.

II장에서는 제안된 모델에 대하여 설명하였으며 III장에서 2차원 수치해석학적 모델의 결과와 제안된 모델의

결과를 비교하여 타당성을 검토하였으며 IV장에서 결론을 서술하였다.

II. 제안된 전송모델

2.1 이중게이트 MOSFET구조

이 논문에서 사용한 이중게이트 MOSFET의 구조는 그림 1과 같다. 대칭적인 구조로 두개의 동일한 P^+ 폴리실리콘 게이트를 사용하였으며 구조적 파라미터는 매우 낮게 p형 도핑된 채널의 두께 t_{Si} , 게이트산화막 두께 t_{ox} , 그리고 게이트길이 L_g 등이다. p형 채널은 $N_A = 10^{16} cm^{-3}$ 을 사용하였다. N^+ 형 소스와 드레인 영역은 $N_D = 10^{20} cm^{-3}$ 을 사용하였으며 폴리실리콘게이트의 P^+ 형 도핑도 $N_A = 10^{20} cm^{-3}$ 을 사용하였다.

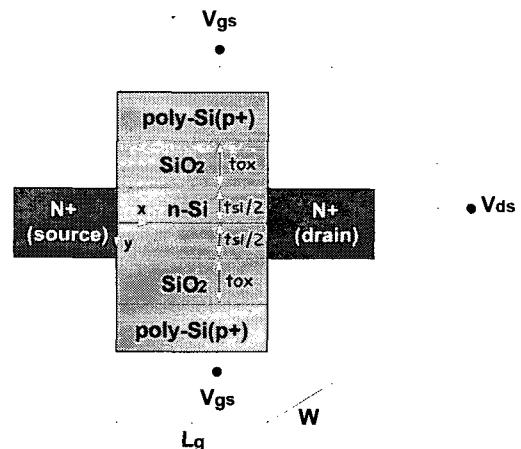


그림 1. 이 논문에서 사용한 이중게이트 MOSFET구조

Fig. 1 Schematic structure of the symmetric double gate MOSFET used in this study

2.2 서브문턱전류 모델

20nm이하 게이트길이를 갖는 이중게이트 MOSFET의 경우, 서브문턱영역에서 열방출 및 터널링전류가 전류의 대부분을 차지할 것이며 두 전류는 상호 독립적이므로 각각에 대하여 분석학적 모델을 유도할 필요가 있다. 각 경우에 대하여 채널내 포텐셜분포를 구해야만 한다. 서브문턱영역에서 채널포텐셜은 완전히 결핍상태에서 이차원 포아슨방정식을 이용하여 구하면

$$\Psi(x, y) = V_{gs} - \Phi_{MS} + V_A/2(y^2/t_{Si}^2 - 1/4 - 1/r) + \phi_{2D}(x, y) \quad (1)$$

와 같이 표현되며 여기서 V_{gs} 는 게이트전압, Φ_{MS} 는 게이트-채널간 일함수차이다. 그리고 $V_A = qN_A t_{Si}^2 / \epsilon_{Si}$, $r = \epsilon_{ox} t_{Si} / \epsilon_{Si} t_{ox}$ 이다. $\phi_{2D}(x, y)$ 항은 소스/드레인의 영향을 표현한 이차원 라플라스방정식의 해이다. 그림 1에서 각 면의 경계조건을 만족하면서, 특히 포텐셜의 연속 조건과 전계변위의 수직방향 연속조건을 Si/SiO₂ 경계에 적용하면 $\phi_{2D}(x, y)$ 는

$$\begin{aligned} \phi_{2D}(x, y) = & \sum_j \Gamma_j \cos \frac{y}{\lambda_j} [V_j (\sinh \frac{x}{\lambda_j} + \sinh \frac{L-x}{\lambda_j}) \\ & + V_{DS} \sinh \frac{L}{\lambda_j}] / \sinh \frac{L}{\lambda_j} \end{aligned} \quad (2)$$

이다. 여기서 λ_j 는 다음을 만족하는 특정값(eigenvalues)[9]이며 V_{DS} 는 드레인전압이다.

식(2)의 급수합에서 가장 낮은 즉 $j = 1$ 의 경우가 가장 지배적이며 대부분의 캐리어가 이동되어지는 최소채널 포텐셜 Ψ_{min} 은 $\partial\Psi(x, y)/\partial x = 0$ 에서 구할 수 있다.

이때 전류는 자유전자의 총량에 비례하며 이의 밀도는 고전적 볼츠만통계를 따른다고 가정하면 $n_m(y) = (n_i^2/N_A)e^{\Psi_{min}/kT}$ 이다. 이 전자들은 난수적으로 열속도 v_{th} 로 이동하므로 약 1/6이 단위시간당 $t_{Si} W$ 의 드레인 단면에 도착할 것이다. 즉, 열방출 전류 I_{ther} 는

$$I_{ther} = q n_m(y) v_{th} t_{Si} W/6 \approx q n_m(d_{eff}) v_{th} t_{Si} W/6 \quad (3)$$

이다. 파라미터 d_{eff} 는 자유전자의 전도중심을 나타낸다.[9]

터널링에 의한 전류는 기존 논문[9]에서는 포함되지 않았으나 20nm이하의 게이트길이를 가진 이중게이트 MOSFET에서는 반드시 포함되어야한다. 이 논문에서는 WKB 근사를 이용하여 터널링확률을 결정하였다. 종방향 및 횡방향 터널링 확률 $T_{t,i}$ 에 대한 WKB방정식은

$$T_{t,i} = \exp \left[-2 \int_{x_1}^{x_2} \sqrt{\frac{2m_{t,i}(U(x, d_{eff}) - E_{fm})}{\hbar}} dx \right] \quad (4)$$

이다. 여기서 $U(x, d_{eff})$ 는 채널내 포텐셜에너지이며 E_{fm} 는 소스/드레인영역에서 폐르미준위, $m_{t,i}$ 는 종/횡방향 실효질량, x_1 과 x_2 는 폐르미준위와 동일한 에너지장벽의 위치를 나타낸다. 소스내 전자의 농도가 N_D 이며 이중 1/6이 드레인을 향하여 평균 열적 속도 v_{th} 로 터널링된다 고 가정하면 단위시간당 에너지장벽을 터널링하는 전자의 수는 $N_D v_{th} t_{Si} W/6$ 이다. 이 수에 터널링확률을 곱하면 터널링 전류를 구할 수 있다. 이때 종방향 및 횡방향 실효질량의 차이에 의하여 열적 속도도 차이가 나므로 각 방향별로 별로로 구하여 더해 주어야 한다. 종방향으로 2/3, 횡방향으로 1/3이 영향을 미치므로 총 터널링전류는

$$I_{tunn} = (q N_D t_{Si} W/6)(2 T_t v_{th}/3 + T_l v_{th}/3) \quad (5)$$

이다. 여기서 T_t 와 v_{th} 는 종방향 실효질량을 가진 전자의 터널링확률 및 열적 속도이며 T_l 과 v_{th} 는 횡방향 실효질량을 가진 전자의 터널링확률 및 열적 속도이다. 식 (3)과 (5)로 표현되는 열적 전류와 터널링 전류를 더하면 총 서브문턱전류를 구할 수 있다.

2.3 분석학적 서브문턱스윙 모델

일반적으로 두 전류(열방출 전류 및 터널링전류)로 구성된 서브문턱전류에 대한 서브문턱스윙모델은

$$SS = \left[\frac{\partial \log(I_{tot})}{\partial V_{gs}} \right]^{-1} = \left[\frac{\partial I_{ther}/\partial V_{gs} + \partial I_{tunn}/\partial V_{gs}}{\ln 10 \cdot (I_{ther} + I_{tunn})} \right]^{-1} \quad (6)$$

이며 식 (3)을 이용하여 $\partial I_{ther}/\partial V_{gs}$ 를 먼저 구하면

$$\begin{aligned} \partial I_{ther}/\partial V_{gs} &= (qv_{th} t_{Si} W/6) \partial n_m(y) / \partial V_{gs} \\ &= (qv_{th} t_{Si} W/6) n_m(d_{eff}) (q/kT) \\ &\times [1 - (\Gamma_1 \cos \frac{d_{eff}}{\lambda_1} / \sinh \frac{L_a}{\lambda_1}) w/v^{3/2}] \end{aligned} \quad (7)$$

이며 여기서 파라미터 w, v 는

$$\begin{aligned}
 w &= v((1 - \cosh \frac{L_g}{\lambda_1})(2\alpha V_i - \beta) + 2V_i \sinh \frac{L_g}{\lambda_1} + \alpha V_{DS}) \\
 &\quad - u(V_i - \alpha(\alpha V_i - \beta)) \\
 v &= V_i^2 - (\alpha V_i - \beta)^2 \\
 u &= (1 - \cosh \frac{L_g}{\lambda_1})(\alpha V_i^2 - \beta V_i) + V_i^2 \sinh \frac{L_g}{\lambda_1} + (\alpha V_i - \beta) V_{DS} \\
 \alpha &= \coth \frac{L_g}{\lambda_1} - \operatorname{csch} \frac{L_g}{\lambda_1}, \quad \beta = V_{DS} \operatorname{csch} \frac{L_g}{\lambda_1}
 \end{aligned}$$

이다.

터널링 전류에 대한 일차도함수는 다음과 같다.

$$\partial I_{tun,n}/\partial V_{gs} = (qN_D t_{Si} W/6) \left(\frac{2v_{th}}{3} \frac{\partial T_t}{\partial V_{gs}} + \frac{v_{th}}{3} \frac{\partial T_t}{\partial V_{gs}} \right) \quad (8)$$

분석학적 모델을 구하기 위하여 식 (8) 우측의 두 번째 항을 $a(L_g)b(L_g)V_{gs}$ 로 대치하여 데이터접근법을 이용하면

$$V_{ds} = 0.1V \text{에서 } -1.6 + 2.94L_g,$$

$$V_{ds} = 1.0V \text{에서 } -6.91 + 3.24L_g$$

로 근사하여 분석학적 형태를 유도할 수 있다. 식 (6)에 식 (7)과 (8)을 대입하면 서브문턱스윙을 분석학적으로 구할 수 있다.

III. 이중게이트 MOSFET에서 단채널효과분석

20nm이하 게이트길이를 가진 이중게이트 MOSFET에 대하여 SS , ΔV_{th} , $DIBL$ 등의 단채널효과를 분석하였다. 서브문턱영역에서 새로운 모델의 타당성을 검증하기 위하여 이차원 수치해석학적 결과와 비교하였다.

3.1 서브문턱스윙 SS

그림 2에 게이트길이 변화에 따른 서브문턱스윙의 변화를 도시하였다. 제시된 분석학적 모델의 결과와 이차원 수치해석학적 결과[7]가 잘 일치함을 알 수 있었다. 채널의 길이가 짧을수록 터널링 효과에 의하여 서브문턱스윙은 더욱 증가함을 알 수 있다.

이중게이트 MOSFET의 스케일링한계를 산화막두께 ($t_{ox} = 0.5nm$)를 고정하고 게이트길이와 채널두께를

변화시킬 경우에 SS 의 변화를 그림 3(a)에 도시하였다. 그림에서 알 수 있듯이 채널길이가 10nm이하에서는 80mV/dec이하로 설계가 불가능하다. 또한 게이트길이가 12nm이상이고 채널두께가 1.5nm 정도라면 약 60mV/dec의 서브문턱스윙을 얻을 수가 있을 것이다. 그러나 터널링전류를 무시할 경우, 서브문턱스윙 60mV/dec의 한계는 게이트길이 12nm에서 존재하지 않음을 알 수 있었다.

이는 디지털용으로 사용할 소자에서는 터널링에 의하여 소자를 더욱 크게 제작하여야만 하는 것을 의미한다. 즉, 100mV/dec정도의 서브문턱스윙값을 사용할 수 있는 회로는 반드시 8nm이하의 채널길이를 갖는 이중게이트 MOSFET를 이용하여야만 한다는 것이다.

그림 3(b)에서 알 수 있듯이 게이트산화막의 두께가 감소하고 채널두께가 증가할수록 서브문턱스윙은 터널링에 의하여 덜 영향을 받는 것을 알 수 있다. 그림 3에서 알 수 있듯이 채널두께가 증가하면 터널링전류의 영향이 상대적으로 감소하나 이와같이 하여 터널링 전류를 감소시키면 열적 전류에 의하여 서브문턱스윙이 증가하여 또 다른 문제를 야기시킬 수 있다. 최대 100mV/dec 의 서브문턱스윙에 대하여 이중게이트 MOSFET는 거의 8nm의 스케일링한계를 가지는 것을 알 수 있다. 이는 복잡한 Green 함수를 이용한 결과와 동일한 것을 알 수 있다.[8]

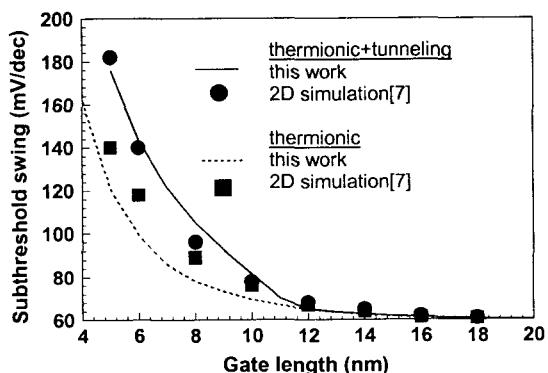


그림 2.

$t_{si} = 1.5nm$, $t_{ox} = 1.5nm$, $V_{gs} = 0.1V$, $V_{ds} = 0.1V$ 에서 이중게이트 MOSFET에 대하여 채널길이가 변화할 때 서브문턱스윙의 변화

Fig. 2 Subthreshold swing with and without quantum tunneling as a function of the channel length for DGMOSGETs with $t_{si} = 1.5nm$ and $t_{ox} = 1.5nm$ at $V_{gs} = 0.1V$ and $V_{ds} = 0.1V$.

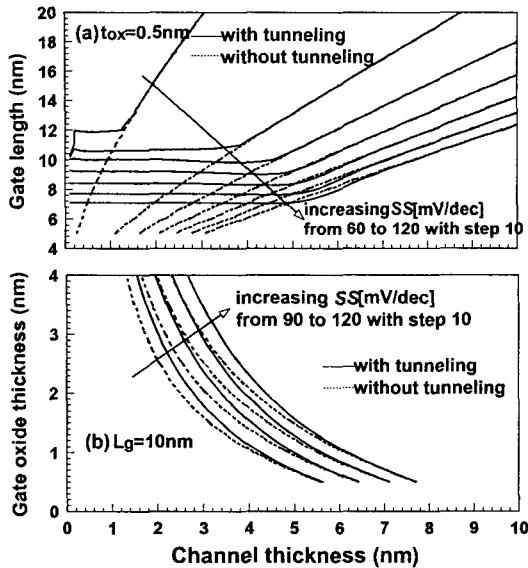


그림 3. 이중게이트 MOSFET의 SS에 대한 설계규칙
(a) 산화막두께($t_{ox} = 0.5\text{nm}$)를 고정하고
게이트길이와 채널두께를 변화시킬 때
(b) 채널길이($L_g = 10\text{nm}$)를 고정하고

게이트산화막두께 및 채널두께를 변화시킬 때
Fig. 3 Design contours for different SS requirements
in a symmetrical DGMOSFET:
(a) fixed gate-oxide thickness ($t_{ox} = 0.5\text{nm}$) and
variable gate length and channel thickness;
(b) fixed channel length ($L_g = 10\text{nm}$) and variable
gate-oxide thickness and channel thickness.

3.2 문턱전압값의 변화 ΔV_{th}

이 논문에서 제시한 모델을 이용하여 게이트길이에 따른 문턱전압의 변화를 조사하고 이차원 수치해석학적 값[7]과 비교하였다. 그림 4에서 알 수 있듯이 분석학적 모델과 수치해석학적 모델에 의한 결과값이 잘 일치함을 알 수 있다. 그러므로 이 논문의 모델이 전기적인 현상을 잘 고려하고 있으며 단채널효과 계산에 효과적임을 알 수 있었다. 그림 4는 단채널효과가 터널링에 의하여 증가함을 보여주고 있으므로 터널링전류가 단채널효과에 커다란 영향을 미치고 있다는 것을 알 수 있다. 다시 말해서 10nm이하의 채널길이를 가진 이중게이트 MOSFET에서 터널링효과는 매우 중요한 역할을 하고 있다.

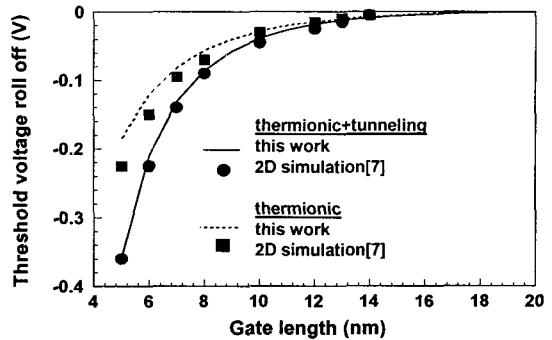


그림 4. $t_{si} = 1.5\text{nm}$, $t_{ox} = 1.5\text{nm}$ 에서 채널길이의 변화에 따른 문턱전압변화. 제안된 모델값과 이차원 모델값[7]을 비교하였다.

Fig. 4 Threshold voltage roll off as a function of the gate length in DGMOSFET with channel thickness of $t_{si} = 1.5\text{nm}$ and gate oxide thickness of $t_{ox} = 1.5\text{nm}$. The results of the proposed analytical model are verified by 2D numerical simulation[7].

그림 5에 $\Delta V_{th} = -0.05\text{V}$ 의 경우 구조적 파라미터의 상호관계를 도시하였다. 문턱전압변화에 대한 터널링의 영향은 10nm이하의 채널길이에서 명확하게 관찰되고 있었다. 게이트길이 8nm, 산화막두께 1nm에서 동일한 문턱전압변화를 유지하기 위해 선 채널두께가 감소해야만 한다. 이는 10nm이하 채널길이를 가진 이중게이트 MOSFET의 경우 터널링에 의하여 설계규칙이 매우 엄격함을 의미한다. 또한 터널링은 문턱전압변화가 게이트산화막 두께

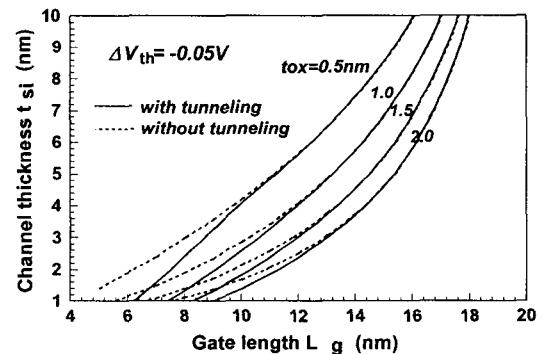


그림 5. 문턱전압변화가 $\Delta V_{th} = -0.05\text{V}$ 인 경우
설계규칙

Fig. 5 Design contours of a DGMOSFET for threshold voltage roll off $\Delta V_{th} = -0.05\text{V}$.

에 따라 의존하게 한다. 그림 5에서 알 수 있듯이 동일한 문턱전압변화를 유지하기 위하여 채널두께는 감소하고 게이트산화막 두께는 증가해야만 한다. 그러나 게이트산화막 두께가 증가하면 서브문턱스윙값이 증가한다. 그러므로 최적의 SS 와 ΔV_{th} 를 유지하기 위하여 채널두께와 산화막두께간에는 상호 절충관계가 있다 것을 알 수 있다.

3.3 드레인유기장벽저하 DIBL

드레인전압에 대한 문턱전압의 의존성은 디지털용 용분야에서는 매우 중요하다. 즉, $DIBL$ 은 문턱전압이 동작 전압의 함수가 되도록 한다. 게이트전압은 전위장벽을 감소시켜 열방출 전류 및 터널링 전류를 증가시킨다. 또한 드레인전압에 의한 전계에 따라서도 전위장벽감소가 야기될 수 있다. 그러므로 드레인전압에 의하여 문턱전압이 감소하여 미소 게이트전압에서도 강반전을 발생시켜 기생전류나 편치스루현상을 발생시킬 수 있다. 이와 같은 효과를 감소시키기 위하여 이중게이트 MOSFET는 $DIBL$ 값이 최소가 되도록 설계하여야 한다. 이 논문의 모델을 이용하여 게이트 길이, 산화막두께 및 채널두께의 함수로 $DIBL$ 을 계산하였으며 그림 6에 $DIBL = 100mV/V$ 에서 게이트산화막 두께가 0.5nm에서 2.0nm까지 변화할 때 구조적 파라미터의 상호관계를 도시하였다. 게이트길이가 같을 때 동일한 $DIBL$ 을 유지하기 위하여 채널두께 및 게이트산화막 두께는 더욱 작아져야만 한다는 것을 알았다.

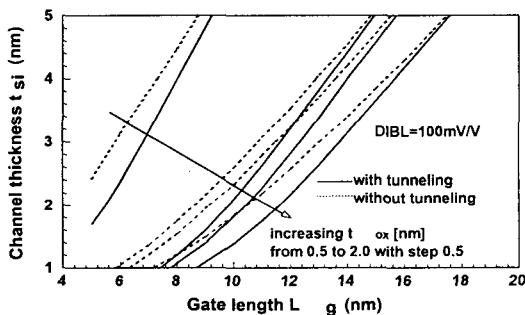


그림 6. $DIBL = 100mV/V$ 에서 게이트산화막 두께가 0.5nm에서 2.0nm까지 변화할 때 설계규칙. 게이트길이가 같을 때 동일한 $DIBL$ 을 유지하기 위하여 채널두께는 더욱 작아져야만 한다.

Fig. 6 Design contours of DG-MOSFETs having gate oxide thickness changing from 0.5nm to 2.0nm for $DIBL$ of 100mV/V. We know DG-MOSFETs must have smaller channel thickness to sustain the same $DIBL$ due to quantum tunneling if gate length is the same.

IV. 결 론

서브문턱스윙, 문턱전압변화, 드레인유기장벽저하 등 나노구조 이중게이트 MOSFET소자에서 발생하는 단채널효과를 분석하기 위하여 서브문턱영역에서 분석학적 전송모델을 제시하였다. 이 모델의 타당성을 입증하기 위하여 이차원 수치해석학적 모델의 결과와 비교한 결과, 잘 일치함을 알 수 있었다. 채널길이가 12nm이상의 소자에서는 열방출 전류가 주 전류이나 12nm이하에서는 터널링전류가 매우 크게 증가함을 알 수 있었다. 특히 10nm이하에서 터널링에 의한 단채널효과 때문에 성능이 매우 저하함을 알 수 있었다. 단채널효과에 의한 성능저하를 자세히 규명하기 위하여 서브문턱스윙, 문턱전압변화, 드레인유기장벽저하에 대한 설계규칙을 계산하였다. 이에 터널링이 매우 크게 증가하는 10nm이하 게이트길이를 가진 소자에서 단채널효과에 의한 성능저하 현상이 매우 두드러지게 나타나는 것을 알 수 있었다. 특히 10nm이하에서 매우 작은 산화막 두께 및 채널두께가 요구되므로 설계규칙이 매우 엄격해야만 한다는 것을 알았으며 약 10nm의 게이트길이와 1.5nm의 채널두께가 스케일의 한계라고 사료된다.

참고문헌

- [1] T.Schulz, W.Rosner, E.Landgraf, L.Risch and U.Langmann, "Planar and vertical double gate concepts," Solid-State Electronics, vol.46, pp.985-989, 2002.
- [2] H.R.Huff and P.M.Zeitzoff, "The Ultimate CMOS Device: A 2003 Perspective," in the 2003 Int. Conf. Characterization and Metrology for ULSI Technology, pp.1-17, 2003.
- [3] L.Chang, Y.K.Choi, D.Ha, P.Ranade, S.Xiong, J.Bokor, C.Hu and T.J.King, "Extremely Scaled Silicon Nano-CMOS Devices," Proc. of IEEE, vol.91, pp.1860-1873, 2003.
- [4] K.Kim and J.G.Fossum, "Double-gate CMOS; Symmetrical versus asymmetrical gate devices," IEEE Trans. Electron Devices, vol.48, pp.294-299, 2001.
- [5] J.R.Watling, A.R.Brown, and A.Asenov, "Can the Density Gradient Approach Describe the Source-Drain

Tunneling in Decanano Double-Gate MOSFETs?",
Journal of Computational Electronics, vol.1, pp.289-293,
2002.

- [6] J.S.Park, H.Shin, D.Connelly, D. Yergeau, Z.Yu, and R.W.Dutton, "Analysis of 2D quantum effects in the poly-gate and their impact on the short-channel effects in double-gate MOSFETs via the density-gradient method", Solid-State Electronics, vol.48, pp.1163-1168, 2004.
- [7] D.Munteanu and J.L.Autran, "Two-dimensional modeling of quantum ballistic transport in ultimate double-gate SOI devices", Solid-State Elec. vol.47, pp.1219-1225, 2003.
- [8] M.Bescond, J.L.Autran, D.Munteanu and M.Lannoo, "Atomic-scale modeling of double gate MOSFETs using a tight- binding Green's function formalism", Solid-State Elec., vol.48 , pp.567-574, 2004.
- [9] 정학기, S. Dimitrijev, "더블게이트 MOSFET의 서브문 턱스윙에 대한 연구", 한국해양정보통신학회논문지, vol.9, No.4, pp.804-810, 2005.

저자소개

정 학 기(Hak Kee Jung)



1983. 아주대학교 전자공학과(BS)
1985. 연세대학교 전자공학과(MS)
1990. 연세대학교 전자공학과(Ph.D)
1995. 일본 오사카대학 객원연구원

2004. 호주 그리피스대학 객원연구원

2006. 한국해양정보통신학회 편집이사

※ 관심분야 : 반도체소자설계 및 시뮬레이션, 몬테카르로 시뮬레이션