고집적 메모리 커패시터의 Vertical Sidewall Patterning을 위한 BTO 박막의 CMP 특성

論 文
55C-3-3

Chemical Mechanical Polishing Characteristics of BTO Thin Film for Vertical Sidewall Patterning of High-Density Memory Capacitor

徐 龍 辰† · 高 必 周* · 朴 成 祐** · 李 康 淵*** · 李 愚 宣§
(Yong-Jin Seo · Pil-Ju Ko · Sung-Woo Park · Lee Kang Yeon · Woo-Sun Lee)

Abstract - Most high-k materials are well known not to be etched easily, Some problems such as low etch rate poor sidewall angle, plasma damage, and process complexity were emerged from the high-density DRAM fabrication. Chemical mechanical polishing (CMP) by a damascene process was proposed to pattern this high-k material was polished with some commercial silica slurry as a function of pH variation. Sufficient removal rate with adequate selectivity to realize the pattern mask of tera-ethyl ortho-silicate (TEOS) film for the vertical sidewall angle were obtained. The changes of X-ray diffraction pattern and dielectric constant by CMP process were negligible. The planarization was also achieved for the subsequent multi-level processes. Our new CMP approach will provide a guideline for effective patterning of high-k material by CMP technique.

Key Words : CMP(Chemical Mechanical Polishing), BTO($BaTiO_3$), Sidewall Angle, Consumables, Damascene pH (Potential of Hydrogen), TEOS(Tera-Ethyl Ortho-Silicate)

1. 서 론

최근에 우수한 유전특성을 갖는 강유전체 막들이 DRAM(dynamic random access memory)에 적용 되고 있다. 이는 종래의 SiO_2 막을 유전체로 사용할 경우 0.1㎛ 이하의 고집적 DRAM 제조 공정에서는 SiO_2 막의 낮은 유전상수 때문에 한계가 있기 때문이다[1]. 따라서 높은 유전상수(high-k)를 갖는 물질중 하나인 BTO ($BaTiO_3$)가 기존의 유전체막을 대체하여 사용되고 있다. BTO는 페로브스카이트 (perovskite) 구조를 갖는 높은 유전상수, 낮은 누설전류 및 높은 절연 파괴 강도를 가지고 있어 ULSI 소자를 위한 매우 매력적인 물질로 인정받고 있다[1,2]. 일반적으로 BTO 막은 화학적인 식각이 어려워 많은 연구가 플라즈마 식각 기술에 초점되어 왔다. 그러나 플라즈마 식각 공정은 식각율이 낮고, 식각시 측벽 각(sidewall angle)이 충분하지 않은 등의 문제점들이 대두되고 있다[3]. 특히, 수직의 측벽 각을 충분히 확보하지 못한 경우. 고밀도 DRAM의 제조에 있어서 셀 어레이(cell array)의 조밀화를 이룰 수 없다. 또한 플라즈마 식각 공정 동안 측벽에 플라즈마 손상을 입어 고온에서 어닐링(annealing)에 의해 복구되어져야 하므로 제조공정이 복잡해짐과 동시에 고온의 열처리로 인해 DRAM의 성능이 감소하는 등의 단점이 있다. 따라서 수직의 측벽 프로파일(profile)과 열처리가 필요 없는 패터닝(patterning) 공정이 필요하게 되었다. 한편 이상과 같은 문제점들을 해결할 수 있는 방안으로 CMP(chemical mechanical polishing) 기술이 효과적인 공정으로 제안되었다[4,5]. CMP 공정은 DRAM 셀의 lateral 면적을 감소시킬 수 있기 때문에 고밀도의 DRAM 칩의 설계에 있어서 매력적인 공정이 될 수 있다. 현재 CMP 공정은 초고집적회로(ULSI)의 다층배선 구현을 위한 PMD (pre-metal dielectric), ILD (inter-layer dielectric), IMD (inter-metal dielectric) 층 뿐 만 아니라 STI (shallow trench isolation) 구조의 광역 평탄화를 위한 필수 공정으로 자리매김하고 있다[6-9]. CMP 연마 특성은 연마장비 및 연마패드, 탄성지지대, 슬러리 등의 소모재(consumable)들과 같은 공정변수들에 의해서 최적화 되어진다. 이러한 CMP 공정의 소모재들 중에서 특히 슬러리는 CMP 공정의 연마율과 비균일도(non-uniformity) 등에 중요한 역할을 한다. 슬러리의 다양한 특성들 중 슬러리 조성과 pH(potential of hydrogen)의 변화는 연마 특성에 직접적인 영향을 미치는 주요 요소들이다. 본 논문에서는 기존의 다마씬(damascene) 공정 중 플라즈마 식각시 발생하는 손상들을 제거하고 소형화, 저전력 소모 및 저가격의 고밀도 DRAM 제작을 위한 새로운 패터닝 공정을 제안하였다[1]. 특히, 슬러리의 종류와 pH의 변화에 따른 CMP 전후의 BTO 박막의 표면특성 및 유전특성의 변화, X-ray 회절분석에 따른 상의 변화, 그리고 TEOS 막과 BTO 막의 연마 선택비를 평가하여 본 논문에서 제안한 CMP를 이용한 새

† 교신저자, 正會員 : 大佛大學校 副敎授 · 工博
E-mail : syj@mail.daebul.ac.kr
* 正 會 員 : 朝鮮大學校 電氣工學科 · 博士課程
** 正 會 員 : 大佛大學校 電氣電子工學科 · 博士課程
*** 正 會 員 : 朝鮮大學校 電氣工學科 · 工博
§ 正 會 員 : 朝鮮大學校 電氣工學科 敎授 · 工博
接受日字 : 2005年 11月 29日
最終完了 : 2005年 12月 26日

로운 패터닝 공정의 적용 가능성 및 향상된 연마 특성에 관하여 연구하였다.

2. 실 험

본 실험에서는 4-inch SiO_2/Si 웨이퍼 위에 스퍼터를 이용하여 BTO 박막을 증착하였다. 초기 웨이퍼는 H_2SO_4:H_2O_2(1:4), H_2O:HF(DHF; 10:1), 탈이온수 (de-ionized water: DIW)를 이용하여 세정하였다. BTO 타겟의 제조는 분말상태인 $BaCO_3$와 TiO_2를 1:1로 DIW와 함께 혼합하여 지르코니아(zirconia) 볼(ball)로 볼 밀링(milling)을 12시간, 120℃에서 36시간 건조하였다. 건조한 파우더를 58.44 mm의 몰드(mold)에 넣고 6 톤(ton)으로 성형하여 전기로에서 900℃에서 6시간, 1200℃에서 4시간 열처리(sintering) 하였다. BTO 막의 증착은 RF 스퍼터링 시스템을 사용하여 다음과 같은 조건에서 700 nm의 두께로 증착되었다. 웨이퍼 회전속도는 15 rpm, 기판온도는 26℃, RF power는 60 W, 진공은 3.6×10^{-2} Torr로 유지하였다. 또한, 패턴 마스크로서의 가능성을 평가하기 위한 BTO 막과 TEOS(tetra-ethyl ortho-silicate) 막의 연마 선택비를 알아보기 위해 PECVD(plasma enhanced chemical vapor deposition) 공정에 의해 TEOS 막을 1900 nm 증착하였다. BTO 막을 형성한 후 열처리 조건에 따른 상의 변화를 고찰하기 위해 전기로에서 400~1100℃까지 100℃간격으로 열처리하여 XRD(x-ray diffraction) 회절 패턴을 분석하였다. 모든 연마 공정은 G&P Technology의 POLI-380 장비로 진행하였으며. 표 1에 CMP 공정조건을 요약하였다. 연마 패드는 롬앤하쓰(Rohm & Haas)의 IC-1300/Suba-IV 구조의 이중패드를 사용하였다. 테이블 속도는 50 rpm, 헤드 속도는 50 rpm, 헤드 압력은 300 gf/㎠, 슬러리의 유속은 90 ml/min으로 설정하여 30초 동안 연마를 진행하였다. 또한 패드 컨디셔닝(pad conditioning) 압력은 2 kg/㎠으로 고정하였고, 연마 패드는 교체 없이 사용하였다. 슬러리의 에이징(aging) 현상을 방지하기 위하여 연마 전에 Sonic Tech사의 초음파 교반기로 충분히 교반시켜 주었다. CMP 공정 후 웨이퍼 세정은 3분 동안 NH_4OH:H_2O_2:H_2O를 1:2:7의 비율로 제조된 SC-1 용액에서 3분간, 1:10의 DHF 용액에서 2분, 마지막으로 초음파 세척기를 이용하여 4분 동안 세척하였다.

표 1. CMP 공정조건.

Table 1. Process conditions of CMP.

CMP parameter	CMP process conditions
Wafer	BTO-sputtered blanket
Pad	IC-1300™/Suba-IV™
Slurry	Silica abrasive
Slurry flow rate	90 ml/min
Head speed	50 rpm
Table speed	50 rpm
Polishing time	30 sec

표 2는 본 실험에서 사용된 슬러리의 pH, 평균 입자의 사이즈, 이온 전도율, 이동도(mobility), 제타 전위(Zeta potential) 등 슬러리의 물성을 Nano ZS (Malvern Instruments Ltd.) 장비로 측정한 것이다. 연마율을 계산할 때 측정에 따른 오차를 방지하기 위해 J.A. Woollam사의 M-2000V 엘립소미터(spectroscopic ellipsometer)를 이용하여 각 웨이퍼마다 중앙에서 가장자리까지 시계 방향으로 9점의 동일한 지점들을 측정하였다. CMP 전후의 표면 형상을 알아보기 위해 AFM (PSIA, XE-100)을 사용하였고, 각기 다른 열처리 조건을 갖는 BTO 막의 CMP 전과 후의 X-ray diffraction (XRD; Philips, X'pert-PRO-MRD, Cu K α=0.15405 nm, 40kV, 30mA)을 분석하였다..

표 2. 본 실험에서 사용한 3종류의 실리카 슬러리들의 물성 분석.

Table 2. Properties analysis of three kinds of silica slurries used in this experiment.

	Slurry#1	Slurry#2	Slurry#3
pH	10.68	11.30	10.84
Average particle size(nm)	355.4	505.1	324.6
Zeta potential(mv)	-23.54	-27.84	-25.07
Mobility (cm/Vs)	-3.323	-3.930	-3.538
Conductivity (mS/cm)	0.863	3.640	1.847

3. 결과 및 고찰

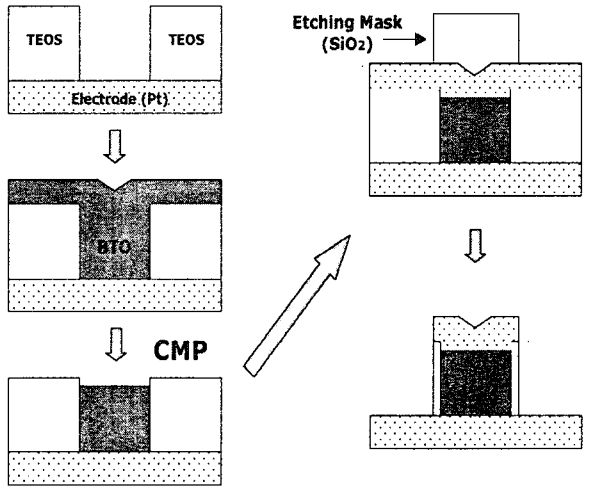
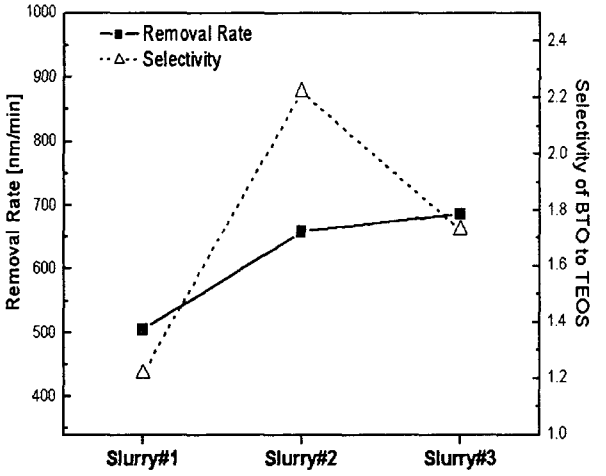


그림 1. CMP 다마씬 공정을 이용한 고집적 DRAM의 측벽 패턴공정의 제안.

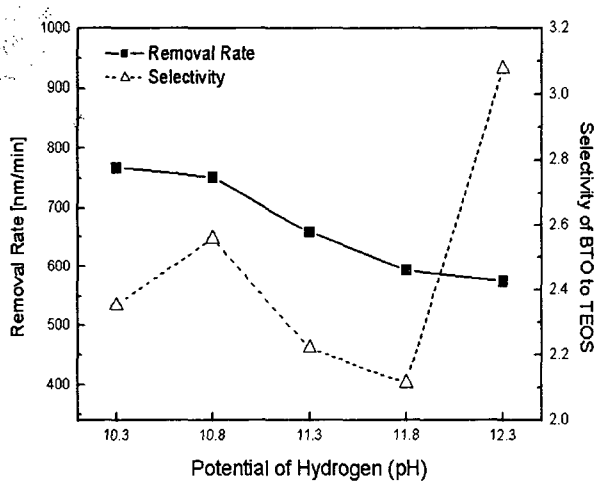
Fig. 1. Proposed fabrication process sequence for vertical sidewall of high-density DRAM by CMP damascene process.

그림 1은 BTO 박막을 사용한 고집적 커패시터의 경우 CMP를 이용한 다마씬(damascene) 공정 순서를 개략적으로

제안한 것이다. 본 논문에서 제안한 이 다마씬 공정은 기존의 플라즈마 식각을 이용한 측벽 패턴 공정보다 더 간단하며 충분한 측벽을 확보할 수 있을 것이다. 또한 여기서 패턴 마스크로 사용된 TEOS 막이 CMP 공정 동안 연마 종말점 감지 (end-point detection)를 위한 정지막(stopper)으로 효과적으로 사용되기 위해서는 TEOS 막과 BTO 막의 연마 선택비가 높을수록 더 효과적이다[8, 9].



(a)



(b)

그림 2. BTO 박막과 TEOS 박막의 연마율과 선택비 (a) 슬러리 종류 (b) 2번 슬러리의 pH의 변화.

Fig. 2. Removal rate and selectivity of BTO to TEOS (a) with various slurries, and (b) as a function of pH in slurry #2.

그림 2는 BTO 박막과 TEOS 박막의 연마특성을 보인 것이다. 그림 2(a)는 슬러리의 종류에 따른 BTO 막의 연마율 및 BTO와 TEOS 막의 연마 선택비를 비교한 것이고, 그림 2(b)는 가장 우수한 연마율 및 선택비 특성을 보인 슬러리 #2의 pH 변동에 따른 연마율 및 선택비를 나타낸 것이다. 그림 2의 (a)에 보인 바와 같이 슬러리#2와 #3의 경우 600 nm/min 이상의 연마율을 확보하여 종래의 플라즈마 식각율과 비교하여 훨씬 더 우수한 특성을 나타내었다. 또한 슬러리 #2가 가장 높은 연마 선택비를 나타내었다. 그림 2의 (b)는 높은 선택비 및 만족할 만한 연마율을 갖는 슬러리#2를 선택한 후, 연마율 및 선택비에 pH의 변동이 미치는 영향을 고찰하기 위해 pH를 10.3에서 12.3까지 변화시켜가면서 CMP를 수행한 결과로 pH가 증가함에 따라 연마율은 감소하였다. 일반적으로 슬러리 용액은 산화막 표면을 약하게 만들고, 계속적으로 연마패드와 슬러리 연마제와의 기계적인 작용에 의해 연마 제거되는 메카니즘을 가지고 있다[10, 11]. 즉, 슬러리 pH의 증가는 pOH의 감소를 의미하며, 이는 수산화 이온(OH-) 농도가 감소하여 BTO 막의 표면에 공급되는 OH-의 확산이 감소하여 BTO 막의 표면을 연화(weaken)시키지 못해 연마율이 낮아진 것으로 생각된다. 한편 pH 12.3에서 선택비의 급격한 증가는 BTO 박막과 TEOS 박막의 연마율 차이가 커졌기 때문이며, 이는 BTO 막보다는 TEOS 막이 pH 변동에 더 민감하기 때문이다. 결과적으로 pH 12.3에서 플라즈마 식각을 대체할 수 있는 3.1의 충분한 연마 선택비를 얻을 수 있었다.

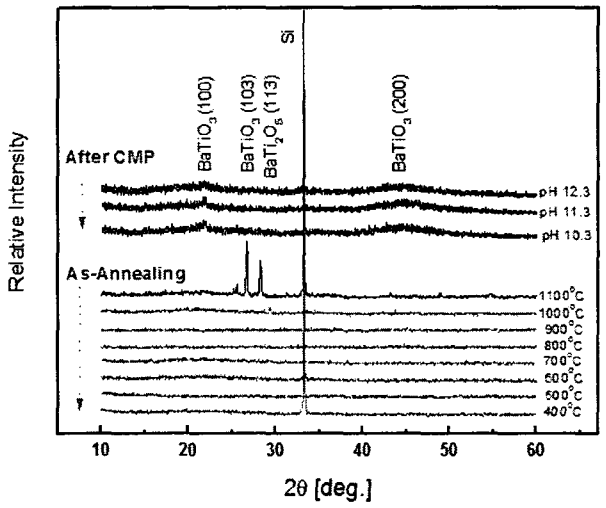


그림 3. CMP 전과 후의 BTO 박막의 X-ray 회절분석.

Fig. 3. X-ray diffraction pattern of BTO thin film before and after CMP process.

그림 3은 400℃에서 1000℃까지 100℃간격으로 열처리한 BTO 박막의 XRD 회절 분석 결과이다. 또한 1100℃에서 열처리한 BTO 박막을 CMP한 후의 XRD 패턴도 비교하였다. 1200℃ 이상에서는 표면에 크랙(crack) 현상이 일어나서 1100℃까지만 열처리를 하였다. 1000℃ 이하의 온도에서 열처리한 시료에서는 BTO와 관련된 피크는 관찰되지 않았다. 그러나 1100℃에서 열처리된 샘플의 경우 2θ=26.2°에서 $BaTiO_3$의 강한 피크가 관찰되었고, 2θ=28.3°에서 $BaTi_2O_5$의 피크가 각각 관찰되었다[12]. 1100℃에서 열처리한 후 pH 변화에 따라 BTO 박막을 CMP한 모든 시료의 XRD 분석 결과 2θ=21.86° 과 2θ=44.58° 에서 $BaTiO_3$의 broad한 피크가 관찰되었다. 공기 중에서의 노출에 기인한 $BaTi_2O_5$의 표면은 CMP에 모두 제거되었으며 CMP가 BTO 박막의 상의

전위에 영향을 미치지 않음을 확인할 수 있었다. 한편 고유전물질의 유전상수는 유전체 막의 두께에 직접적인 관계를 갖는다. 따라서 CMP에 연마될 경우 제거된 두께만큼 유전상수 값을 보상해 주어야 한다[13].

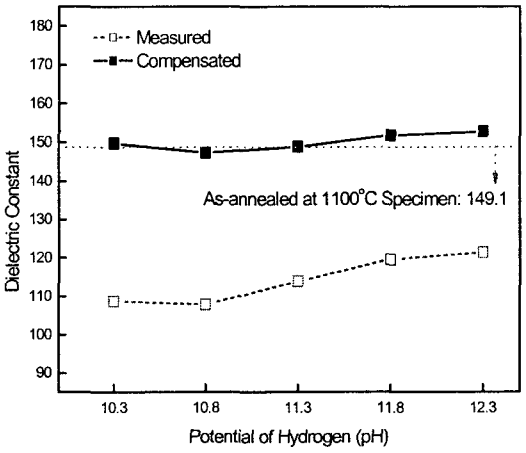
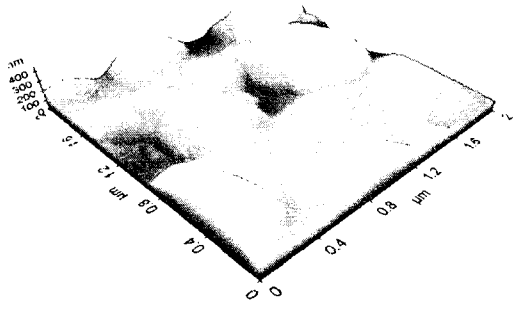
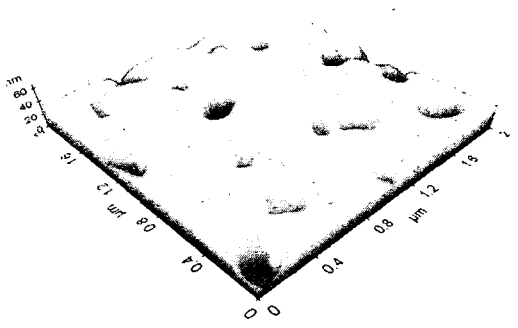
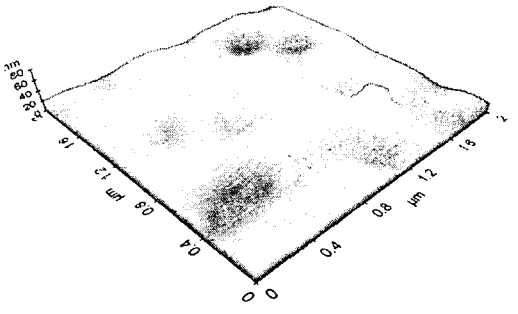


그림 4. CMP 전과 후의 BTO 박막의 유전율의 보정값.
Fig. 4. Compensated dielectric constant of BTO thin film *before and after* CMP process.

그림 4는 실리카 슬러리의 pH 변화에 따라 CMP를 수행한 후 BTO 막들의 유전상수 값을 나타낸 것으로 1100℃에서 열처리만 하고 CMP 하지 않은 시료의 유전상수 값은 149.1로 여기서는 기준값으로 제시되었다. pH 10.3, 11.3 및 12.3의 실리카 슬러리에서 연마된 시료들의 경우 CMP에 의해 연마제거된 두께를 보상해 준 결과 149.75, 148.91, 152.76의 보상된 유전상수 값을 나타내었다 [13, 14]. 이는 CMP에 의한 BTO 박막의 패터닝이 BTO 막의 유전상수에는 전혀 영향을 주지 않는 다는 것을 말해주는 중요한 결과이다. 즉, 플라즈마 식각시 발생하는 손상들과 비교해 볼 때, CMP를 이용한 패터닝 공정에서는 손상을 더 적게 받을 것으로 예측된다. 그림 3과 4에 보인 XRD 패턴과 유전상수 결과에 근거하여 볼 때, CMP 공정은 플라즈마 식각이 갖는 문제점을 보완함고 동시에 TEOS 막을 패턴 마스크 및 CMP 공정의 stopper로도 활용할 수 있어 고밀도 DRAM 적용을 위한 고유전율 물질을 패터닝하는데 효과적으로 사용될 수 있음이 입증되었다.


(a)


(b)


(c)

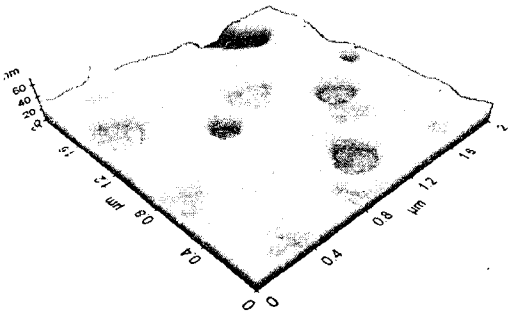

(d)

그림 5. BTO박막의 AFMM 표면형상; BTO박막1100℃ (a) 열처리 후, silica슬러리의 (b) pH 11.3(기본슬러리) (c) pH 10.3 (d) 12.3
Fig. 5. Surface morphology of (a) as-annealed films, polished film with commercially silica slurry at pH of (b) 11.3 (with adjustment), (c) 10.3, and (d) 12.3 measured by AFM.

그림 5는 1100℃에서 열처리한 시료와 1100℃에서 열처리한 후 실리카 슬러리#2의 pH 변화에 따라 CMP한 후의 가로세로 각각 2×2㎛ 범위에서 스캔(scan)한 3차원 AFM(atomic force microscopy) 이미지를 보인 것이다. 그림 5의 (a)는 BTO 박막의 CMP 전 1100℃에서 열처리한 시료의 AFM 표면 형상을 보인 것으로 거대한 구형의 특징들이 불규칙적으로 형성되어 있음을 볼 수 있으며 RMS 값은 75.248 nm로 매우 높은 표면 거칠기를 나타내었다. 그러나 그림 5의 (b)에 보인 바와 같이 실리카 슬러리#2를 사용

하여 30초 동안 연마한 BTO 시료의 거칠기는 6.653 nm까지 급격히 감소하였다. 즉, CMP 기술은 BTO 박막의 표면 거칠기를 현저히 개선시킬 수 있음을 확인하였다. 이는 표면 거칠기의 향상으로 BTO 박막의 표면 저항율도 현저히 감소시킬 수 있음을 의미하는 것이다. 그림 5의 (c)와 (d)는 2번 실리카 슬러리의 pH를 각각 10.3과 12.3으로 변화를 준 경우 CMP 후의 3차원 AFM 이미지로 표면의 RMS 값은 각각 7.182 nm와 6.838 nm 이었다. AFM 이미지의 결과로 볼 때 CMP 후 BTO 막의 표면 거칠기 개선은 본 논문에서 제안하는 새로운 CMP 공정이 향후 다층구조의 적용에도 매우 효과적일 것임을 예측해 준다.

3. 결 론

본 논문에서는 고밀도 DRAM 응용을 위한 고유전율(high-k) 물질의 패터닝에 CMP 공정을 사용한 다마씬 공정이 활용될 수 있음을 제안하였다. 플라즈마 식각과 비교하여 볼 때 CMP 공정을 통해 충분한 연마율 및 연마 선택비를 얻을 수 있어 TEOS 막을 패턴 마스크 및 연마종말점 감지를 위한 stopper로도 사용될 수 있음을 확인하였다. BTO 막의 연마율은 600 nm/min으로 매우 우수하였고 3.0 이상의 충분한 연마 선택비를 확보할 수 있었다. 또한 XRD 분석 및 유전상수 값은 모든 조건에서 CMP 공정 후에도 BTO 막의 현저한 변화 및 손상을 입히지 않았다. CMP 공정 후의 표면 거칠기는 향후에 다층구조에도 적용할 수 있는 충분한 RMS 값을 나타내었다. 이상과 같이 표면 거칠기 및 연마 선택비의 향상, TEOS 마스크를 사용한 BTO 박막의 실제적인 패터닝 및 BTO 커패시터의 제작을 통한 전기적 특성의 개선 등이 향후 CMP 공정이 고유전율 물질의 효과적인 패터닝 공정에 적용될 수 있도록 하는 기반이 될 것으로 본다.

감사의 글

본 연구는 2004학년도 학술진흥재단의 중점연구에 의해서 연구되었음(KRF-2004-005-D00007).

참 고 문 헌

[1] Y. Igarashi, K. Tani, M. Kasai, K. Ashikaga, "Submicron Ferroelectric Capacitors Fabricated by Chemical Mechanical Polishing for High-Density Ferroelectric Memories", T. Tto, Jpn, J. Appl. phys. 39, p 1083, 2000.

[2] Yong-Jin Seo and Woo-Sun Lee, "Chemical mechanical polishing of $Ba_{0.6}Sr_{0.4}TiO_3$ film prepared by sol - gel method", Microelectronic Engineering, Vol. 75, Issue 2, p. 149, 2004.

[3] P. Vitanov, A. Harizanova, T. Ivannova, D. Velkov, Zd. Raytcheva, "Deposition, structure evolution and dielecrtrc properties of BaTiO3 and BaxSr1-xTiO3 thin films prepared by the sol-gel method. ", Vacuum, vol 69, issues 1-3, pp 371-377, December, 2002.

[4] I. Kim, K. Murella, and J. Schlueter, "A detailed look at oxide CMP pad-to-pad consistency", Proceedings of the 2nd International CMP-MIC Conference, p. 335, 1997.

[5] Yong-Jin Seo, Sang-Yong Kim, Yeon-Ok Choi, Yong-Taek Oh and Woo-Sun Lee, "Effects of slurry filter size on the chemical mechanical polishing (CMP) defect density", Materials Letters, Vol. 58, Issue 15, p. 2091, 2004.

[6] G. B. Basim, J. J. Adler, U. Mahajan, R. K. Singh, and B. M. Moudgil, "Effect of particle size of chemical mechanical polishing with minimal defects", J. Electrochem. Soc., Vol. 147, Iss. 9, p. 3523, 2000.

[7] Weidan Li, Dong Wook Shin, Minoru Tomozawa, Shyam p.Murarka, "The effect of the polishing pad treatments on the chemical-mechanical polishing of SiO_2 films" Thin Solid Films, issues 1-2, vol 270, pp 601-606, December 1995.

[8] Woo-Sun Lee, Sang-Youg Kim, Youg-Jin Seo, Jong-Kook Lee, "An Optimization of Tungsten Plug Chemical Mechanical Polishing (CMP) using Different Consumables", Journal of Materials Science : Materials in Electronics, Vol. 12, No. 1, p. 63, 2001

[9] Yong-Jin Seo, Woo-Sun Lee, Jin-Seong Park and Sang-Yong Kim, "Motor-Current-Based Real-Time End Point Detection of Shallow-Trench-Isolation Chemical Mechanical Polishing Process Using High-Selectivity Slurry", Japanese Journal of Applied Physics, Vol. 42, No. 10, p. 6396, 2003.

[10] J. M. Steigerwald, S. P. Murarka, and R. J. Gutman, "Chemical Mechanical Planarization of Microelectronic Materials", John Wiley & Sons, p. 40, 1997.

[11] M. R. Oliver, "Chemical-Mechanical Planarization of Semiconductor Materials", Springer-Verlag, p. 239, 2004.

[12] Y. Xu, G. Huang, H.Long, Mater. Lett. 57 (2003) 3570.

[13] C. S. Hwang, S. O. Park, C. S. Kang, H. J. Cho, H. K. Kang, S. T. Ahn, M. Y. Lee, J. Appl. Phys. 34 (1995) 5178.

[14] Y. Morand, Microelectron. Eng. 50 (2000) 391.

저 자 소 개

서 용 진 (徐 龍 辰)

1987년 중앙대학교 공과대학 전기공학과 졸업. 1989년 동 대학원 전기공학과 졸업 (공학석사). 1994년 동 대학원 전기공학과 졸업(공학박사). 1999~2000년 University of North Carolina at Charlotte (UNCC), 전기 공학과, 과학 재단 Post-doctoral Fellow. 현재 대불대학교 전기공학과 부교수. 관심 분야 : Chemical Mechanical Polishing 공정, Silicon-based nanoelectronics, Semiconductor Process & Device Simulation.

Tel : 061-469-1260, Fax : 061-469-1260

E-mail : syj@mail.daebul.ac.kr

고 필 주 (高 必 周)

1977년 12월 17일생, 2003년 조선대학교 전기공학과 졸업. 2005 동 대학원 전기공학과 졸업(석사). 2005년~현재 동 대학원 박사과정. 관심 분야 : Chemical Mechanical Polishing 공정.

Tel : 062-230-7023 Fax : 062-230-7020

E-mail : kofeeling@chosun.ac.kr

박 성 우 (朴 成 祐)

1972년 2월 5일생. 2000년 대불대학교 전자공학과 졸업. 2002년 동 대학원 전기공학과 졸업(석사). 2003년~현재 동 대학원 박사과정. 관심 분야 : Chemical Mechanical Polishing 공정.

Tel : 061-469-1265, Fax : 061-469-1293

E-mail : psw@mail.daebul.ac.kr

이 강 연 (李 康 淵)

1970년 3월 2일생. 1997년 조선대학교 전기공학과 졸업. 1999 동 대학원 전기공학과 졸업(석사). 2005년 동 대학원 졸업

Tel : 062-230-7863, Fax : 062-230-7020

E-mail : space122@hanmail.net

이 우 선 (李 愚 宣)

1952년 1월 23일생. 1974년 조선대학교 전기공학과 졸업. 1984년 중앙대학교 대학원 전기공학과 졸업(공박). 1982년 매사츄셋 주립대 IBRD 교환교수. 1989년 Purde Univ. 과학재단파견 포스터 닥터. 2000년 3월 한국전기전자재료학회 반도체연구회장 2000년 9월 한국전기전자재료학회 광주전남지부장 2001년 11월 조선대학교 연구처장 2004년 2월 University of California Santa Barbara, Visiting. Prof. 1978년 3~현재 조선대학교 전기공학과 교수. 관심분야: 반도체공정, CMP

Tel : 062-230-7024, Fax : 062-232-9218

E-mail : wslee@chosun.ac.kr