

Study of Accelerated Soft Error Rate for Cell Characteristics on Static RAM

金 度 宇[†] · 孔 明 國^{*} · 王 鎮 錫^{**}
 (Do-Woo Kim · Myeong-Kook Gong · Jin-Suk Wang)

Abstract - We investigated accelerated soft error rate(ASER) in 8M static random access memory(SRAM) cells. The effects on ASER by well structure, operational voltage, and cell transistor threshold voltage are examined. The ASER decreased exponentially with respect to operational voltage. The chips with buried nwell1 layer showed lower ASER than those either with normal well structure or with buried nwell1 + buried pwell structure. The ASER decreased as the ion implantation energy onto buried nwell1 changed from 1.5 MeV to 1.0 MeV. The lower viscosity of the capping layer also revealed lower ASER value. The decrease in the threshold voltage of driver or load transistor in SRAM cells caused the increase in the transistor on-current, resulting in lower ASER value. We confirmed that in order to obtain low ASER SRAM cells, it is necessary to use the buried nwell1 structure scheme and to fabricate the cell transistors with low threshold voltage and high on-current.

Key Words : Accelerated Soft Error Rate, Buried Well, Cell Transistor, Static RAM

1. 서 론

최근에 개발되고 있는 반도체 기억소자는 제조기술의 향상으로 집적도가 높아지고 동작 전압이 낮아짐에 따라 반도체의 소자 특성이 소프트 에러율(SER ; Soft Error Rate)에 많은 영향을 미치고 있다.[1, 2, 3] 소프트 에러는 기억소자의 셀에 쓴 정보와 읽은 정보가 불일치할 때, 즉 데이터의 유실에 의해 일어나는 일시적인 에러 현상이며, 물리적인 결합에 의한 에러와는 다른 개념으로서 기억소자 칩 내에서 무작위성으로 나타나는 비트 에러이다. 소프트 에러는 소자 특성에 의해 주로 의존하며, 포집 전하, 알파입자의 구성과 모양 등 여러 조건에 의해 영향을 받는다.[4] 소프트 에러의 발생 원인으로는 우라늄 및 토륨, 아메리슘 등의 방사선 원소에서 방사되는 알파 입자(α -particle)에 의한 것으로 이 알파 입자가 셀의 데이터 저장 영역을 지나가면서 전하량을 변화 또는 반전시켜 저장된 전하를 잃게 하며, 실제 저장된 정보를 변화시키는 역할을 한다. 이 알파 입자는 칩의 보호막 층을 지나고 셀의 데이터 저장 영역을 지나면서 전자-정공 쌍(EHP ; Electron Hole Pair)을 형성시키며, 이러한 전하량에 의해 소프트 에러를 일으킨다. 에폭시(EMC ; Epoxy Molding Compound)등에 존재하는 알파 입자는 실리콘과 충돌함으로써 에너지를 가진 실리콘 핵을 만들고, 이 에너지

에 의하여 실리콘 핵에 결합되어 있던 전하 운반자 전자-정공 쌍이 자유 캐리어가 되는데, 이들 중 정공은 PWell내에서 재결합 과정을 거치며 소멸되고, 전자는 확산 및 표동에 의하여 셀의 데이터 저장 노드에 이동하여 데이터 노드 전하의 분포를 변동시키고, 노드 전압을 변동시켜 소프트 에러를 유발시킨다.

소프트 에러의 발생을 방지하기 위한 방법으로는 메모리 셀 내의 정전 용량을 높이는 방법, 메모리 셀을 Well안에 만들어 Well과 기판의 접합 장벽층을 이용하여 소프트 에러율을 줄이는 방법, 반도체 공정의 맨 위층에 사용되어지는 보호막(Polyimide)을 두껍게 코팅하여 알파 입자의 침투를 줄이는 방법 등이 있다.[5, 6, 7]

본 논문에서는 정적 RAM(SRAM)의 셀 특성에 영향을 미치는 Well 형성 공정 중, 전원전압에 따른 Buried NWell1(BNW1)과 Buried PWell(BPW)의 구조 차이에 따른 소프트 에러율을 비교 분석하고, 반도체 공정 중 맨 위층에 사용되어지는 보호막의 점도에 대한 소프트 에러율을 알아 보았다. 또한 정적 RAM 소자의 셀 트랜지스터인, Load 트랜지스터(풀 업 트랜지스터)와 Driver 트랜지스터(구동 트랜지스터)의 문턱 전압에 따른 소프트 에러율을 분석하였다.

2. 실 험

제조된 8M Full CMOS 정적 RAM 소자의 소프트 에러율 측정에 사용된 방사선 원소는 아메리슘(Am 241)을 사용(1.3E5 particles/cm²·min)하였으며, 측정 장비는 MOSAID 3480을 사용하였다. 측정 전압은 1.7V로 하였으며, 데이터의 쓰기 읽기 패턴은 메모리 셀 비트에 데이터 0과 1을

[†] 교신저자, 正 會 員 : 安城女子技能大學 專任講師

E-mail : dwkim@ans.ac.kr

^{*} 正 會 員 : (株)옵토웨이 研究所長

^{**} 正 會 員 : 忠南大學校 教授

接受日字 : 2005年 11月 3日

最終完了 : 2006年 12月 28日

Checkerboard 형태로 쓰고 읽은 후, 이를 반대로 하여 쓰고 읽음을 되풀이 하였다.[8] 측정 장비의 개략도는 그림 1에 나타내었다. 측정시간은 소프트 에러율을 측정하기에 충분한 시간으로 고정하여 측정하였고, 아메리슘 소스는 측정 칩으로부터 7mm 위에 고정하여 방사하였다. EMC 알파량은 0.005 particles/cm²·hrs로 가정하여 소프트 에러율(FIT ; Failure in Time)을 구하였다. 계산되어진 소프트 에러율 FIT는 아래의 식에 의해서 나타내었다.

$$FIT = \frac{0.005 \text{ particles/cm}^2 \cdot \text{hrs} \times \text{errors/min} \times 10^9 \text{ hrs}}{1.3E5 \text{ particles / cm}^2 \cdot \text{min}}$$

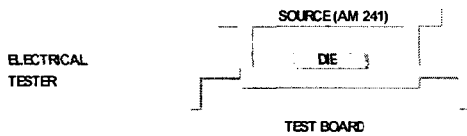


그림 1 측정 장비의 개략도
Fig. 1 Schematic diagram of the electrical tester

그림 2에서는 본 실험에서 적용되어진 8M Full CMOS 정적 RAM의 Full Chip 전체 블록에 대한 Buried NWell1 구조와, Buried NWell1과 Buried PWell을 동시에 적용한 구조를 간략한 레이아웃으로 나타내었다.

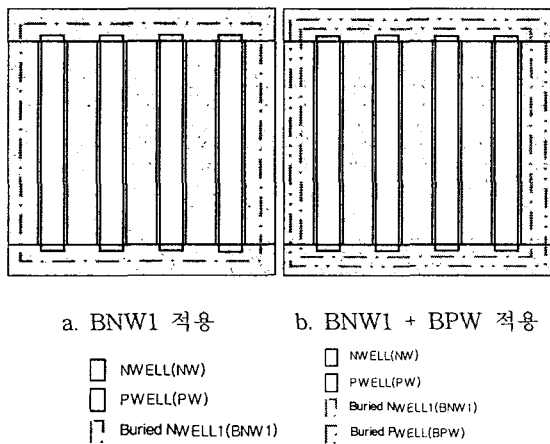


그림 2 Full Chip의 Buried Well 구조 레이아웃
Fig. 2 Layout of buried well structures in full chip

그림 3은 Buried NWell1을 적용한 경우와 Buried NWell1과 Buried PWell을 함께 적용한 경우에 대한 셀 단면도이다. 또한 소프트 에러율에 영향을 미치는 알파입자에 의해 발생된 전자 정공쌍의 움직임에 대한 예상 개략도를 나타내었다. Buried NWell1을 적용한 경우 (a)는 BNW1 안에 메모리 셀이 만들어져 PWell과 기판과의 접합 장벽층이 형성되어 알파 입자에 의해 생성된 전자-정공 쌍이 Buried NWell1쪽의 Vcc Pick-up쪽으로 빠지게 되어, 셀 저장 데이터 값의 손실을 줄이고 데이터를 유지할 수 있을 것으로 생각 된다. Buried NWell1과 Buried PWell을 함께 적용한 경우 (b)에서는 Buried PWell이 알파입자에 의해 생성된 전자를 Vcc Pick-up쪽으로 빠지게 못하게 하여 BNW1만을 적용하였을 시 보다는 소프트 에러의 유발을 적게 방지할 것

으로 사료된다.[9]

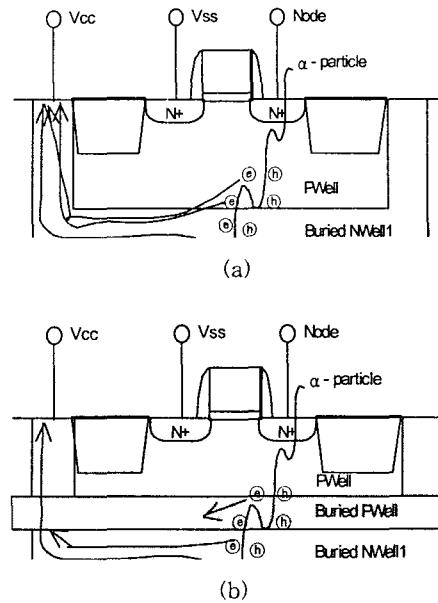


그림 3 Buried NWell1 및 Buried PWell 구조에 대한 소프트 에러 방지 개략도
(a) BNW1 적용 (b) BNW1 + BPW 적용

Fig. 3 Schematic mechanism for ASER decrement with buried well structures
(a) BNW1 (b) BNW1 + BPW

그림 4는 정적 RAM 셀에 대한 회로도를 나타내었다. 정적 RAM의 Load 트랜지스터(풀업 트랜지스터) 및 Driver 트랜지스터(구동 트랜지스터)의 문턱 전압은 정적 RAM 소자의 특성에 크게 영향을 미치며, 소프트 에러율에 영향을 미치는 인자이다. 이에 소자 제조 특성에 큰 영향을 미치지 않는 범위 내에서 트랜지스터의 문턱전압을 조절하여 소프트 에러율의 영향을 분석하였다.[10] 그리고 그림 5에는 본 실험에 적용되어진 정적 RAM의 제조 공정에 대한 순서도를 나타내었다.

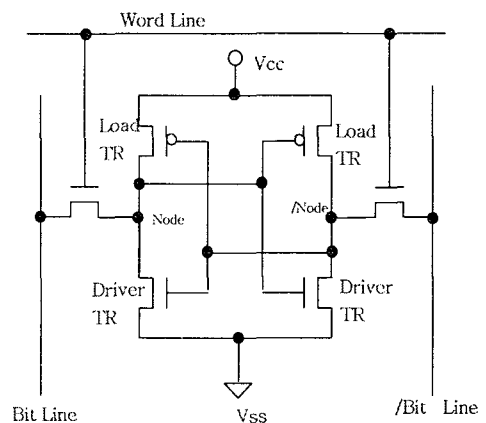


그림 4 정적 RAM 셀 회로도
Fig. 4 Static RAM cell circuit

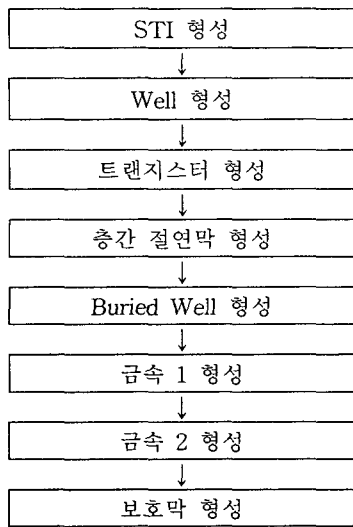


그림 5 제조 공정 흐름도
Fig. 5 Process flow sequence

3. 특성 분석

그림 6은 BNW1의 적용 여부 및 구동 전압의 변화에 대한 소프트 에러율을 FIT로 나타낸 그래프이다. BNW1을 적용한 경우(P, 3E13, 1.8MeV)에는 적용하지 않은 경우에 비해, 1.7V에서 약 65%정도 소프트 에러율이 감소되어짐을 알 수 있다. 또한 전원전압(Vcc)이 증가함에 따라 소프트 에러율은 지수 함수적으로 감소하고, BNW1 적용 여부에 따른 에러율의 차이 또한 감소함을 볼 수 있으며, BNW1의 적용 시 동작전압 1.8V 이상에서 1000FIT 이하의 매우 낮은 소프트 에러율을 나타내는 것을 확인할 수 있었다.

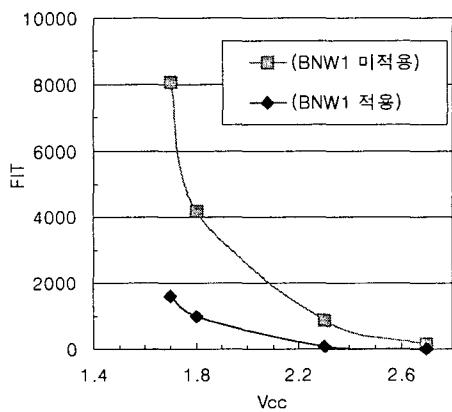


그림 6 BNW1의 적용 여부 및 VCC에 따른 소프트 에러율의 변화
Fig. 6 ASER according to VCC and BNW1 structure

그림 7은 Buried Well 구조에 따른 소프트 에러율을 나타내었다. 각각의 BNW1 및 BPW에 대한 이온 주입은 트랜지스터 형성 후 층간 절연막 공정 후에 진행하였으며, BNW1은 P, 3E13, 1.8MeV로 진행하였고 BPW은 B, 3E13,

750KeV로 진행하였다. BNW1 적용 시의 소프트 에러율 값에 대해, BNW1과 BPW을 함께 적용한 경우에는 소프트 에러율이 급증하였는데 이는 BPW에 의해 BNW1이 Vcc에 연결되지 않아 셀 블록에서 Vcc Pick up으로 경로 역할을 하지 못해 소프트 에러율이 급격히 증가되어지는 것으로 사료된다. 그림 8은 반도체 공정 중 맨 위층에 사용되어지는 보호막을 점도에 대해 소프트 에러율을 알아보았다. 점도가 낮아질수록 소프트 에러율이 비례하여 감소되어짐을 알 수 있었다.

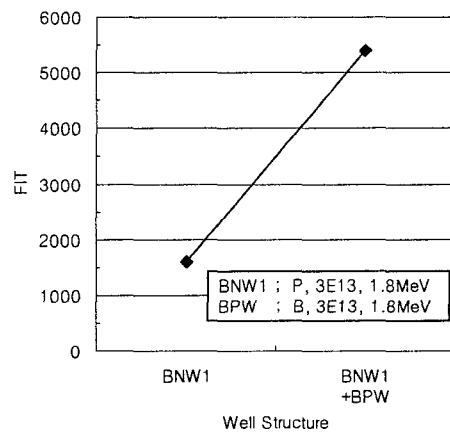


그림 7 Well 구조에 따른 소프트 에러율의 변화
Fig. 7 ASER according to well structures

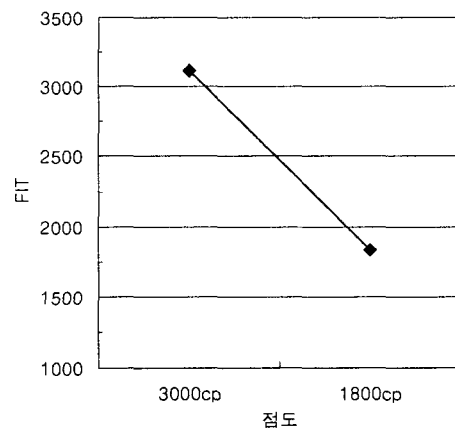


그림 8 보호막 점도에 따른 소프트 에러율의 변화
Fig. 8 ASER according to Polyimide viscosity

그림 9는 Load 트랜지스터의 문턱전압에 따른 소프트 에러율을 나타내고 있으며, 문턱전압이 낮아짐에 따라 소프트 에러율이 감소되어지는 것을 알 수 있다. 소프트 에러의 발생은 알파 입자에 의해 발생되어진 전자가 높은 전위 노드(NH)에 모이게 되어 낮은 노드 전압(VL)보다 높은 노드 전압(VH)의 전위를 더 낮출 때에 이루어진다. 보통 정적 RAM에서 Word Line이 선택 되었을 때 VH는 Access 트랜지스터의 문턱전압만큼 낮아지며, 이후 Word Line의 레벨이 Low로 낮아짐에 따라 NH는 Load 트랜지스터에 의해 점차

적으로 높게 되어진다. 이 때, Word Line 선택의 시간 차이에 의해 V_H 가 전원전압 레벨까지의 포화되는 정도가 결정되어진다. 시간차가 긴 주기 일 때에는 V_H 는 전원전압까지 포화되어지나, 짧을 때에는 V_H 가 전원전압까지 재충전되지 못하고 V_H 의 전위가 낮아진다. 따라서 소프트 에러율은 전위가 높은 노드의 저장 용량에 의존하며, Load 트랜지스터의 문턱전압 및 포화 전류에 의해 큰 영향을 받는다. 이에 Load 트랜지스터의 낮은 문턱 전압은 전류의 증가를 유발시키고, 셀 노드의 저장된 정보를 잃지 않고 유지시키는 역할을 하고 있음을 그림 9에서 알 수 있다.

그림 10은 Driver 트랜지스터의 문턱전압에 따른 소프트 에러율의 그래프로서 문턱전압이 0.1V정도 낮아짐에 따라 소프트 에러율이 약 10%정도 감소되어지는 것을 보여준다. V_H 의 전위가 낮아지는 것을 방지하기 위해서는 상대적으로 낮은 전위의 노드(N_L) 쪽이 확실히 Driver 트랜지스터의 문턱전압보다 낮은 전위를 유지하여야 하는데 그러기 위한 Driver 트랜지스터의 낮은 문턱전압 및 On-전류의 증가는

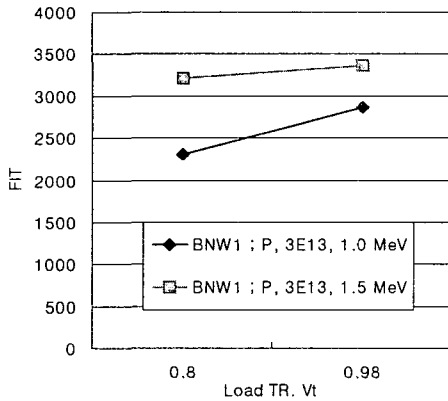


그림 9 Load 트랜지스터의 문턱전압에 따른 소프트 에러율의 변화
 Fig. 9 ASER according to threshold voltage(Vt) of load transistor

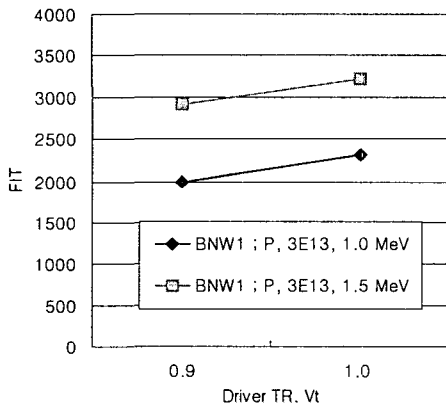


그림 10 Driver 트랜지스터의 문턱전압에 따른 소프트 에러율의 변화
 Fig. 10 ASER according to threshold voltage(Vt) of driver transistor

낮은 전위 노드 쪽의 전위를 충분히 낮게 유지시켜 소프트 에러율을 감소시키며, 또한 셀의 전류비를 증가시켜 소프트 에러율을 감소시키는 역할을 한다.

그림 9와 10에서 BNW1 이온주입의 에너지가 1.5MeV에 비해 1.0MeV로 진행 시 소프트 에러율이 약 30%정도 감소되어지는 것을 알 수 있다. 여기에서 1.5MeV의 이온주입 깊이(Rp ; Projection Range)에 대해, 1.0MeV에 의해 형성되어지는 이온주입 깊이가 알파 입자에 의해 발생되어지는 전자에 대해 상대적으로 더 나은 장벽 역할이 되어지는 깊이를 알 수 있다.

4. 결 론

제조된 정적 RAM에 대한 Buried Well 구조 및 셀 트랜지스터의 문턱 전압에 대한 소프트 에러율을 비교 분석하였다. 전원전압이 증가함에 따라 소프트 에러율은 지수 함수적으로 감소하였으며, BNW1을 적용한 경우의 소프트 에러율은 적용하지 않았을 때에 비해, 전원전압 1.7V에서 약 65%정도 감소하였고, 전원전압이 1.8V이상에서 1000 FIT이하의 낮은 값을 나타내었다.

실험에 적용한 Buried Well구조에 대해서는 BNW1만을 적용하였을 시에 BNW1과 BPW를 함께 적용한 경우보다 낮은 소프트 에러율값을 나타내었다. BNW1 이온주입 에너지에 따른 소프트 에러율은 에너지가 1.5MeV에 대해 1.0MeV일 때 약 30%이상 감소함을 알 수 있었으며, 보호막의 점도는 낮을수록 낮은 소프트 에러율을 나타내었다. 정적 RAM 셀에서의 Driver 트랜지스터 및 Load 트랜지스터의 문턱전압에 따른 소프트 에러율의 변화는 문턱전압이 낮아짐에 따라 각 트랜지스터의 On 전류의 증가로 인해 소프트 에러율이 감소되어지는 특성을 나타내었다.

제조된 8M 정적 RAM 셀에서 소프트 에러율을 낮추기 위한 최적의 셀 형성 조건은 이온주입 에너지 1.0MeV의 Buried NWell의 형성 및 소자 동작 범위 내에서의 셀 트랜지스터의 문턱 전압을 낮추어 On-전류를 향상시킴으로써 낮은 소프트 에러율을 가질 수 있음을 알 수 있었다.

참 고 문 헌

- [1] Paul M, Carter and Brian R. Wilkins, IEEE J. Solid-State Circuits vol. SC-22, 3, pp. 430-463, June, 1987.
- [2] D. Burnett, C. Lage, and A.Borrman, IRPS, 156-160, 1993.
- [3] C. Lage, D. Burnett, T. McNelly, K. Baker, A. Bormann, D. Dreier, V. Soorholtz, IEEE IEDM Tech. Dig., 821-824, 1993.
- [4] T.C. May and M. H. Woods, IEEE Trans. Electron Devices, vol. ED-26, pp. 2-9, January, 1989.
- [5] D. W. Kim, M. K. Gong, J. S. Wang, KIEE International Transaction on EA, vol. 3-C, no. 1, p. 15-18, 2003.
- [6] E. Takeda, K. Takeuchi, D. Hisamoto, T. Toyabe, K.

- Oshima, and K. Itoh, IEEE Trans. Electron Devices, vol. 36, pp. 2567-2575, November, 1989.
- [7] Larry D. Edmonds, IEEE Transactions on Nuclear Science, vol. 38, 2, 828-833, April, 1991.
- [8] P. Hazucha, et al, IEEE IEDM Tech. Dig., 523-526, 2003.
- [9] Sai-Wai Fu, Amr M. Mohsen, and Tim C. May, IEEE Transactions on Electron Devices vol. ED-32, 1, 49-54, January, 1985.
- [10] Barbara Chappell, Stanley E. Schuster, George A. Sai-Halasz, IEEE Transactions on Electron Devices vol. ED-32, 2, 463, February, 1985.

저 자 소 개



김도우 (金度宇)

1968년 11월 28일생. 1991년 충남대 물리학과 졸업. 1993년 동 대학원 전자공학과 졸업(석사). 1994년-2004년 하이닉스(주) 선임연구원. 2004년 동 대학원 전자공학과 박사수료. 2004년-현재 안성여자기능대학 디지털 디자인과 전임강사

Tel : 031-650-7244

Fax : 031-650-7244

E-mail : dwkim@ans.ac.kr



공명국 (孔明國)

1963년 11월 1일생. 1986년 서울대 전자공학과 졸업. 1988년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1993년 동 대학원 및 전기 및 전자공학과 졸업(공박). 1993년-1995년 삼미기술산업(주). 1995년-2003년 하이닉스(주) 수석연구원. 2003년-현재 (주)옵토웨이 연구소장

Tel : 042-931-9114

Fax : 042-931-0980

E-mail : myeongkook.gong@optoway.com



왕진석 (王鎭錫)

1945년 6월 23일생. 1971년 연세대 전기공학과 졸업. 1981년 동 대학원 전기공학과 졸업(공박). 1982년-1983년 펜실베니아 주립대 Post-Doc. 1975년-현재 충남대학교 전자공학과 교수

Tel : 042-821-5664

Fax : 042-823-9544

E-mail : jswang@cnu.ac.kr